

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-91765

(P2010-91765A)

(43) 公開日 平成22年4月22日(2010.4.22)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 3/20 (2006.01)	G09G 3/20 622D	5C080
	G09G 3/20 622K	
	G09G 3/20 622E	
	G09G 3/20 622G	
審査請求 未請求 請求項の数 9 O L (全 16 頁) 最終頁に続く		

(21) 出願番号	特願2008-261366 (P2008-261366)	(71) 出願人	304053854
(22) 出願日	平成20年10月8日 (2008.10.8)		エプソンイメージングデバイス株式会社
			長野県安曇野市豊科田沢6925
		(74) 代理人	100095728
			弁理士 上柳 雅誉
		(74) 代理人	100107261
			弁理士 須澤 修
		(74) 代理人	100127661
			弁理士 宮坂 一彦
		(72) 発明者	加藤 友敏
			長野県安曇野市豊科田沢6925 エプソ
			ンイメージングデバイス株式会社内
		Fターム(参考)	5C006 AC22 AC25 BC03 BC22 BC24
			BF03 BF06
			5C080 AA10 BB05 DD06 DD10 DD14
			FF09 JJ02 JJ03

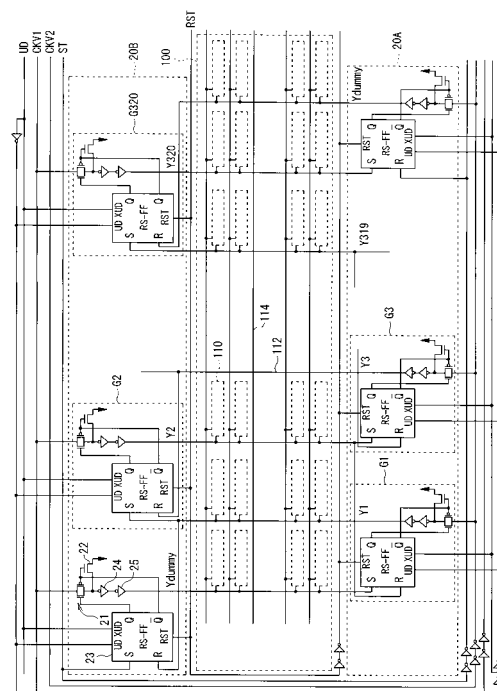
(54) 【発明の名称】 電気光学装置及び電子機器

(57) 【要約】

【課題】左右の額縁バランスの向上と額縁領域の縮小化を実現可能な液晶表示装置及び電子機器を提供する。

【解決手段】走査線112に対して所定の順番で選択電圧(走査信号Y)を供給する走査線駆動回路20A、20Bを、走査線112の両端側にそれぞれ配置する。そして、複数の走査線112を、走査線駆動回路20Aと20Bとの選択電圧の出力端に、1本または複数本毎に交互に接続する。これにより、走査線駆動回路を表示パネルの両側にバランス良く配置することができると共に、片側の回路面積を縮小し狭額縁化を実現することができる。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

複数の走査線と、複数のデータ線と、前記複数の走査線と前記複数のデータ線との交差に対応して設けられた複数の画素と、を備える電気光学装置であって、

前記走査線に対して所定の順番で選択電圧を供給する走査線駆動回路を備え、

前記走査線駆動回路は、前記走査線の一端側に配置される第 1 の走査線駆動回路と、前記走査線他端側に配置される第 2 の走査線駆動回路とで構成され、

前記第 1 の走査線駆動回路は、一の前記走査線に前記選択電圧を供給し、

前記第 2 の走査線駆動回路は、他の一の前記走査線に前記選択電圧を供給することを特徴とする電気光学装置。

10

【請求項 2】

前記第 1 の走査線駆動回路及び前記第 2 の走査線駆動回路は、前記複数の走査線のそれぞれに対応して設けられたシフトレジスタを備え、

前記第 1 の走査線駆動回路に属する前記シフトレジスタと前記第 2 の走査線駆動回路に属するシフトレジスタとの間の信号の供給は、前記走査線を介して行われることを特徴とする請求項 1 に記載の電気光学装置。

【請求項 3】

前記複数の走査線は、前記第 1 の走査線駆動回路及び前記第 2 の走査線駆動回路の前記選択電圧の出力端に、1 本毎に交互に接続されていることを特徴とする請求項 1 又は 2 に記載の電気光学装置。

20

【請求項 4】

前記複数の走査線は、前記第 1 の走査線駆動回路及び前記第 2 の走査線駆動回路の前記選択電圧の出力端に、複数本毎に交互に接続されていることを特徴とする請求項 1 又は 2 に記載の電気光学装置。

【請求項 5】

前記シフトレジスタは、出力スイッチ及びリセット・セット型フリップフロップを含み、

前記シフトレジスタは、前記走査線を介して、前段のシフトレジスタの前記リセット・セット型フリップフロップにリセット信号を供給することを特徴とする請求項 2 に記載の電気光学装置。

30

【請求項 6】

前記シフトレジスタは、出力スイッチ及びリセット・セット型フリップフロップを含み、

前記シフトレジスタは、前記走査線を介して、後段のシフトレジスタの前記リセット・セット型フリップフロップにセット信号を供給することを特徴とする請求項 2 に記載の電気光学装置。

【請求項 7】

前記第 1 の走査線駆動回路及び前記第 2 の走査線駆動回路は、互いに H レベルの期間が重ならない位相を有する垂直クロック信号がそれぞれに入力されていることを特徴とする請求項 1 ～ 6 の何れか 1 項に記載の電気光学装置。

40

【請求項 8】

前記複数の画素は、液晶層を挟んで対向する一対の基板と、液晶層の液晶分子を駆動する共通電極及び画素電極と、で構成され、

前記共通電極は複数に分割されており、

前記走査線の両端側にそれぞれ配置され、第 1 電圧及び当該第 1 電圧よりも電位の高い第 2 電圧の何れか一方を、前記共通電極の両側から当該共通電極に供給する制御回路を備えることを特徴とする請求項 1 ～ 7 の何れか 1 項に記載の電気光学装置。

【請求項 9】

前記請求項 1 ～ 8 の何れか 1 項に記載の電気光学装置を備える電子機器。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、電気光学装置、及び電気光学装置を備えた電子機器に関する。

【背景技術】

【0002】

従来、画像を表示する表示装置として、液晶表示装置などの電気光学装置が広く用いられている。液晶表示装置は、素子基板と、この素子基板に対向配置された対向基板と、素子基板と対向基板との間に設けられた液晶とを備える。

このような液晶表示装置として、電圧VCOMLおよび電圧VCOMHを交互に共通電極に供給する制御回路と、選択電圧を複数の走査線に順次供給する走査線駆動回路と、走査線が選択された際に、電圧VCOMLよりも電位の高い正極性の画像信号と、電圧VCOMHよりも電位の低い負極性の画像信号と、を交互に複数のデータ線に供給するデータ線駆動回路とを備えるというものが知られている（例えば、特許文献1参照）。

10

【0003】

ここでは、共通電極を一水平ライン毎に分割し、共通電極毎に制御回路から電圧VCOML又は電圧VCOMHを供給する、所謂、共通電極分割駆動（COM分割駆動）を行っている。このCOM分割駆動を採用することにより、表示品位の低下を抑制することができる。

また、走査線駆動回路とデータ線駆動回路とが素子基板に配置されたものの一例として、特許文献2に記載の液晶表示装置がある。

20

【特許文献1】特開2008-33247号公報

【特許文献2】特開2006-276794号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、近年、上記のような液晶表示装置の電子機器への搭載を考慮して、電子機器の表示部の額縁領域を狭くすることが要求されている。

しかしながら、上記特許文献1に記載の液晶表示装置のようにCOM分割駆動方式を採用する場合、このCOM分割駆動ドライバは、クロストーク対策のために表示パネルの左右両側に配置するのが一般的であり、表示パネルの狭額縁化が困難である。

30

【0005】

また、上記特許文献2に記載の液晶表示装置のように、走査線駆動回路は片側にのみ配置するのが一般的であり、表示パネルの左右額縁のバランスが悪い。さらに、COM分割駆動ドライバを搭載しない場合であっても、電子機器への搭載を考慮すると左右額縁の均等化が要望されるが、左右額縁の均等化を図ろうとすると額縁領域の大きくなってしまふと共に、走査線駆動回路を配置していない側のスペースが無駄になる。

そこで、本発明は、左右の額縁領域のバランス向上と額縁領域の縮小化を実現可能な電気光学装置及び電子機器を提供することを課題としている。

【課題を解決するための手段】

【0006】

上記課題を解決するために、本発明に係る電気光学装置は、複数の走査線と、複数のデータ線と、前記複数の走査線と前記複数のデータ線との交差に対応して設けられた複数の画素と、を備える電気光学装置であって、前記走査線に対して所定の順番で選択電圧を供給する走査線駆動回路を備え、前記走査線駆動回路は、前記走査線の一端側に配置される第1の走査線駆動回路と、前記走査線他端側に配置される第2の走査線駆動回路とで構成され、前記第1の走査線駆動回路は、一の前記走査線に前記選択電圧を供給し、前記第2の走査線駆動回路は、他の一の前記走査線に前記選択電圧を供給することを特徴としている。

40

【0007】

このように、走査線駆動回路を走査線の両端側に配置することで、走査線駆動回路を表

50

示パネルの両側に配置することができ、額縁領域のバランスを向上させることができる。また、片側のみに走査線駆動回路を配置した場合と比較して、一方の走査線駆動回路におけるドライバの数を削減し、回路面積を小さくすることができるので、結果として額縁領域の縮小化を図ることができる。

【0008】

また、本発明に係る電気光学装置は、上記において、前記第1の走査線駆動回路及び前記第2の走査線駆動回路は、前記複数の走査線のそれぞれに対応して設けられたシフトレジスタを備え、前記第1の走査線駆動回路に属する前記シフトレジスタと前記第2の走査線駆動回路に属するシフトレジスタとの間の信号の供給は、前記走査線を介して行われることを特徴としている。

10

これにより、走査線が断線している場合にスキャンが停止する構成とすることができ、走査線の断線チェックを行うことができる。

【0009】

また、本発明に係る電気光学装置は、上記において、前記複数の走査線は、前記第1の走査線駆動回路及び前記第2の走査線駆動回路の前記選択電圧の出力端に、1本毎に交互に接続されていることを特徴としている。

これにより、片側のみに走査線駆動回路を配置した場合と比較して、一方の走査線駆動回路におけるドライバの数を半分、すなわち回路面積を半分とすることができ、より効果的に額縁領域の縮小化を図ることができる。

また、走査線駆動回路のドライバを表示領域の両側にバランス良く配置することができ、無駄なスペースを無くした構成とすることができ。

20

【0010】

さらに、本発明に係る電気光学装置は、上記において、前記複数の走査線は、前記第1の走査線駆動回路及び前記第2の走査線駆動回路の前記選択電圧の出力端に、複数本毎に交互に接続されていることを特徴としている。

例えば、走査線駆動回路を、自身に接続された走査線に対応する複数段のフリップフロップを有するシフトレジスタを備えた構成とし、一方の走査線駆動回路に属するシフトレジスタの出力パルスを、他方の走査線駆動回路に属するフリップフロップに走査線を介して入力する場合、フリップフロップのセットタイミングやリセットタイミングに遅延が生じ、表示不良を起こす可能性がある。

30

【0011】

したがって、上記のように隣接する複数の走査線を同一の走査線駆動回路に接続することで、この隣接した走査線に対応する複数のフリップフロップ間で、上記遅延が生じるのを防止することができ、表示不良の発生を抑制することができる。

また、本発明に係る電気光学装置は、上記において、前記シフトレジスタは、出力スイッチ及びリセット・セット型フリップフロップを含み、前記シフトレジスタは、前記走査線を介して、前段のシフトレジスタの前記リセット・セット型フリップフロップにリセット信号を供給することを特徴としている。

これにより、自段の出力パルスを前段のフリップフロップのリセット信号とすることができるので、当該前段のフリップフロップを適正なタイミングでリセット状態とすることができる。

40

【0012】

さらに、本発明に係る電気光学装置は、上記において、前記シフトレジスタは、出力スイッチ及びリセット・セット型フリップフロップを含み、前記シフトレジスタは、前記走査線を介して、後段のシフトレジスタの前記リセット・セット型フリップフロップにセット信号を供給することを特徴としている。

これにより、自段の出力パルスを後段のフリップフロップのセット信号とすることができるので、当該後段のフリップフロップを適正なタイミングでセット状態とすることができる。

さらにまた、本発明に係る電気光学装置は、上記において、前記第1の走査線駆動回路

50

及び前記第 2 の走査線駆動回路は、互いに H レベルの期間が重ならない位相を有する垂直クロック信号がそれぞれに入力されていることを特徴としている。

【0013】

これにより、隣接するシフトレジスタから出力される出力パルスが重ならないようにすることができる。

また、本発明に係る電気光学装置は、上記において、前記複数の画素は、液晶層を挟んで対向する一对の基板と、液晶層の液晶分子を駆動する共通電極及び画素電極と、で構成され、前記共通電極は複数の分割されており、前記走査線の両端側にそれぞれ配置され、第 1 電圧及び当該第 1 電圧よりも電位の高い第 2 電圧の何れか一方を、前記共通電極の両側から当該共通電極に供給する制御回路を備えることを特徴としている。

10

【0014】

具体的な制御例としては、制御回路により第 1 電圧を共通電極に供給した後に、選択電圧を走査線に供給し、さらに正極性の画像信号をデータ線に供給する。また、制御回路により第 2 電圧を共通電極に供給した後に、選択電圧を走査線に供給し、さらに負極性の画像信号をデータ線に供給する。

これにより、第 1 電圧と第 2 電圧とを 1 水平ライン毎に交互に共通電極に供給すると共に、これら共通電極の電圧に対して、正極性の画像信号と負極性の画像信号とを 1 水平ライン毎に交互に供給することができる。これにより、画素間のフリッカを相殺し、表示品位の低下をさらに抑制することができる。

さらに、本発明に係る電子機器は、上記の何れかの電気光学装置を備えることを特徴としている。

20

これにより、走査線駆動回路を表示領域の両側にバランス良く配置して、表示パネルの狭額縁化を実現した電子機器とすることができる。

【発明を実施するための最良の形態】

【0015】

以下、本発明の実施の形態を図面に基づいて説明する。

図 1 は、第 1 の実施形態における電気光学装置としての液晶表示装置 10 の構成を示すブロック図である。

液晶表示装置 10 は、アクティブマトリクス方式の薄膜トランジスタ (TFT) を用いた液晶パネルを備える。この液晶表示装置 10 は、図 1 に示すように、表示領域 100 を有しており、この表示領域 100 の周囲に、走査線駆動回路 20A、20B、データ線駆動回路 30、共通電極駆動回路 40 が配置されている。

30

液晶パネルは、特に図示しないが、素子基板と対向基板とが、互いに電極形成面が対向するように一定の間隙を保って貼り合わせられているとともに、この間隙に液晶を封止した構成となっている。

【0016】

液晶パネルが有する表示領域 100 には、複数の走査線 112 が行 (X) 方向に延在するように設けられ、また、複数のデータ線 114 が列 (Y) 方向に延在するように、且つ各走査線 112 と互いに電氣的な絶縁を保つように設けられている。そして、走査線 112 とデータ線 114 との交差部に対応して、それぞれ画素 110 が配置されている。

40

各画素 110 は、画素スイッチング素子として機能する n チャネル型の薄膜トランジスタ (以下、TFT と称す) 116 と、画素電極 118 と、この画素電極 118 に対向して設けられた共通電極 108 と、蓄積容量 130 とを有する。

各画素 110 については互いに同一構成なので、n 行 m 列に位置するもので代表して説明すると、当該 n 行 m 列の画素 110 において、TFT 116 のゲート電極は n 行目の走査線 112 に接続される一方、そのソース電極は m 列目のデータ線 114 に接続され、そのドレイン電極は画素電極 118 に接続されている。

【0017】

また、共通電極 108 は、走査線 112 に対応して 1 水平ライン毎に分割されている。1 水平ライン毎に分割された複数の共通電極 108 は、ITO (Indium Tin Oxide) とい

50

った透明導電材料からなり、走査線 112 に沿って設けられている。そして、これら共通電極 108 には、共通電極駆動回路 40 から電圧 VCOML (第 1 電圧) と、この電圧 VCOML よりも電位の高い電圧 VCOMH (第 2 電圧) とが、コモン信号 Z として交互に供給されるようになっている。なお、共通電極 108 は、ITO (Indium Tin Oxide) 等の透明導電材料からなるため、抵抗を低減するために走査線 112 と同じ材料からなる共通電極配線を分割された複数の共通電極 108 毎に設け、接続してもよい。

【0018】

画素容量 120 は、画素電極 118 と共通電極 108 とで誘電体の一種である液晶を挟持しており、画素電極 118 と共通電極 108 との差電圧を保持する構成となっている。この構成において、画素容量 120 では、その透過光量が当該保持電圧の実効値に応じて変化する。

本実施形態では、画素電極 118 と共通電極 108 とは同一基板 (素子基板) 上に形成されており、液晶表示装置 10 の液晶は横電界駆動方式の FFS (Fringe Field Switching) モードで動作するものとする。

走査線駆動回路 20A, 20B は、1 フレームの期間にわたって選択電圧に相当する走査信号 Y1、Y2、Y3、…、Y320 を、それぞれ 1、2、3、…、320 行目の走査線 112 に供給するものである。すなわち、走査線駆動回路 20A, 20B は、走査線 112 を 1、2、3、…、320 行目という順番で選択すると共に、選択した走査線 112 に接続された TFT 116 をすべてオン状態 (導通状態) とする。

【0019】

本実施形態では、この走査線駆動回路 20A, 20B を、表示領域 100 の左右両側 (走査線 112 の両端側) にそれぞれ配置し、走査線 112 を走査線駆動回路 20A と 20B とに所定本数ずつ (ここでは 160 本ずつ) 接続する。

また、データ線駆動回路 30 は、走査線駆動回路 30 により選択される走査線 112 に位置する画素 110 の表示階調に応じた電圧であるデータ信号 X1、X2、X3、…、X240 を、1、2、3、…、240 列目のデータ線 114 にそれぞれ供給するものである。

ここで、データ線駆動回路 30 は、共通電極 108 の電圧よりも電位の高い正極性のデータ信号をデータ線 114 に供給して、この正極性のデータ信号に基づく画像電圧を画素電極 118 に書き込む正極性書込と、共通電極 108 の電圧よりも電位の低い負極性のデータ信号をデータ線 114 に供給して、この負極性のデータ信号に基づく画像電圧を画素電極 118 に書き込む負極性書込とを、1 水平ライン毎に交互に行う。

【0020】

共通電極駆動回路 40 は、クロストーク対策のために表示領域 100 の左右両側 (共通電極 108 の両端側、且つ走査線駆動回路 20A, 20B の内側) に配置されている。この共通電極駆動回路 40 は、各共通電極 108 にそれぞれ対応して設けられる単位制御回路 P1 ~ P320 を備え、各共通電極 108 にコモン信号 Z1 ~ Z320 として、電圧 VCOML 又は電圧 VCOMH をそれぞれ供給する。

ここでは、n 行目の走査線 112 に走査信号 Yn が供給される前に、n 行目の共通電極 108 にコモン信号 Zn を供給するものとする。

【0021】

以上のように構成された液晶表示装置 10 の基本動作は次のようになる。

まず、共通電極駆動回路 40 から共通電極 108 に、コモン信号 Z として電圧 VCOML または電圧 VCOMH を選択的に供給する。

具体的には、各共通電極 108 には、1 フレーム期間毎に、電圧 VCOML と電圧 VCOMH とが交互に供給される。例えば、ある 1 フレーム期間において、p 行目 (p は、 $1 \leq p \leq 320$ を満たす整数) の共通電極 108 p に電圧 VCOML を供給した場合、次の 1 フレーム期間では、共通電極 108 p に電圧 VCOMH を供給する。

また、隣接する共通電極 108 には、互いに異なる電圧を供給する。例えば、ある 1 フレーム期間において、共通電極 108 p に電圧 VCOML を供給した場合、同一の 1 フレ

10

20

30

40

50

ーム期間において、 $(p-1)$ 行目の共通電極 108 $(p-1)$ と $(p+1)$ 行目の共通電極 108 $(p+1)$ とには、電圧 V_{COMH} を供給する。

【0022】

次に、走査線駆動回路 20A, 20B から 320 行の走査線 112 に走査信号 $Y_1 \sim Y_{320}$ を順次供給することで、各走査線 112 に接続された全ての TFT 116 を順次オン状態にして、各走査線 112 に係る全ての画素 110 を順次選択する。

次に、これら画素 110 の選択に同期して、共通電極 108 の電圧に応じて、データ線駆動回路 30 からデータ線 114 に、正極性の画像信号と負極性の画像信号とを、1 水平ライン毎に交互に供給する。

具体的には、320 行の共通電極 108 のうち、選択した画素 110 に係る共通電極 108 p に電圧 V_{COML} を供給した場合には、正極性の画像信号をデータ線 114 に供給する。一方、320 行の共通電極 108 のうち、選択した画素 110 に係る共通電極 108 p に電圧 V_{COMH} を供給した場合には、負極性の画像信号をデータ線 114 に供給する。

【0023】

すると、走査線駆動回路 20A 又は 20B で選択した全ての画素 110 に、データ線駆動回路 30 からデータ線 114 およびオン状態の TFT 116 を介して画像信号が供給されて、この画像信号に基づく画像電圧が画素電極 118 に書き込まれる。これにより、画素電極 118 と共通電極 108 との間に電位差が生じて、駆動電圧が液晶に印加される。

このように、共通電極駆動回路 40 により電圧 V_{COML} を共通電極 108 に供給した後に、走査線駆動回路 20A 又は 20B により走査信号 Y を走査線 112 に供給し、その後データ線駆動回路 30 により正極性の画像信号をデータ線 114 に供給する。また、共通電極駆動回路 40 により電圧 V_{COMH} を共通電極 108 に供給した後に、走査線駆動回路 20A 又は 20B により走査信号 Y を走査線 112 に供給し、その後データ線駆動回路 30 により負極性の画像信号をデータ線 114 に供給する。

【0024】

これにより、電圧 V_{COML} と電圧 V_{COMH} とを 1 水平ライン毎に交互に共通電極 108 に供給すると共に、これら共通電極 108 の電圧に対して、正極性の画像信号と負極性の画像信号とを 1 水平ライン毎に交互に供給するので、画素間のフリッカを相殺し、表示品位の低下をさらに抑制することができる。

なお、図 1 において、走査線駆動回路 20A が第 1 の走査線駆動回路に対応し、走査線駆動回路 20B が第 2 の走査線駆動回路に対応し、共通電極駆動回路 40 が制御回路に対応している。

【0025】

次に、走査線駆動回路 20A, 20B の構成について説明する。

走査線駆動回路 20A と 20B との選択電圧（走査信号）の出力端には、走査線 112 が 1 本ずつ交互に接続されている。具体的には、奇数行目の走査線 112 が走査線駆動回路 20A の選択電圧の出力端に接続され、偶数行目の走査線 112 が走査線駆動回路 20B の選択電圧の出力端に接続された構成となっている。

そして、走査線駆動回路 20A, 20B は、自身の出力端に接続された複数の走査線 112 に走査信号 Y をそれぞれ供給するための複数のドライバ G を備える。すなわち、奇数行目の走査線 112 に供給する走査信号を出力するドライバ $G_1, G_3, \dots, G_{319}$ が走査線駆動回路 20A に属し、偶数行目の走査線 112 に供給する走査信号を出力するドライバ $G_2, G_4, \dots, G_{320}$ が走査線駆動回路 20B に属する。

ここで、ドライバ G は、走査線 112 に対応して設けられたシフトレジスタによって構成されており、シフトレジスタからの出力パルス、対応する走査線 112 に走査信号 Y として供給するようになっている。

【0026】

図 2 は、走査線駆動回路 20, 20B の具体的構成を示す図である。なお、ここでは共通電極駆動回路 40 の記載を省略している。

10

20

30

40

50

走査線駆動回路 20A, 20Bには、垂直クロック信号CKV1, CKV2、スキャン方向切替信号UD、スタート信号STおよび初期化信号RSTが入力される。

ここで、垂直クロック信号CKV1とCKV2とは正論理の信号であり、互いのHレベルの期間が重ならないような位相を有する。また、垂直クロック信号CKV1及びCKV2は、それぞれHレベルの期間がLレベルの期間より短く設定されている。

また、スキャン方向切替信号UDは、シフトパルスのシフト方向（スキャン方向）を指示するための信号であり、スタート信号STは、スキャン開始を指示するための信号である。

【0027】

走査線駆動回路 20A及び20Bは、自身の出力端に接続された160本の走査線112に対応する160段のドライバGと1つのダミー段とから構成される161段のシフトレジスタをそれぞれ有し、走査線駆動回路 20Aのシフトレジスタには、垂直クロック信号CKV2が入力され、走査線駆動回路 20Bのシフトレジスタには、垂直クロック信号CKV1が入力される。

各段のシフトレジスタは、それぞれ出力スイッチ21と、n型トランジスタ22と、リセット・セット型フリップフロップ(RS-FF)23と、インバータ24, 25とから構成されている。

RS-FF23は、セット信号Sが入力されることで、アクティブとなる出力信号Qおよび/Q(Qバー)を出力する。ここで、出力信号Qは正論理、出力信号/Qは負論理の信号である。

【0028】

これら出力信号Qおよび/Qは、各RS-FF23に対応して設けられた出力スイッチ21に入力される。また、出力信号/Qはn型トランジスタ22にも入力される。

さらに、RS-FF23は、リセット信号Rが入力されることで、非アクティブとなる出力信号Qおよび/Qを出力するようになっている。

すなわち、n行目の走査線112に対応するシフトレジスタのRS-FF23には、(n-1)行目の走査線112に対応するシフトレジスタの出力パルスY(n-1)が、(n-1)行目の走査線112を介してセット信号Sとして入力される。さらに、n行目の走査線112に対応するシフトレジスタのRS-FF23には、(n+1)行目の走査線112に対応するシフトレジスタの出力パルスY(n+1)が、(n+1)行目の走査線112を介してリセット信号Rとして入力される。

このように、走査線駆動回路 20Aに属するシフトレジスタと、走査線駆動回路 20Bに属するシフトレジスタとの間での信号の供給は、走査線112を介して行われる。

【0029】

図3は、RS-FF23の回路構成を示す図である。

このRS-FF23は、図3に示すように、セット・リセット用のn型トランジスタTr1~Tr4、スキャン方向切り替え用のn型トランジスタTr5~Tr8、出力ノード安定化用のn型トランジスタTr9、及びインバータ26, 27を備えた構成となっている。

ここで、インバータ26及び27でラッチ回路を構成している。インバータ26とインバータ27とは、互いが逆向きに接続されており（インバータ26の入力端とインバータ27の出力端とが接続されると共に、インバータ26の出力端とインバータ27の入力端とが接続されており）、各ノードN1, N2を相補的なレベルに保持するようになっている。

【0030】

そして、RS-FF23のラッチ回路のノードN1にトランジスタTr1およびTr3のドレインをそれぞれ接続すると共に、ラッチ回路のノードN2にトランジスタTr2およびTr4のドレインをそれぞれ接続し、これらトランジスタTr1~Tr4に直列にスキャン方向切り替え用のn型トランジスタTr5~Tr8をそれぞれ接続する。

トランジスタTr5~Tr8のソースはそれぞれ負の電源電位に接続されており、これ

により、トランジスタT r 1～T r 4のソースがそれぞれスキャン方向切り替え用トランジスタを介して負の電源電位に接続された構成となっている。

【0031】

トランジスタT r 1及びT r 2のゲートはセット端子に接続され、セット信号Sが印加され、トランジスタT r 3及びT r 4のゲートはリセット端子に接続され、リセット信号Rが印加される。また、トランジスタT r 5及びT r 6のゲートにはスキャン方向切替信号UDが印加され、トランジスタT r 7及びT r 8のゲートには、スキャン方向切替信号UDの反転信号であるスキャン方向切替信号XUDが印加され、トランジスタT r 9のゲートには初期化信号RSTが印加される。

ここで、スキャン方向切替信号UD、XUDは、シフトパルスのスキャン方向を正スキャン（図2の左→右）とする場合にUD＝Hレベル、XUD＝Lレベルとなり、シフトパルスのスキャン方向を逆スキャン（図2の右→左）とする場合にUD＝Lレベル、XUD＝Hレベルとなる信号である。

【0032】

UD＝Hレベル、XUD＝Lレベルであるとき、スキャン方向切り替え用のトランジスタT r 5およびT r 6がオン状態、スキャン方向切り替え用のトランジスタT r 7およびT r 8がオフ状態となる。したがって、この状態でセット信号SがHレベルとなると、トランジスタT r 1およびT r 2が導通状態となるが、負の電源電位が供給されるのはトランジスタT r 2のみとなり、ラッチ回路のノードN2の電位がLレベルとなることから、RS－FF34からはHレベルとなる出力信号Qが出力される。その後、リセット信号RがHレベルとなると、トランジスタT r 3およびT r 4が導通状態となるが、負の電源電位が供給されるのはトランジスタT r 3のみとなり、ラッチ回路のノードN1の電位がLレベルとなることから、RS－FF34からはLレベルとなる出力信号Qが出力される。

【0033】

一方、UD＝Lレベル、XUD＝Hレベルであるときには、スキャン方向切り替え用のトランジスタT r 5およびT r 6がオフ状態、スキャン方向切り替え用のトランジスタT r 7およびT r 8がオン状態となる。したがって、この状態でセット信号SがHレベルとなると、トランジスタT r 1およびT r 2が導通状態となるが、負の電源電位が供給されるのはトランジスタT r 1のみとなり、RS－FF34からはLレベルとなる出力信号Qが出力される。つまり、このときRS－FF34は、上述したUD＝Hレベル、XUD＝Lレベルでリセット信号R＝Hレベルの場合と同様の動作を行うことになる。

【0034】

その後、リセット信号RがHレベルとなると、トランジスタT r 3およびT r 4が導通状態となるが、負の電源電位が供給されるのはトランジスタT r 4のみとなり、RS－FF34からはHレベルとなる出力信号Qが出力される。つまり、このときRS－FF34は、上述したUD＝Hレベル、XUD＝Lレベルでセット信号S＝Hレベルの場合と同様の動作を行うことになる。

【0035】

このように、スキャン方向切替信号UD、XUDの電位を制御することで、ラッチ回路への入力向きを切り替えることができ、シフトパルスのスキャン方向の制御が可能となる。なお、シフトパルスのスキャン方向が逆スキャンの場合は、図3のセット端子がリセット端子となり、リセット端子がセット端子として機能することになる。すなわち、トランジスタT r 3及びT r 4のゲートに入力されるリセット信号Rがセット信号Sとして機能し、トランジスタT r 1及びT r 2のゲートに入力されるセット信号Sがリセット信号Rとして機能することになる。

また、このRS－FF23は、RST＝HレベルとすることでトランジスタT r 9を導通状態とし、ラッチ回路のノードN1をLレベルに固定することが可能な構成となっている。

【0036】

このような構成により、RS－FF23は、正スキャン時には、セット端子に入力され

るセット信号Sがアクティブになることでセットされ、出力端子からHレベルとなる出力信号Qを出力する。そして、セット信号Sが非アクティブになっても、その出力状態を保持し続け、リセット端子に入力されるリセット信号Rがアクティブになることでリセットされて、Lレベルとなる出力信号Qを出力する。その後、リセット信号Rが非アクティブになっても、次にセット信号Sがアクティブになるまでその状態を保持し続ける。

一方、逆スキャン時には、リセット端子に入力されるリセット信号Rがアクティブになることでセットされ、出力端子からHレベルとなる出力信号Qを出力する。そして、リセット信号Rが非アクティブになっても、その出力状態を保持し続け、セット端子に入力されるセット信号Sがアクティブになることでリセットされて、Lレベルとなる出力信号Qを出力する。その後、セット信号Sが非アクティブになっても、次にリセット信号Rがアクティブになるまでその状態を保持し続ける。

10

【0037】

出力スイッチ21は、出力信号Qおよび/Qがアクティブ状態（Q＝Hレベル、/Q＝Lレベル）である期間オンし、このオン期間に、垂直クロック信号CKV1もしくはCKV2が、インバータ24，25を介して出力パルスYとして出力される。即ち、出力スイッチ21のオン期間に、クロック信号CKV1もしくはCKV2と同期して、当該クロック信号CKV1もしくはCKV2と同じパルス幅の出力パルスYが出力されることになる。

一方、出力信号Qおよび/Qが非アクティブ状態（Q＝Lレベル、/Q＝Hレベル）となつて出力スイッチ21がオフしている期間には、出力信号/Qが入力されるn型トランジスタ22が導通状態となるため、Lレベルとなる出力パルスYが出力されることになる。

20

【0038】

このようにして、走査線駆動回路20A，20Bのシフトレジスタは、垂直クロック信号CKV1，CKV2の立ち上げ／立ち下げに同期して、表示領域100の最上段の走査線112から最下段の走査線112に向けて（逆スキャン時には、表示領域100の最下段の走査線112から最上段の走査線112に向けて）、出力パルス（走査信号）Yを順次出力する。

ここで、ダミー段のシフトレジスタの出力パルスYdummyが供給されるダミーの走査線には、ダミー画素が設けられているものとする。なお、RS-FF23を図3に示す回路構成とする場合について説明したが、上述した動作を行うフリップフロップであれば、これに限定されるものではなく、ダミー段を必要としない構成とすることもできる。

30

ところで、一般的な液晶表示装置の構成として、図4に示すように、走査線駆動回路1020を表示領域100の片側に配置するものが知られている。

【0039】

図5は、図4の走査線駆動回路1020の具体的構成を示す図である。

走査線駆動回路1020は、320本の走査線112に対応する320段のドライバG1～G320と2つのダミー段とから構成される322段のシフトレジスタを有し、垂直クロック信号CKV1，CKV2が各段に交互に入力される。ここでは、奇数段に垂直クロック信号CKV2が入力され、偶数段に垂直クロック信号CKV1が入力されるようになっている。

40

また、RS-FF1023は、前段のシフトレジスタの出力パルスがセット信号Sとして入力されることで、アクティブとなる出力信号Qおよび/Qを出力する。さらに、RS-FF1023は、次段のシフトレジスタの出力パルスがリセット信号Rとして入力されることで、非アクティブとなる出力信号Qおよび/Qを出力するようになっている。

なお、RS-FF1023の構成は、図3に示すRS-FF23の構成と同一である。

【0040】

図2と図5とを比較しても分かるように、本実施形態のように走査線駆動回路を表示領域100の両側に配置し、走査線駆動回路20Aと20Bとの選択電圧の出力端に走査線112を1本ずつ交互に接続する構成とすることで、一方の走査線駆動回路20A（又は

50

20B)に属するドライバGの数を、片側配置の走査線駆動回路1020の半分にすることができる。

また、図4の液晶表示装置にあっては、走査線駆動回路1020を片側配置しているので、左右の額縁領域の均等化を図ろうとすると、走査線駆動回路1020を配置していない側に無駄なスペースが存在してしまう。これに対して、本実施形態では、走査線駆動回路20A、20Bを表示領域100の両側にバランス良く配置することができるので、スペースの無駄がない。

【0041】

このように、上記第1の実施形態では、走査線駆動回路を表示領域の両側にバランス良く配置できると共に、一方の走査線駆動回路に属するドライバの数を、片側配置の走査線駆動回路の半分にして回路面積を縮小することができるので、表示パネルの狭額化を実現することができる。

10

また、一方の走査線駆動回路に属するフリップフロップに、他方の走査線駆動回路に属するシフトレジスタの出力パルスを入力する際、走査線を介して当該出力パルスを入力するので、走査線が断線していたらスキャンが停止する構成とすることができ、走査線の断線チェックを行うことができる。

さらに、共通電極を複数に分割し、共通電極毎に異なる電位の電圧を供給するCOM分割駆動を採用するので、画像の表示品位を向上させることができる。また、COM分割駆動用ドライバを配置することに起因して額縁領域が大きくなる場合であっても、走査線駆動回路を上記の構成とすることで、額縁領域の増大を抑制することができる。

20

【0042】

次に、本発明における第2の実施形態について説明する。

この第2の実施形態は、前述した第1の実施形態において、走査線駆動回路20Aと20Bとの選択電圧の出力端に走査線112を1本ずつ交互に接続しているのに対し、2本ずつ交互に接続するようにしたものである。

図6は、第2の実施形態における液晶表示装置10の構成を示すブロック図である。

この第2の実施形態における液晶表示装置10は、前述した第1の実施形態の液晶表示装置10において、走査線駆動回路20A、20Bの構成が異なる点を除いては図1の液晶表示装置10と同様の構成を有する。したがって、ここでは構成の異なる部分を中心に説明する。

30

【0043】

走査線駆動回路20Aと20Bとの選択電圧の出力端には、走査線112が2本ずつ交互に接続されている。すなわち、1, 2, 5, 6, ..., 317, 318行目の走査線112に供給する走査信号を出力するドライバG1, G2, G5, G6, ..., G317, G318が走査線駆動回路20Aに属し、3, 4, 7, 8, ..., 319, 320行目の走査線112に供給する走査信号を出力するドライバG3, G4, G7, G8, ..., G319, G320が走査線駆動回路20Bに属する。

【0044】

図7は、第2の実施形態における走査線駆動回路20A、20Bの具体的構成を示す図である。

40

この図7において、各シフトレジスタは、前述した第1の実施形態のシフトレジスタと同様の構成を有する。

また、前述した第1の実施形態と同様に、n行目の走査線112に対応するシフトレジスタのRS-FF23には、(n-1)行目の走査線112に対応するシフトレジスタの出力パルスY(n-1)がセット信号Sとして入力される。また、n行目の走査線112に対応するシフトレジスタのRS-FF23には、(n+1)行目の走査線112に対応するシフトレジスタの出力パルスY(n+1)がリセット信号Rとして入力される。

【0045】

このとき、奇数行目の走査線112に対応するシフトレジスタのRS-FF23に入力されるセット信号Sは、対向配置された走査線駆動回路に属するシフトレジスタから走査

50

線 1 1 2 を介して入力され、リセット信号 R は、隣接されたシフトレジスタから走査線 1 1 2 を介さずに入力される。

また、偶数行目の走査線 1 1 2 に対応するシフトレジスタの RS-FF 2 3 に入力されるセット信号 S は、隣接されたシフトレジスタから走査線 1 1 2 を介さずに入力され、リセット信号 R は、対向配置された走査線駆動回路に属するシフトレジスタから走査線 1 1 2 を介して入力される。

【0046】

ところで、シフトレジスタの出力パルスを、対向配置された走査線駆動回路に属するシフトレジスタの RS-FF 2 3 に走査線 1 1 2 を介して入力する場合、隣接されたシフトレジスタから走査線 1 1 2 を介さずに入力する場合と比較して、RS-FF 2 3 への出力パルスの入力タイミングに遅延が生じる。このように出力パルスの入力タイミングにずれが生じると、RS-FF 2 3 のセットタイミング及びリセットタイミングにずれが生じ、表示不良を発生させるおそれがある。

これに対して、本実施形態では、走査線駆動回路 20 A と 20 B との選択電圧の出力端に、走査線 1 1 2 を 2 本ずつ交互に接続するので、各 RS-FF 2 3 のセット信号 S 又はリセット信号 R を、隣接されたシフトレジスタから走査線 1 1 2 を介さずに入力することができる。

【0047】

このように、隣接する 2 本の走査線を同一の走査線駆動回路の選択電圧の出力端に接続することで、この隣接した走査線に対応する 2 つのフリップフロップ間で、上記遅延が生じるのを防止することができ、表示不良の発生を抑制することができる。

なお、上記第 2 の実施形態においては、走査線駆動回路 20 A と 20 B との選択電圧の出力端に走査線 1 1 2 を 2 本毎に交互に接続する場合について説明したが、3 本以上とすることもできる。

また、上記各実施形態においては、走査線駆動回路 20 A と 20 B との選択電圧の出力端に走査線 1 1 2 を一定の本数毎に交互に接続する場合について説明したが、異なる本数毎に交互に接続するようにしてもよい。

【0048】

さらに、上記各実施形態においては、共通電極を複数に分割し、共通電極毎に第 1 電圧又は第 2 電圧を供給する COM 分割駆動を採用する場合について説明したが、COM 分割駆動を行わない（共通電極を分割しない）構成としてもよい。

また、上記各実施形態においては、液晶の駆動方式として FFS 方式を採用する場合について説明したが、TN 方式や IPS 方式等を採用することもできる。

さらにまた、上記各実施形態においては、本発明を、液晶表示装置に適用する場合について説明したが、液晶以外の電気光学物質を用いた表示装置、例えば有機 EL やプラズマ放電を用いた表示装置に適用することもできる。

また、上記各実施形態の電気光学装置は、電子機器に搭載される表示装置として用いることができる。電子機器とは具体的にはモニター、TV、ノートパソコン、PDA、デジタルカメラ、ビデオカメラ、携帯電話機、携帯フォトビューワー、携帯ビデオプレイヤー、携帯 DVD プレイヤー、携帯オーディオプレイヤーなどである。

【図面の簡単な説明】

【0049】

【図 1】第 1 の実施形態における液晶表示装置の構成を示すブロック図ある。

【図 2】第 1 の実施形態における走査線駆動回路の具体的構成を示す図である。

【図 3】RS-FF の回路構成を示す図である。

【図 4】一般的な液晶表示装置の構成を示す図である。

【図 5】図 4 の走査線駆動回路の具体的構成を示す図である。

【図 6】第 2 の実施形態における液晶表示装置の構成を示すブロック図ある。

【図 7】第 2 の実施形態における走査線駆動回路の具体的構成を示す図である。である。

【符号の説明】

10

20

30

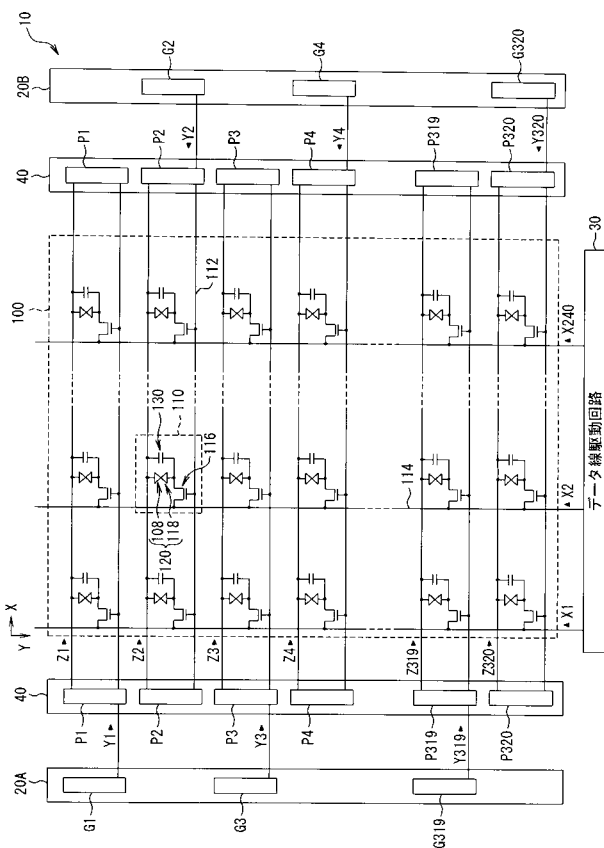
40

50

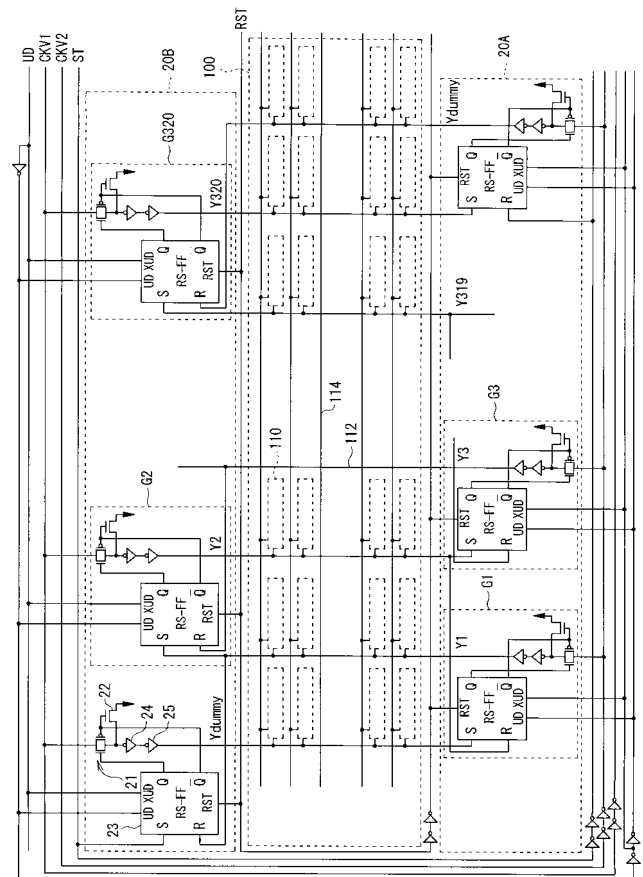
【0050】

10…液晶表示装置、20A、20B…走査線駆動回路、21…出力スイッチ、22… n 型トランジスタ、23…RS型フリップフロップ(RS-FF)、24、25…インバータ、26、27…インバータ、30…データ線駆動回路、40…共通電極駆動回路、100…表示領域、108…共通電極、110…画素、112…走査線、114…データ線、116…TFT、118…画素電極、120…画素容量、130…蓄積容量、P…単位制御回路

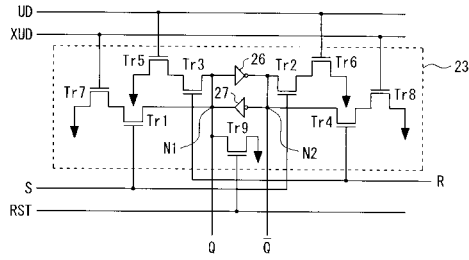
【図1】



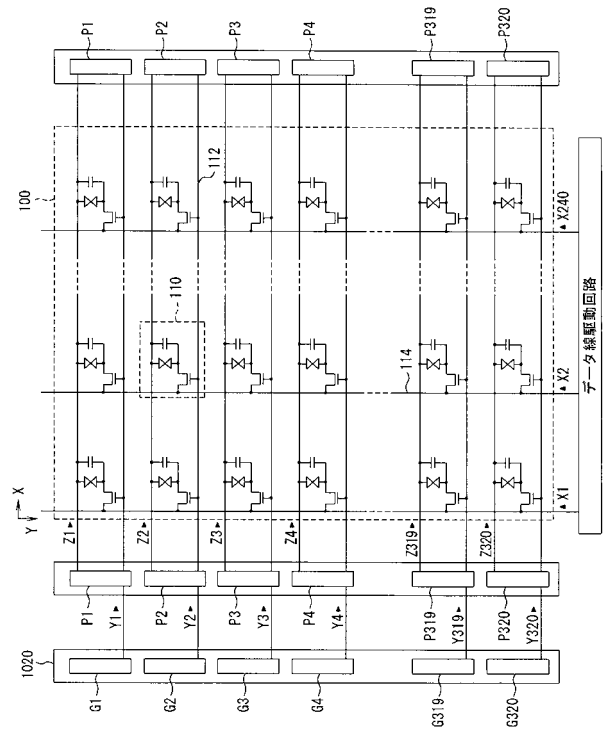
【図2】



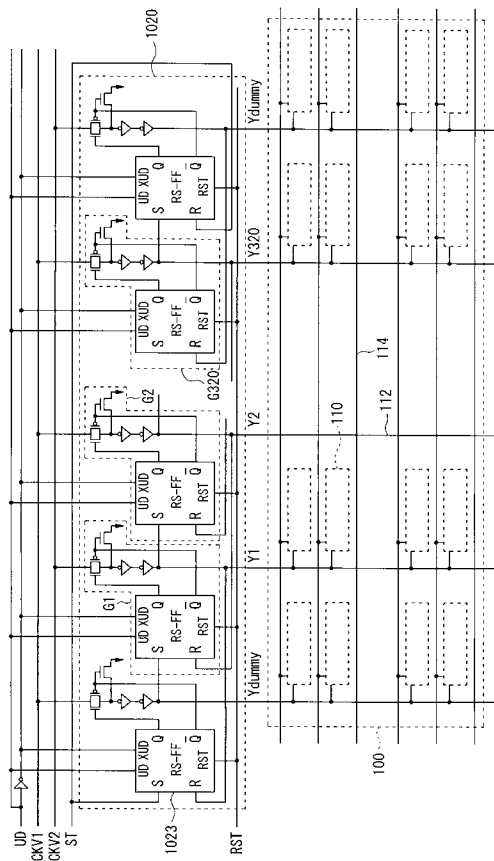
【図 3】



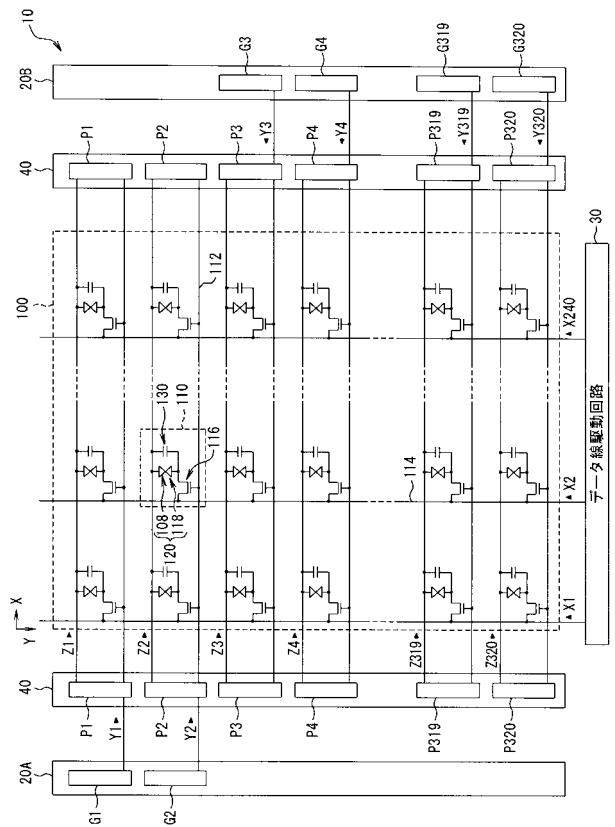
【図 4】



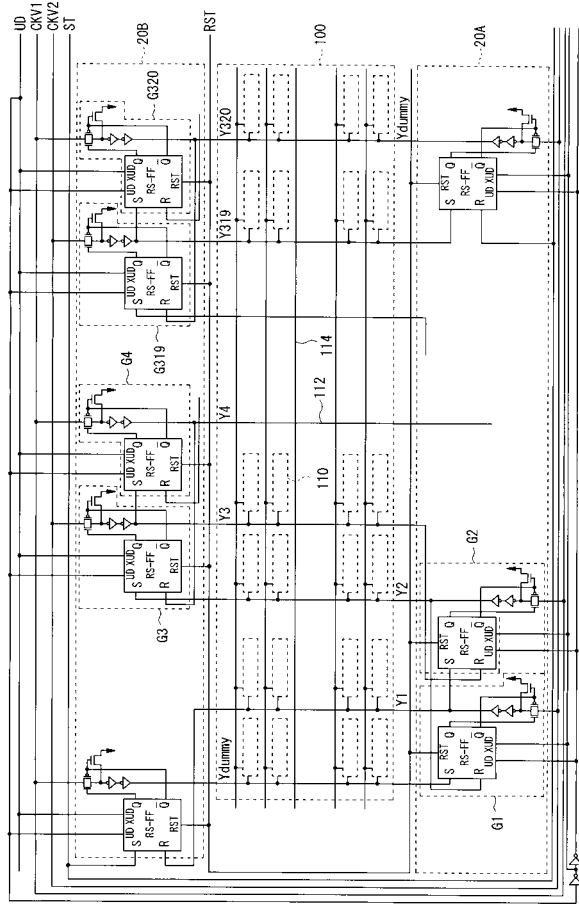
【図 5】



【図 6】



【図 7】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 2 4 C

G 0 9 G 3/20 6 2 1 M