(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3599873号
(P3599873)
(45)発行日　平成16年12月8日(2004.12.8)　(24)登録日　平成16年9月24日(2004.9.24)

(51)Int.Cl.[7]	F I		
H01L 21/8247	H01L	27/10	434
H01L 21/316	H01L	21/76	D
H01L 21/762	H01L	21/94	A
H01L 27/115	H01L	29/78	371
H01L 29/788			

請求項の数 8　(全 12 頁)　最終頁に続く

(21)出願番号　特願平8-32925
(22)出願日　平成8年1月26日(1996.1.26)
(65)公開番号　特開平9-205187
(43)公開日　平成9年8月5日(1997.8.5)
審査請求日　平成14年12月27日(2002.12.27)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　山崎　舜平
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　竹村　保彦
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

審査官　正山　旭

最終頁に続く

(54)【発明の名称】半導体装置の作製方法

(57)【特許請求の範囲】
【請求項１】
半導体基板に凸部を形成し、
前記半導体基板表面上に第１の絶縁性被膜を形成し、
前記第１の絶縁性被膜表面上に第１の導電性被膜を形成し、
前記第１の導電性被膜に対して、異方性エッチングを行い、前記凸部側面に導電性被膜を残存させ、
前記凸部側面の導電性被膜表面上に第２の絶縁性被膜を形成し、
プレーナー型のＭＯＳトランジスタが形成される部分及び前記凸部を覆って第１のマスクを形成し、
前記第１のマスクで覆われていない部分に素子分離用の酸化物を形成し、
前記第１のマスクを除去し、
第２の導電性被膜を形成し、
前記第２の導電性被膜上であって、プレーナー型のＭＯＳトランジスタのゲイト電極となる部分に第２のマスクを形成し、
前記第２の導電性被膜に対して、異方性エッチングを行い、前記凸部側面の導電性被膜の側面に前記第２の絶縁性被膜を介してコントロールゲイトを形成すると同時に、プレーナー型のＭＯＳトランジスタのゲイト電極を形成し、
前記半導体基板に対して、一導電型を付与する不純物を導入することを特徴とする半導体装置の作製方法。

【請求項２】
半導体基板に凸部を形成し、
前記半導体基板表面上に第１の絶縁性被膜を形成し、
前記第１の絶縁性被膜表面上に第１の導電性被膜を形成し、
選択的に酸化して素子分離用の酸化物を形成し、
前記第１の導電性被膜に対して、異方性エッチングを行い、前記凸部側面に導電性被膜を残存させ、
前記凸部側面の導電性被膜表面上に第２の絶縁性被膜を形成し、
第２の導電性被膜を形成し、
前記第２の導電性被膜上であって、プレーナー型のＭＯＳトランジスタのゲイト電極となる部分に第２のマスクを形成し、
前記第２の導電性被膜に対して、異方性エッチングを行い、前記凸部側面の導電性被膜の側面に前記第２の絶縁性被膜を介してコントロールゲイトを形成すると同時に、プレーナー型のＭＯＳトランジスタのゲイト電極を形成し、
前記半導体基板に対して、一導電型を付与する不純物を導入することを特徴とする半導体装置の作製方法。
【請求項３】
半導体基板に凸部を形成し、
前記半導体基板表面上に第１の絶縁性被膜を形成し、
前記第１の絶縁性被膜表面上に第１の導電性被膜を形成し、
前記第１の導電性被膜に対して、異方性エッチングを行い、前記凸部側面に導電性被膜を残存させ、
選択的に酸化して素子分離用の酸化物を形成し、
前記凸部側面の導電性被膜表面上に第２の絶縁性被膜を形成し、
第２の導電性被膜を形成し、
前記第２の導電性被膜上であって、プレーナー型のＭＯＳトランジスタのゲイト電極となる部分に第２のマスクを形成し、
前記第２の導電性被膜に対して、異方性エッチングを行い、前記凸部側面の導電性被膜の側面に前記第２の絶縁性被膜を介してコントロールゲイトを形成すると同時に、プレーナー型のＭＯＳトランジスタのゲイト電極を形成し、
前記半導体基板に対して、一導電型を付与する不純物を導入することを特徴とする半導体装置の作製方法。
【請求項４】
半導体基板に凸部を形成し、
前記半導体基板表面上に第１の絶縁性被膜を形成し、
前記第１の絶縁性被膜表面上に第１の導電性被膜を形成し、
前記第１の導電性被膜に対して、異方性エッチングを行い、前記凸部側面に導電性被膜を残存させ、
前記凸部側面の導電性被膜表面上に第２の絶縁性被膜を形成し、
選択的に酸化して素子分離用の酸化物を形成し、
第２の導電性被膜を形成し、
前記第２の導電性被膜上であって、プレーナー型のＭＯＳトランジスタのゲイト電極となる部分に第２のマスクを形成し、
前記第２の導電性被膜に対して、異方性エッチングを行い、前記凸部側面の導電性被膜の側面に前記第２の絶縁性被膜を介してコントロールゲイトを形成すると同時に、プレーナー型のＭＯＳトランジスタのゲイト電極を形成し、
前記半導体基板に対して、一導電型を付与する不純物を導入することを特徴とする半導体装置の作製方法。
【請求項５】
半導体基板に凸部を形成し、

前記半導体基板表面上に絶縁被膜を形成し、
第１の導電性被膜を形成し、
前記第１の導電性被膜を異方性エッチングして、前記凸部の側面にフローティングゲイトとなるべき被膜を形成し、
前記フローティングゲイトの表面に絶縁被膜を形成し、
選択的に酸化して素子分離用の酸化物を形成し、
第２の導電性被膜を形成し、
前記第２の導電性被膜上に選択的にマスクを形成し、
前記第２の導電性被膜を異方性エッチングして、前記凸部の側面に、前記フローティングゲイトを覆って、コントロールゲイトを形成するとともにプレーナー型のＭＯＳトランジスタのゲイト電極を形成し、
前記半導体基板に対して一導電型を付与する不純物を導入することを特徴とする半導体装置の作製方法。
【請求項６】
半導体基板に凸部を形成し、
前記半導体基板表面上に絶縁被膜を形成し、
第１の導電性被膜を形成し、
選択的に酸化して素子分離用の酸化物を形成し、
前記第１の導電性被膜を異方性エッチングして、前記凸部の側面にフローティングゲイトとなるべき被膜を形成し、
前記フローティングゲイトの表面に絶縁被膜を形成し、
第２の導電性被膜を形成し、
前記第２の導電性被膜上に選択的にマスクを形成し、
前記第２の導電性被膜を異方性エッチング法して、前記凸部の側面に、前記フローティングゲイトを覆って、コントロールゲイトを形成するとともにプレーナー型のＭＯＳトランジスタのゲイト電極を形成し、
前記半導体基板に対して一導電型を付与する不純物を導入することを特徴とする半導体装置の作製方法。
【請求項７】
半導体基板に凸部を形成し、
前記半導体基板表面上に絶縁被膜を形成し、
第１の導電性被膜を形成し、
前記第１の導電性被膜を異方性エッチングして、前記凸部の側面にフローティングゲイトとなるべき被膜を形成し、
選択的に酸化して素子分離用の酸化物を形成し、
前記フローティングゲイトの表面に絶縁被膜を形成し、
第２の導電性被膜を形成し、
前記第２の導電性被膜上に選択的にマスクを形成し、
前記第２の導電性被膜を異方性エッチングして、前記凸部の側面に、前記フローティングゲイトを覆って、コントロールゲイトを形成するとともにプレーナー型のＭＯＳトランジスタのゲイト電極を形成し、
前記半導体基板に対して一導電型を付与する不純物を導入することを特徴とする半導体装置の作製方法。
【請求項８】
請求項１から７のいずれか一項において、
前記プレーナー型のＭＯＳトランジスタは、前記半導体基板の凸部上面に設けられていることを特徴とする半導体装置の作製方法。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】

本発明は、半導体集積回路の高集積化技術に関する。本発明では、特に電界効果型素子に関して、高集積化に適した半導体装置を提案し、その作製方法について述べる。本発明による半導体装置は、特にフローテイングゲイトを有する不揮発性半導体メモリー装置に使用される。

【０００２】

【従来の技術】

従来の半導体装置は、平面的に形成された。例えば、電界効果型素子（ＭＯＳ型（もしくはＭＩＳ型）電界効果型トランジスタ（ＦＥＴ））の例では、ソース、ドレイン、チャネルを概略平面的に配置し、ドレイン電流が基板に平行に流れるような構造とされた。しかし、このような平面的（プレーナー型）素子においては、素子面積の縮小には自ずと限度がある。このため、より高集積化を図るためには、プレーナー型素子を多層に形成する技術や素子の構造自体を非平面的とすることが検討されている。後者の例としては、本発明人らの提案した縦チャネル型ＭＯＳＦＥＴ（特開平６－１３６２７）等がある。これは、ソースの上方（もしくは下方）にドレインを配置し、ドレイン電流が概略垂直に流れるようにしたものである。このような構造によって素子の高集積化が図れる。

【０００３】

【発明が解決しようする課題】

上述の特開平６－１３６２７は不揮発性半導体メモリーに関するものであった。すなわち、フローティングゲイト、およびコントロールゲイトを異方性エッチング法によって、半導体基板上に形成された凸部の側面に形成させることを特徴としていた。しかし、基本的な素子構造が示されるのみであった。本発明はこのような構造の素子についてより最適な構造、作製方法を提供し、かつ、ＮＡＮＤ型の不揮発性メモリーについても好ましい形態を開示することを目的とする。

【０００４】

【課題を解決するための手段】

本発明における半導体装置の作製方法は下記の工程を有する。

▲１▼半導体基板をエッチングして、凸部を形成する工程

▲２▼前記半導体基板の露出表面に絶縁被膜を形成する工程

▲３▼第１の導電性被膜を形成する工程

▲４▼前記第１の導電性被膜を異方性エッチング法によりエッチングすることにより、前記凸部の側面にフローティングゲイトとなるべき被膜を形成する工程

【０００５】

▲５▼前記フローティングゲイトの表面に絶縁被膜を形成する工程

▲６▼半導体基板および／もしくは第１の導電性被膜を選択的に酸化して素子分離用の酸化物を得る工程

▲７▼第２の導電性被膜を形成する工程

▲８▼第２の導電性被膜に選択的にマスクを形成する工程

▲９▼前記第２の導電性被膜を異方性エッチング法によりエッチングすることにより、前記凸部の側面に、前記フローティングゲイトを覆って、コントロールゲイトを形成すると同時に、プレーナー型ＭＯＳトランジスタのゲイトを得る工程

【０００６】

ここで、工程▲６▼は、工程▲３▼と▲４▼の間でも、工程▲４▼と▲５▼の間でもよい。また、一導電形型を付与する不純物を拡散させる工程（ドーピング工程）は、工程▲９▼以後におこなうことが望ましい。かくすることにより、プレーナー型ＭＯＳＦＥＴのソース、ドレイン（不純物領域）をゲイトに対して自己整合的に形成することができるからである。さらには、公知の技術と同様に多層配線を実施するためには、工程▲９▼の後に、層間絶縁物を形成して、上層配線を形成すればよい。

工程▲６▼においては、いわゆる局所的酸化法（ＬＯＣＯＳ）を用いてもよいし、それを発展させた技術を用いてもよい。工程▲２▼および▲５▼における絶縁被膜の形成方法としては、熱酸化法、熱窒化法を用いてもよいし、気相成膜法によってもよい。

【０００７】
工程▲３▼によって成膜される第１の導電性被膜とは、エッチング工程▲４▼の後にフローティングゲイトとなる被膜である。一般に工程▲４▼の異方性エッチングの結果、１つの凸部の１側面には、連続的な第１の導電性被膜が残される。
しかしながら、この１つの側面に複数の素子を形成する場合には、フローティングゲイトは各素子ごとに分離される（絶縁される）必要がある。工程▲６▼は、素子分離用の酸化物を形成すると同時に、フローティングゲイトを各素子ごとに分離するためのものでもある。
【０００８】
先に工程▲６▼は、工程▲３▼と▲４▼の間でも、▲４▼と▲５▼の間にあってもよい旨を述べたが、以下では、簡単にそれぞれのケースについて検討する。まず、工程▲３▼と▲４▼の間にある場合には、素子分離用の酸化物によって、第一の被膜が先に分断され、その後、工程▲４▼によって、凸部の側面に形成されるので、結果的には、素子ごとに分断されたフローティングゲイトを得ることができる。
又、工程▲４▼と▲５▼の間にある場合は、選択酸化において、酸化マスク（通常窒化珪素が用いられる）が半導体基板、第一の導電性被膜と直接接触するので、剥離の危険があるが、実施不可能ではない。このような、理由から工程▲６▼の位置は工程▲３▼と▲４▼の間でも、工程▲４▼と▲５▼の間でもよい。
【０００９】
以上は本発明の一般的な作製方法についての記述であったが、次に特殊な場合について述べる。本発明の有望な応用例であるＮＡＮＤ型不揮発性メモリーの構成に本発明の作製工程を適応させる際に注意しなければならないのは、素子の分離技術に関するものである。特開平６－１３６２７は、ＮＡＮＤ型回路に限定したものではなかった。ＮＡＮＤ型回路は、従来のマトリクス型回路に比べてメモリーセルあたりの上層配線（ＮＡＮＤ型の場合はビット線、必要によってはアース線も含む）とのコンタクトを減らすことができる。
【００１０】
通常のＮＡＮＤ型回路では、単位メモリーブロックは４個以上、好ましくは８個以上のメモリーセル（メモリートランジスタ）から構成されており、これらは直列に接続されている。また、各ブロックには、メモリーセルを挟んで少なくとも２個の選択トランジスタが設けられている。そして、ビット線とのコンタクトは、各選択トランジスタのソースについて１個づつ、すなわち、各ブロックあたり２個である。隣接するブロックとのコンタクトを共有させることにより各ブロックあたり１個とすることもできる。１つのブロックが４個、８個のメモリーセルからできている場合は、コンタクト数はメモリーセルあたり１／４、１／８である。
【００１１】
これに対し、通常のマトリクス型メモリー回路では、各メモリーセルあたり少なくとも１個のコンタクトが必要とされる。このようにコンタクトが多いことは回路の高集積化という観点からは不利である。
本発明をＮＡＮＤ型回路に適用するには、まず、工程▲６▼において、ワード線と概略垂直な方向に素子分離用の複数の酸化物を形成することが要求される。もちろん、工程▲１▼においては、ワード線に平行な方向に溝を形成し、すなわち、線状の凸部を得ることが必要である。
【００１２】
素子分離は直列するメモリーセルや選択トランジスタ間には不要であるが、そうでないトランジスタ間には必要である。したがって、工程▲６▼の素子分離用の絶縁物は各トランジスタ列ごとに同じ間隔で形成される。また、本発明では素子は１つの線状の凸部の側面に２つ形成されるので、１つの線状の凸部につき、ワード線が２本形成される。そして、ワード線とトランジスタ列は交差するので、素子分離用の絶縁物と線状の凸部（あるいは溝）は交差する。
【００１３】

次に、ＮＡＮＤ型回路においては、メモリーセル以外に選択トランジスタ（フローティングゲイトを有さない通常の構造のトランジスタ）も必要とされる。本発明においてはプレーナー型ＭＯＳＦＥＴを選択トランジスタに用いればよい。プレーナー型ＭＯＳＦＥＴの形成される部分の第１の導電性被膜は、工程▲４▼によってエッチングされるので、プレーナー型ＭＯＳＦＥＴは全て通常のトランジスタ（フローティングゲイトを有さないトランジスタ）となる。

【００１４】

選択トランジスタの不純物領域はビット線やアース線とコンタクトすることが求められる。このため、選択トランジスタは、溝の部分よりも、凸部表面に設ける方が、コンタクトホールを形成する上で有利である。プレーナー型ＭＯＳＦＥＴの作製については、後述する方法にしたがえばよい。

選択トランジスタをプレーナー型トランジスタとすることにより、縦チャネル型素子の形成される凸部においてはコンタクトを形成する必要がない。このことは以下の点で有利である。すなわち、このようなコンタクトの必要のない凸部の幅は最小デザインルールで設計すればよい。もし、コンタクトの必要があれば、。その幅は、少なくとも最小デザインルールの２倍は必要とされるであろう。

【００１５】

本発明を用いて半導体装置を作製する場合において、選択トランジスタ以外にも、周辺回路等において、一部の素子は従来のプレーナー型によって構成することが必要とされる場合も考えられる。また、原理的に本発明では、凸部の側面以外の第２の導電性被膜は全てエッチングされてしまうので、そのままでは、コントロールゲイトと上層配線とのコンタクトを形成することすら困難である。したがって、このような目的のために、工程▲８▼が要求される。

【００１６】

その工程の後に、工程▲９▼による異方性エッチングをおなうと、該マスクの形成された部分はエッチングされない。すなわち、工程▲９▼の結果、凸部の側面、もしくは、マスクの部分以外の第２の導電性被膜はエッチングされてしまう。プレーナー型ＭＯＳＦＥＴのゲイト・配線や、コントロールゲイトの最終端のコンタクト形成部はマスクすべき部分である。

【００１７】

そして、該プレーナー型ＭＯＳＦＥＴのソース、ドレインの形成は、そのゲイトの形成された後、すなわち、工程▲９▼の後におこなえばよい。なお、ドーピング工程において、ソース、ドレインの実効的な深さδと、工程▲１▼のエッチングの深さ（溝の深さ）ｄの間には、以下の条件を満たすことが必要である。

ｄ＞δ

これが満たされないと、凸部の下にまで不純物が拡散してしまい、実質的に縦チャネルを形成できない。

【００１８】

このように、縦チャネル型素子以外にプレーナー型ＭＯＳＦＥＴを作製するためにフォトリソグラフィー工程が１つ追加される。なお、工程▲４▼では、特にマスクを設けない限り、平面上に形成された第１の導電性被膜は全てエッチングされるので、プレーナー型ＭＯＳＦＥＴにはフローティングゲイトを形成することはできない。

【００１９】

【実施例】

〔実施例１〕　図１に本発明の１実施例を示す。本実施例は、本発明を用いて不揮発性メモリー装置等の半導体装置を作製する場合の基本を説明するためのものである。図１には、３つの典型的な部分の作製断面を示す。すなわち、左から、プレーナー型素子の設けられる部分、素子分離用の酸化物の設けられる部分、縦チャネル型素子の設けられる部分である。

【００２０】

まず、図１（Ａ）に示すように、半導体基板１１上に溝（もしくは凹部）１３を複数形成し、凸部１２を形成する。凸部１２の高さは、当初の半導体基板の表面と同じである。溝１３の深さは、形成する縦チャネル型素子のチャネル長と大きな関係がある。図では半導体基板との境界を分かりやすくするために、境界部、表面部に斜線をひいて示すが、これは該部分の組成、導電性等が、他の部分と異なることを意味するのではない。以上の工程が工程▲１▼に相当する。

次に、以上のようにして形成された半導体表面に熱酸化等の公知の方法によって酸化物被膜１４を形成する（工程▲２▼に相当）。（図１（Ａ））

【００２１】

そして、公知の成膜技術により、半導体材料等を用いて、第１の導電性被膜１５を成膜する（工程▲３▼に相当）。その際には凸部の側面にも十分に被膜が形成されるような被覆性の高い成膜技術を採用する必要がある。また、被膜の厚さは溝１３の深さの１／５～１／２が好ましい。（図１（Ｂ））

次に、公知の異方性エッチング法により、被膜１５をエッチングする（工程▲４▼に相当）。この結果、凸部の側面にのみフローティングゲイトとなるべき被膜１６が残され、その他の部分はエッチングされる。この被膜１６は溝にそって連続している。（図１（Ｃ））

【００２２】

さらに、熱酸化法等の公知の被膜形成技術によって、前記被膜１６の表面に絶縁被膜１７を形成する（工程▲５▼に相当）。（図１（Ｄ））

次に選択酸化工程（工程▲６▼に相当）をおこなう。この際には、まず、耐酸化マスクとして、窒化珪素膜を用いる。すなわち、図に示すように、酸化物を形成する部分（すなわち、半導体上に素子を形成する部分）を除いて、耐酸化マスク１８を形成する。（図１（Ｅ））

【００２３】

その後、熱酸化法、好ましくは水蒸気熱酸化法によって、マスクされていない部分に酸化物被膜１９を厚く形成する。酸化工程の後、耐酸化マスク１８をエッチングして、選択酸化工程は終了する。（図１（Ｆ））

【００２４】

そして、公知の被膜形成技術により、半導体材料や金属材料を用いて、第２の導電性被膜２０を形成する（工程▲７▼に相当）。この場合にも、段差被覆性の優れた技術を採用する必要があり、また、被膜の厚さは溝１３の深さの１／５～１／２が好ましい。そして、公知のフォトリソグラフィー法により、第２の導電性被膜２０上に選択的にマスク２１を形成する（工程▲８▼に相当）。マスクを形成するのは、プレーナー型ＭＯＳトランジスタのゲイトや第２の導電性被膜を用いて配線を形成する部分である。（図１（Ｇ））

【００２５】

さらに、公知の異方性エッチング法により、第２の導電性被膜２０をエッチングする（工程▲９▼に相当）。この結果、凸部の側面にコントロールゲイト２３が残され、同時に、プレーナー型ＭＯＳトランジスタのゲイトも形成される。その他の部分はエッチングされる。特に、図の右の部分で明らかなようにフローティングゲイト１６上にコントロールゲイト２３が形成されるし、図の中央の部分のようにフローティングゲイトのない部分にも凸部の側面にコントロールゲイト２３が形成される。すなわち、コントロールゲイト２３は溝１３に沿って形成される。（図１（Ｈ））

【００２６】

さらに、イオン注入法等の公知の不純物拡散技術により、不純物領域を形成する。この結果、凸部１２の頂上に不純物領域２５が、また、溝１３の底部に不純物領域２６が、それぞれ形成される。また、プレーナー型ＭＯＳトランジスタの不純物領域２４も形成される。（図１（Ｉ））

このようにして、不揮発性メモリー装置のメモリーセルを有する半導体装置を形成できる。

【００２７】
〔実施例２〕　本実施例は、本発明を用いたＮＡＮＤ型不揮発性メモリー装置の作製工程および回路構成に関するものである。本実施例を図２～図６を用いて説明する。図２は本実施例の半導体装置の主要部を上方より見た様子を作製工程順に示したものである。図中の点線で囲まれた長方形の部分が単位メモリーブロックであり、本実施例では、２つの選択トランジスタと４つのメモリーセルより構成される。図３、図４は、図２においてＸ－Ｘ’、Ｙ－Ｙ’で示される部分の断面の様子を作製工程順に示したものである。また、図６は本実施例におけるビット線、アース線の配置の例を示したものであり、図５はそれに対応する回路図である。以下、工程順に説明する。
【００２８】
まず、実施例１と同様に半導体基板３１に溝３３を形成して、凸部３２を得る。さらに、半導体表面に熱酸化等の公知の方法によって酸化物被膜３４を形成する。図２では、当初の半導体基板と同等な高さの部分のみを斜線部とした。また、図３、図４では、図１と同様な理由で、半導体基板との境界部、表面部を斜線部とした。（図２（Ａ）、図３（Ａ）、図４（Ａ））
【００２９】
そして、公知の成膜技術により、半導体材料等を用いて、第１の導電性被膜を成膜し、実施例１と同様に、公知の異方性エッチング法により、これをエッチングすることにより、凸部の側面にのみフローティングゲイトとなるべき被膜３６を得る。この被膜３６は溝３３にそって連続している。（図３（Ｂ）、図４（Ｂ））
【００３０】
さらに、熱酸化法等の公知の被膜形成技術によって、前記被膜３６の表面に絶縁被膜を形成する。そして、実施例１と同様に、耐酸化マスクとして、窒化珪素膜を用いて、選択酸化をおこなう。すなわち、図２（Ｂ）に示すように、溝３３に垂直に耐酸化マスク３８を形成する。（図２（Ｂ）、図３（Ｃ）、図４（Ｃ））
【００３１】
その後、熱酸化法、好ましくは水蒸気熱酸化法によって、マスクされていない部分に酸化物被膜３９を厚く形成する。Ｘ－Ｘ’断面（図３）は、マスクされていたので酸化物は形成されないが、Ｙ－Ｙ’断面（図４）には、酸化物が形成される。図２においては判然としないが、図４から明らかなように、この酸化物３９は溝３３においても形成されている。すなわち、図２において、上下の素子間の分離ができる。また、この酸化工程によって、それまで、溝３３にそって連続していた被膜３６は分断される。（図２（Ｃ）、図３（Ｄ）、図４（Ｄ））
【００３２】
次に、公知の被膜形成技術により、半導体材料や金属材料を用いて第２の導電性被膜４０を形成する。そして、公知のフォトリソグラフィー法により、第２の導電性被膜４０上に選択的にマスク４１ａおよび４１ｂを形成する。マスクを形成するのは、選択トランジスタ（プレーナー型ＭＯＳトランジスタ）のゲイトを形成する部分である。（図３（Ｅ）、図４（Ｅ））
【００３３】
さらに、公知の異方性エッチング法により、第２の導電性被膜４０をエッチングする。この結果、凸部の側面にコントロールゲイト４３ａ～４３ｄが残され、また、選択トランジスタのゲイト４２ａ、４２ｂが形成される。その他の部分はエッチングされる。（図３（Ｆ）、図４（Ｆ））
そして、イオン注入法等の公知の不純物拡散技術により、不純物領域を形成する。この結果、凸部の頂上に不純物領域４５ａ～４５ｄと４４ａ、４４ｂが、また、各溝の底部に不純物領域４６ａ、４６ｂが、それぞれ形成される。（図３（Ｇ））
【００３４】
その後、公知の技術を用いて層間絶縁物４７を形成し、これに不純物領域４４ａ、４４ｂに通じるコンタクトホール４８ａ、４８ｂを形成して、ビット線やアース線等の上層配線

（ここではアース線）４９ａ、４９ｂを形成する。コンタクトホールの形成箇所は図２（Ｄ）に示される。このようにして、選択トランジスタとメモリーセルが形成できる。（図２（Ｄ）、図３（Ｈ）、図４（Ｇ））

【００３５】

ビット線、アース線等の上層配線の配置方法については２通りの方法が考えられる。第１は図６（Ａ）に示すように、上層配線を素子分離用酸化物３９と平行に、この上に配置する方法である。回路図は図５（Ａ）に示される。しかしながら、この方法では、図に示すように隣接する他の上層配線との接触の懸念から、他の上層配線との間隔を最小デザインルール以下にはできない。したがって、コンタクトホールを完全に覆って、コンタクトを形成することが難しい。（図５（Ａ）、図６（Ａ））

【００３６】

この問題を解消するには、図６（Ｂ）に示すように上層配線を斜めに配置すればよい。この場合の回路図は図５（Ｂ）に示される。あるいは、上層配線をジグザグに配置してもよい。かくすると、コンタクトホールを完全に覆って、配線を配置することができる。（図５（Ｂ）、図６（Ｂ））

【００３７】

このようにして、不揮発性メモリー装置を形成できる。

以上の例はアース線をビット線と並列に形成するものであったが、これに対し、アース線を基板上に形成した不純物領域とすることも可能である。

すなわち、素子分離用の酸化物を形成する際に、図７に示すように、プレーナー型ＭＯＳトランジスタを形成する領域の一方に、図の上から下に通じるように不純物領域４４ｃが形成されるようにすればよい。

【００３８】

図７は、ドーピング完了後の素子において、ゲイト、コントロールゲイト等を除去した様子を示したものであるが、不純物領域４４ｄは図３の不純物領域４４ｂに対応するもので、これはビット線とのコンタクトが設けられる。一方、不純物領域４４ｃには各メモリーブロックごとのコンタクトは設けられず、図の上から下につながる不純物領域がアース線となる。かくすることにより、アース線の抵抗は高まるが、コンタクト数を半減せしめることができる。（図７）

【００３９】

【発明の効果】

本発明によって、集積度の高い半導体装置を作製することができる。本発明は、特に、ＮＡＮＤ型の不揮発性メモリー装置の集積化に格段の技術進歩をもたらすものである。このように本発明は工業上、有益な発明である。

【図面の簡単な説明】

【図１】実施例１の半導体装置の作製工程を示す図。

【図２】実施例２の半導体装置の作製工程を示す。（上方より見た図）

【図３】実施例２の半導体装置の作製工程を示す。（断面図）

【図４】実施例２の半導体装置の作製工程を示す。（断面図）

【図５】実施例２の半導体装置の回路図。

【図６】実施例２の半導体装置の上層配線の配置を示す図。

【図７】実施例２の半導体装置の素子分離用絶縁物、不純物領域、コンタクトの配置を示す図。

【符号の説明】

１１・・・半導体基板

１２・・・凸部

１３・・・溝（もしくは凹部）

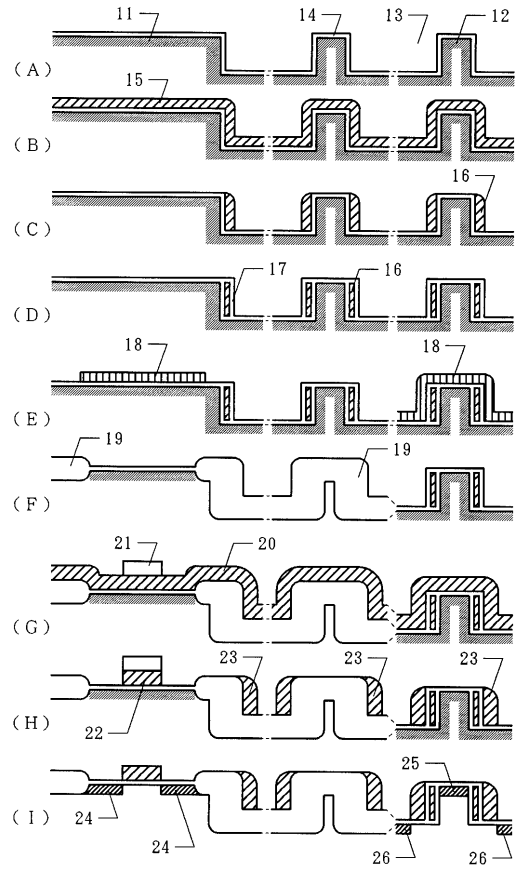
１４・・・絶縁物被膜

１５・・・第１の導電性被膜

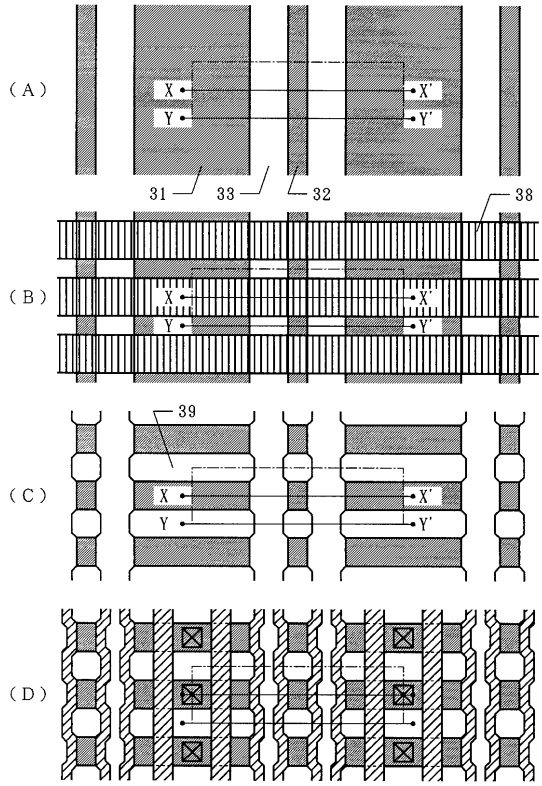
１６・・・第１の導電性被膜のエッチングされたもの

１７・・・絶縁物被膜
１８・・・耐酸化マスク
１９・・・素子分離用の酸化物
２０・・・第２の導電性被膜
２１・・・マスク
２２・・・プレーナー型ＭＯＳトランジスタのゲイト
２３・・・コントロールゲイト
２４、２５、２６・・・不純物領域

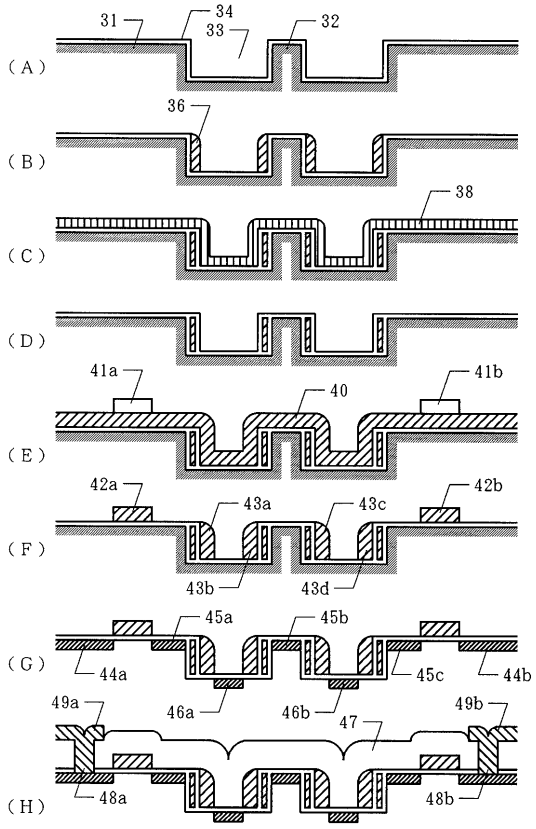
【図１】



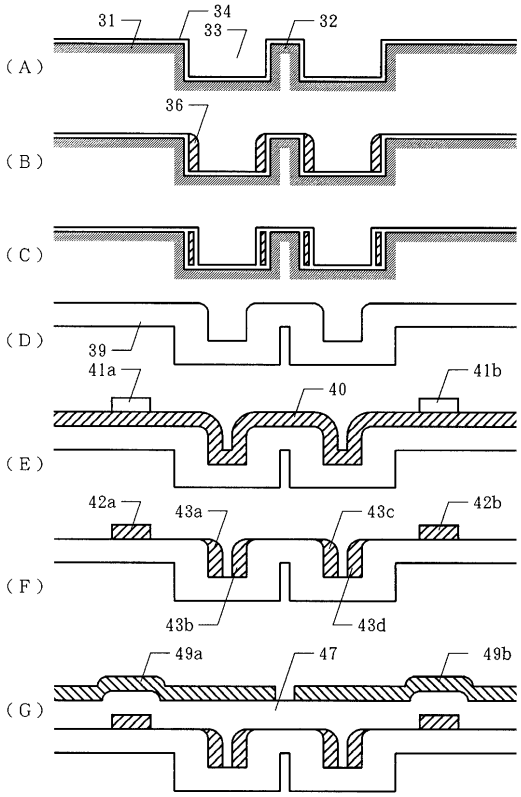
【図２】



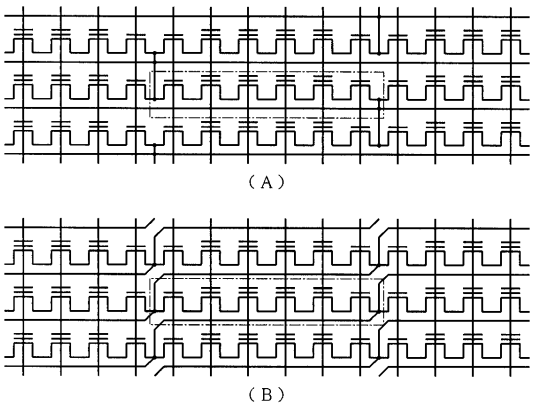
【図３】


（A）
（B）
（C）
（D）
（E）
（F）
（G）
（H）
31
34
33
32
36
38
41a
41b
40
42a
43a
43c
42b
43b
43d
45a
45b
44a
45c
44b
49a
46a
46b
47
49b
48a
48b

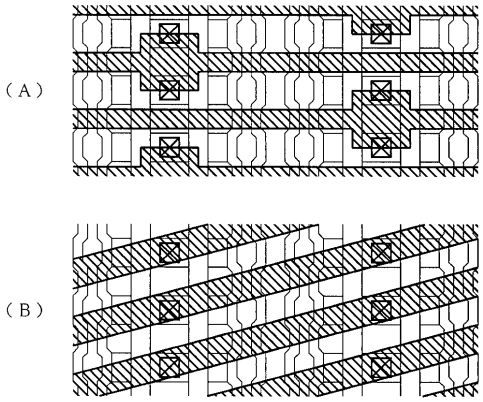
【図４】


（A）
（B）
（C）
（D）
（E）
（F）
（G）
31
34
33
32
36
39
41a
41b
40
42a
43a
43c
42b
43b
43d
49a
47
49b

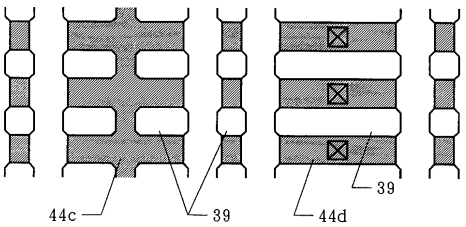
【図５】


（A）
（B）

【図６】


（A）
（B）

【図７】


44c
39
44d
39

フロントページの続き

(51)Int.Cl.[7] FI
H01L 29/792

(56)参考文献 特開平０１－１５０３６４（ＪＰ，Ａ）
特開平０６－２３７００３（ＪＰ，Ａ）
特開平０６－０１３６２７（ＪＰ，Ａ）
特開平０１－１９１４８０（ＪＰ，Ａ）
特開平０４－０７９３７０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 21/8247
H01L 21/316
H01L 21/762
H01L 27/115
H01L 29/788
H01L 29/792