

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4814943号
(P4814943)

(45) 発行日 平成23年11月16日(2011.11.16)

(24) 登録日 平成23年9月2日(2011.9.2)

(51) Int. Cl. F I
HO4B 3/04 (2006.01) HO4B 3/04 C
HO4L 25/03 (2006.01) HO4L 25/03 C

請求項の数 8 (全 19 頁)

(21) 出願番号	特願2008-531943 (P2008-531943)	(73) 特許権者	000005223
(86) (22) 出願日	平成18年8月31日 (2006.8.31)		富士通株式会社
(86) 国際出願番号	PCT/JP2006/317261		神奈川県川崎市中原区上小田中4丁目1番1号
(87) 国際公開番号	W02008/026289	(74) 代理人	100074099
(87) 国際公開日	平成20年3月6日 (2008.3.6)		弁理士 大菅 義之
審査請求日	平成20年11月11日 (2008.11.11)	(74) 代理人	100133570
			弁理士 ▲徳▼永 民雄
		(72) 発明者	山口 久勝
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	土肥 義康
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 データ送信回路、および送信方法

(57) 【特許請求の範囲】

【請求項1】

伝送線路を介して受信側にデータを送信する送信回路であって、
 該伝送線路上に存在する特性インピーダンスの不連続に起因する反射を抑制するための反射抑制成分を生成する反射抑制成分生成回路と、
 該反射抑制成分と前記受信側に現時点で送信すべきデータとを増幅して、前記伝送線路に出力するデータ出力回路と
 を備え、
 前記反射抑制成分生成回路は、正相クロックで動作する第1回路と逆相クロックで動作する第2回路とを含み、
前記第1回路および前記第2回路は、
第1セレクタと複数の第2セレクタとを含み、
前記第1セレクタは、前記データと前記データを遅延させた遅延データとの何れかを選択し、
前記複数の第2セレクタは、前記第1セレクタの出力若しくは前段の第2セレクタの出力と前記出力を遅延させた遅延出力との何れかを選択すること
 を特徴とするデータ送信回路。

【請求項2】

前記データ出力回路が、
 前記現時点で送信すべきデータを増幅する第1の増幅回路と、

前記反射抑制成分を増幅する第 2 の増幅回路と、
該第 1 の増幅回路と第 2 の増幅回路との出力を加算して前記伝送路に出力する加算回路とを備えること

を特徴とする請求項 1 記載のデータ送信回路。

【請求項 3】

前記第 1 回路および前記第 2 回路の前記複数の第 2 セレクタうちの一の第 2 セレクタは、前記第 1 セレクタからの出力と前記第 1 セレクタからの出力をラッチするメモリからの出力の何れかを選択し、前記複数の第 2 セレクタうちの他の第 2 セレクタは、前記前段の第 2 セレクタからの出力と前記前段の第 2 セレクタからの出力をラッチするメモリからの出力との何れかを選択すること

10

を特徴とする請求項 1 または請求項 2 記載のデータ送信回路。

【請求項 4】

前記反射抑制成分生成回路が、前記現時点で送信すべきデータより過去の送信データを時間的に遅延させて、前記反射抑制成分を生成すること

を特徴とする請求項 1 記載のデータ送信回路。

【請求項 5】

前記送信回路が、

前記反射抑制成分生成回路が過去の送信データを時間的に遅延させるためのクロック信号の位相を調整して、該反射抑制成分生成回路に与えるフェーズインタポレータをさらに備えること

20

を特徴とする請求項 4 記載のデータ送信回路。

【請求項 6】

前記送信回路が、

前記伝送線路における損失に起因する符号間干渉を抑制するためのプリエンファシス成分を生成し、前記現時点で受信側に送信すべき送信データとともに、前記データ出力回路に出力するプリエンファシス成分生成回路をさらに備え、

該データ出力回路が、さらに該プリエンファシス成分を増幅して、前記伝送路に出力すること

を特徴とする請求項 1 記載のデータ送信回路。

【請求項 7】

30

データを第 1 クロックで取り込むとともに第 2 クロックで出力する F I F O と、

前記 F I F O の出力をシリアルデータとして前記反射抑制成分生成回路に出力するマルチプレクサと

を含むことを特徴とする請求項 1 乃至請求項 6 の何れか一に記載のデータ送信回路。

【請求項 8】

ユーザクロックまたは分周クロックの何れかを選択して前記第 1 クロックとして出力する第 3 セレクタを含み、

前記第 2 クロックは分周クロックであること

を特徴とする請求項 7 に記載のデータ送信回路。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、L S I の間のデータ送受信、チップ内の複数の素子や回路ブロックの間のデータ送受信、ボード間や筐体間のデータ送受信など、各種のデータ送受信システムにおけるデータ送信回路および送信方法に関する。

【背景技術】

【0002】

一般的に損失が大きい伝送線路や、特性インピーダンスに不連続が存在する伝送線路やケーブルを介してデータ送受信を行う場合には、伝送線路における損失や特性インピーダンスの不連続に起因する信号波形の劣化を補うための等化回路（イコライザ）が用いられ

50

る。伝送線路における損失は符号間干渉（インター・シンボル・インターフェアレンス）ISI成分を受信波形に生じさせ、特性インピーダンスの不連続は反射成分を生じさせる。

【0003】

図1は、バックプレーンを介したデータ送受信システムの従来例である。送信回路の出力波形と受信回路への入力波形とが示されているが、ISI成分と反射成分のために受信回路への入力波形に崩れが生じている。

【0004】

図2は、データ送受信システムにおける受信回路の従来例の構成ブロック図である。同図において、送信回路(Tx)100から伝送線路101を介して伝送される送信データは、受信回路(Rx)102の内部のデシジョン・フィードバック・イコライザ(DFE)105に対する入力データRX_INとして与えられる。このDFE105は、代表的な等化回路としてのIIR(インフィニット・インパルス・レスポンス)フィルタに相当する等化回路であり、このDFE105の出力データRDTは、デマルチプレクサ106によってシリアルデータからパラレルデータに変換され、出力データRX_OUTとして受信回路102から出力される。DFE105は、入力信号の論理値を判定するデシジョン回路の出力を利用してIIRフィルタを構成するものであるが、その詳細については後述する。

【0005】

図2の送信回路102の内部のクロック・リカバリー・ユニット107は、出力データの時間的揺らぎを検出し、その検出結果を位相コードとしてクロック位相調整回路108に出力する。クロック位相調整回路108はクロックの位相を調整し、データの時間的中心位置でのサンプリングを可能とするための調整後のクロックをDFE105に与えるものである。分周回路109は、デマルチプレクサ106によって、例えば10GHzのシリアルデータを330MHzのパラレルデータに変換する場合に必要なクロックを生成するものである。

【0006】

図3は、図2のデシジョン・フィードバック・イコライザ(DFE)105の構成例である。同図においてDFEは、基本的にはフリップ・フロップ(FF)によって構成されるデシジョン回路111、その後段に直列に接続される $n-1$ 個のFF112₁から112_{n-1}、デシジョン回路111を含むすべてのFFの出力を増幅する増幅器114₁から114_n、伝送線路101から入力される入力データRX_INから、すべての増幅器114₁から114_nまでの出力を減算する減算器115によって構成されている。

【0007】

図3のDFEの動作について図4、図5を用いて説明する。図4は、伝送線路のパルス応答測定方式の一例の説明図である。同図において送信回路100から、伝送線路101を介して単一のパルス、すなわちユニット・パルスが送られ、受信回路102の入力側に備えられるモニタ120によって応答波形が測定される。ここで送信回路100から出力されるユニット・パルスはデータ“1”に対応する高さを持ち、その幅は1ユニット・インターバルである。このユニット・インターバル(UI)は、データ転送レートに対応するクロックの1周期分の長さであり、例えばクロック周波数が5GHzであるとする、1ユニット・インターバル(UI)は200psとなる。なおこのようなユニット・パルスを伝送線路101に入力した場合の受信回路102の入力側における応答を、簡単のために以後の説明では“ユニット・パルス応答”と呼ぶことにする。

【0008】

図5は、このユニット・パルス応答の例である。同図においては、伝送線路101へのユニット・パルス入力時点を時刻0として、ユニット・インターバルUIを単位とする時間に対応してユニット・パルス応答の波形が示されている。最初のピークの高さ a_0 は入力ユニット・パルスに対する本来の応答成分であり、この成分 a_0 の近くの成分 a_1 から

10

20

30

40

50

a_3 は前述の ISI 成分であり、またピーク a_0 から離れた位置にある a_{n-1} 、 a_n 、 a_{n+1} . . . の成分が反射成分である。

【0009】

図3においてデシジョン回路111は、このユニット・パルス応答に相当する入力信号データの論理値を判定し、その結果としてH、またはLのデータを出力し、そのデータは後段のFF112₁から112_{n-1}の間で1クロック毎にシフトされ、すべてのFFの出力に増幅器114₁から114_nまでの増幅度 a_1 から a_n が乗算され、乗算結果が入力データRX_INから減算器115によって減算される。増幅率 a_1 から a_n はタップ係数と呼ばれ、図5の各成分の値に相当する。すなわちDFE105は、干渉成分に対応する振幅値をタップ係数として持ち、過去の入力信号による干渉成分を現在の入力信号から差し引くものであるが、さらなる詳細については次の文献に記述されている。

【非特許文献1】N. Krishnapura et al. "A 5Gb/s NRZ Transceiver with Adaptive Equalization for Backplane Transmission", IEEE Int. Solid - State Circuits Conf., pp. 60, 61, 585, Feb., 2005

【非特許文献2】Jan W. M. Bergmans, "DIGITAL BASEBAND TRANSMISSION AND RECORDING", Chap. 6, pp. 265 - 300, Kluwer Academic Publishers, 1996

【0010】

以上のようにデシジョン・フィードバック・イコライザを構成するIIRフィルタは、従来においては受信回路側に備えられている。このIIRフィルタは伝送線路やケーブルにおける損失に起因するISI成分や、受信回路の入力側における特性インピーダンスの不連続（終端抵抗のミスマッチ）による反射成分の除去などには有効である。しかしながら伝送線路やケーブルの途中に特性インピーダンスの不連続点が存在するような場合には、その不連続点における反射成分は受信回路側のみではなく、送信回路側にも伝達される。この送信回路側に伝達される反射成分は送信回路側で除去することが有効であるが、従来は送信回路側にIIRフィルタが備えられておらず、送信回路側でこの反射成分を除去することはできないという問題点があった。

【0011】

また一般的にも、IIRフィルタは受信回路側に備える方が有利と考えられていた。前述のように受信回路は入力シリアルデータをパラレルデータに変換して出力するが、そのためのデマルチプレクサを構成するフリップ・フロップが、現時点における入力データのみならず、その入力データを基準とする過去数ビットのデータを保有している。そこでこれらのフリップ・フロップの出力データを利用してIIRフィルタを構成することによって、追加すべき回路素子の数を最小限に抑えながら、反射成分を抑制することができる等化回路が搭載可能である。

【0012】

しかしながら近年ユーザのニーズに応じて、様々な形態の伝送線路やケーブルの構成に対応した受信回路が必要となっている。このためIIRフィルタのタップ係数を自動的に決める適応等化回路の開発が盛んに行われている。この適応等化回路に含まれるタップ係数を算出するアルゴリズムを実現する制御回路は一般的に規模が大きく、受信回路内に適応等化のための制御回路を搭載することは非常に困難になっているという問題点があった。これに対して送信回路側は受信回路側に比べて、IIRフィルタを搭載するための回路増大に対してマージンがあると考えられる。

【0013】

さらに受信回路側では、ビット・エラー・レートが高いデータを受信する場合も存在し、この場合には誤った論理データに基づいてIIRフィルタのタップ係数の計算が行われるために、IIRフィルタを用いることによって入力信号波形がより劣化する可能性があ

10

20

30

40

50

るという問題点があった。これに対して送信回路側が有する論理データは常に正しいと考えられ、送信回路にIIRフィルタを備えることによって、タップ係数の計算が正確となり、常に正しく反射成分の抑制が行われるものと期待される。

【発明の開示】

【0014】

本発明の目的は、伝送線路やケーブル上の特性インピーダンスの不連続に起因する反射成分を抑制するためのIIRフィルタをデータ送信回路側に備えることによって、正確な反射抑制を可能とするとともに、データ受信回路側の回路規模増大を防止することである。

【0015】

本発明のデータ送信回路は、伝送回路を介して受信側にデータを送信する回路であり、少なくとも反射抑制成分生成回路と、データ出力回路とを備える。

反射抑制成分生成回路は、伝送路上に存在する特性インピーダンスの不連続に起因する反射を抑制するための反射抑制成分を生成するものであり、データ出力回路は受信側に現時点で送信すべきデータに加えて、反射抑制成分を増幅して伝送線路に出力するものである。

【0016】

本発明においては、反射抑制成分生成回路と、データ出力回路の内部の一部の増幅回路と加算回路とがIIRフィルタを構成することによって、伝送線路やケーブル上の特性インピーダンスの不連続に起因する反射成分を正しく抑制することが可能となる。

【図面の簡単な説明】

【0017】

【図1】バックプレーンを介したデータ送受信系の説明図である。

【図2】受信回路の従来例の構成を示すブロック図である。

【図3】図2のデシジョン・フィードバック・イコライザの構成例の回路図である。

【図4】伝送線路のパルス応答測定方式の説明図である。

【図5】図4の方式を用いたパルス応答波形の例である。

【図6】本発明のデータ送信回路の原理構成ブロック図である。

【図7】本発明におけるデータ送受信方式の基本説明図である。

【図8】第1の実施例における送信回路の構成ブロック図である。

【図9】図8におけるメイン・データ・パス回路の構成ブロック図である。

【図10】図9の回路の動作例のタイミングチャートである。

【図11】図8のリフレクション・データ・パス回路の構成ブロック図である。

【図12】図11の回路の動作例のタイミングチャートである。

【図13】図8の出力ドライバの構成回路図である。

【図14】第2の実施例における送信回路の構成ブロック図である。

【図15】図14におけるメイン・データ・パス回路の構成ブロック図である。

【図16】図15の回路の動作例のタイミングチャートである。

【図17】図14のリフレクション・データ・パス回路の構成ブロック図である。

【図18】図17の回路の動作例のタイミングチャートである。

【図19】第3の実施例における送信回路の構成ブロック図である。

【図20】受信回路入力側におけるデータアイ波形の例(その1)である。

【図21】受信回路入力側におけるデータアイ波形の例(その2)である。

【発明を実施するための最良の形態】

【0018】

図6は、本発明のデータ送信回路の原理構成ブロック図である。同図においてデータ送信回路1は、反射抑制成分生成回路2、データ出力回路3、およびプリエンファシス成分生成回路4を備える。

【0019】

反射抑制成分生成回路2は、後述する実施例においてはリフレクション・データ・パス

10

20

30

40

50

回路であり、例えば複数のフリップ・フロップ、およびセレクタによって構成され、過去の送信データを時間的に遅延させて、伝送線路上に存在する特性インピーダンスの不連続に起因する反射を抑制するための反射抑制成分として出力するものである。

【 0 0 2 0 】

データ出力回路 3 は、例えば出力ドライバであり、受信側に現時点で送信すべきデータを、例えばメイン・ドライバによって増幅し、また反射抑制成分をリフレクション・キャンセレーション用サブ・ドライバによって増幅し、それらの増幅結果を電流的に加算して伝送線路に出力するものである。

【 0 0 2 1 】

さらにプリエンファシス成分生成回路 4 は、伝送線路などの損失による符号間干渉を抑制するためのプリエンファシス成分を生成する、例えばメイン・データ・パス回路であり、例えば複数のフリップ・フロップによって構成され、現時点で受信側に送信すべきデータに加えて、過去の送信データを時間的に遅延させて出力するものである。この出力に対応して、データ出力回路 3 は、前述のように、その内部のメイン・ドライバによって現時点の出力データを増幅し、プリエンファシス用サブ・ドライバによって時間的に遅延したデータを増幅し、前述の反射抑制成分の増幅結果と電流的に加算し、伝送線路に出力する。

10

【 0 0 2 2 】

図 7 は、本発明の反射成分抑制方式を用いるデータ送受信システムの基本構成図である。同図において、送信回路 (Tx) 5 と受信回路 (Rx) 6 との間に特性インピーダンスの不連続 7 が存在するが、本発明においては送信側に反射成分を除去するためのリフレクション・キャンセレーション 8 を備え、送信回路 5 とリフレクション・キャンセレーション 8 の出力を加算器 9 によって加算し、伝送線路に出力することによって、不連続 7 に起因する反射成分、すなわち伝送線路やケーブルの途中における不連続点からの反射成分を効率よく除去することができる。

20

【 0 0 2 3 】

これによって受信回路 6 側における回路規模の増大という問題点が避けられるとともに、受信回路 6 の設計の自由度が大きくなる。また送信回路 5 側で送信に用いるデータの論理値は常に正しく、このデータに基づいて行われるリフレクション・キャンセレーション 8 のための IIR フィルタ内の計算結果も常に妥当であり、正しい反射抑制を行うことができる。

30

【 0 0 2 4 】

図 8 は、本発明の第 1 の実施例における送信回路の構成ブロック図である。同図において送信回路 10 は、試験用の擬似信号を発生する PRBS (プシュード・ランダム・ビット・シーケンス) データパターン生成回路 11、2つのセレクタ 12、13、先入れ先出しメモリ (FIFO) 14、マルチプレクサ 15、分周回路 16、メイン・データ・パス回路 17、リフレクション・データ・パス回路 18、および出力ドライバ 19 を備え、分周回路 16 は、例えば送信回路 10 の外部の PLL 回路 20 に接続されている。

【 0 0 2 5 】

セレクタ 12 は、PRBS データパターン生成回路 11 の出力、または外部から与えられる送信用の平行データとしてのユーザデータのいずれかを選択して出力する。PRBS データパターン生成回路 11 は、PLL 回路 20 によって生成されたクロックの、分周回路 16 による分周結果としての低速クロックに同期して動作する。

40

【 0 0 2 6 】

セレクタ 13 は、セレクタ 12 に与えられるユーザデータと同期したクロックとしてのユーザクロックと、分周回路 16 によって出力される低速クロックのいずれかを選択して出力するが、セレクタ 12 とセレクタ 13 の選択制御は、外部から与えられるデータ・セレクタ・シグナルによって制御される。

【 0 0 2 7 】

セレクタ 12、および 13 の出力は、先入れ先出しメモリ (FIFO) 14 に与えられ

50

る。このFIFO14は、クロック乗せ換えを目的とするものであり、外部から与えられるユーザデータ、またはPRBSデータパターン生成回路11の出力する試験用データを、分周回路16の出力する低速クロックに同期させてマルチプレクサ15に出力する。マルチプレクサ15によってシリアル化されたデータ(MUXDT)は、メイン・データ・パス回路17と、リフレクション・データ・パス回路18とに与えられる。

【0028】

メイン・データ・パス回路17は、後述するようにシリアルデータMUXDTを1クロック単位に遅延させる複数のフリップ・フロップによって構成され、出力ドライバとともに等化回路の1つの機能としてのプリエンファシス機能を実現するものである。プリエンファシス機能は、前述の符号間干渉(ISI)成分をキャンセルしてデータに含まれる高周波成分を強調し、図5で説明したデータ振幅 a_0 のピークの立ち上がりをより急峻にするものである。

10

【0029】

リフレクション・データ・パス回路18は、後述するように複数のセクタと多数のフリップ・フロップによって構成され、出力ドライバ19とともに伝送線路やケーブルの途中におけるインピーダンスの不連続点からの反射成分を除去するためのIIRフィルタを構成するものである。

【0030】

出力ドライバ19は、伝送線路に送信(Tx)データを出力するものであるが、後述するようにメイン・データ・パス回路17から出力される現在時刻の送信データに対応するメイン・ドライバと、メイン・データ・パス回路17、リフレクション・データ・パス回路18によって出力される複数の遅延信号成分に対応する複数のサブ・ドライバを備えている。

20

【0031】

図9は、図8におけるメイン・データ・パス回路17の構成を示す。メイン・データ・パス回路17は、図8のマルチプレクサ15の出力するデータMUXDTが入力される三段のフリップ・フロップ(FF)22_aから22_cによって構成されている。これら3個のFF22_aから22_cは、PLL回路20の出力する高速クロックの立ち上がりエッジに同期して入力データを取り込むものである。この高速クロックCLKの周波数は、例えば送信回路10の出力データレートに相当するものであり、出力Txデータのレートが5Gb/sであればCLKの周波数は5GHzである。

30

【0032】

図9のメイン・データ・パス回路の動作について図10のタイミングチャートを用いて説明する。マルチプレクサ15から出力されるデータMUXDTは、そのまま現在時刻の送信データ $x[n]$ として用いられる。FF22_aから出力されるデータは、現在時刻の送信データを1クロック分遅延(D)させた $D^1 \times [n]$ となり、同様にFF22_bからは $D^2 \times [n]$ 、FF22_cからは $D^3 \times [n]$ が出力され、メイン・データ・パス回路17からは、現在時刻の送信データ $x[n]$ とともに、 $x[n]$ を基準とした過去3クロック分、すなわち過去3UI分のデータが出力される。

40

【0033】

図11は、図8のリフレクション・データ・パス回路18の構成ブロック図である。同図においてリフレクション・データ・パス回路18は、6個のセクタ26_aから26_f、これらのセクタの前段に備えられるそれぞれ複数の6個のFF群25_aから25_f、セクタ26_fの出力が、順次入力される7段のFF28_aから28_gによって構成されている。ここで例えばFF群25_aの2FF、25_bの4FFはそれぞれ2個のFF、4個のFFが直列接続されていることを示す。他の8FF25_cなどについても同様である。

【0034】

図11における各セクタ26_aから26_fに対する選択制御信号として、外部からセクタ・シグナルが与えられるが、このリフレクション・データ・パス回路の動作につい

50

て図12のタイミングチャートを用いて説明する。図8のマルチプレクサ15から出力されたデータMUXDTは、2FF25_aによって2クロック分遅延させられた信号DLY2DTとしてセレクタ26_aに与えられる。セレクタ26_aから26_fは、外部から与えられるセレクタ・シグナルに従ってそれぞれ2つの入力の何れかを選択して出力することになり、最終段のセレクタ26_fの出力信号は、このセレクタ・シグナルの値に対応してマルチプレクサ15の出力データMUXDTとしてのx[n]を、一般的にNクロック分だけ遅延させたD^Nx[n]として表現される。

【0035】

セレクタ26_fの出力データは7段のFF28_aから28_gに順次入力され、結果としてリフレクション・データ・パス回路18からは、セレクタ26_fの出力としてのD^Nx[n]から、その信号を1クロック分ずつ遅延させた信号としてのD^{N+1}x[n]からD^{N+7}x[n]までの信号が出力される。すなわちリフレクション・データ・パス回路18からは、現在の送信信号x[n]をNクロック分だけ遅延させたD^Nx[n]と、この信号を基準とした過去7UI分のデータが出力されることになる。

10

【0036】

図13は、図8の出力ドライバ19の構成回路図である。同図において出力ドライバ19は、1個のメイン・ドライバ31、3個のプリエンファシス用サブ・ドライバ32、8個のリフレクション・キャンセレーション用サブ・ドライバ33、および2つの抵抗34、35によって構成されている。ここで合計12個のドライバは基本的に同一の差動増幅器によって構成され、各ドライバに対するゲインの制御は、外部から与えられるバイアス・コントロール・シグナルによって、各ドライバのバイアス電流を調整することによって行われる。

20

【0037】

図13においてメイン・ドライバ31は、図9のメイン・データ・パス回路17の出力のうち現在の時刻の送信データx[n]に対応するドライバであり、またプリエンファシス用サブ・ドライバ32、すなわち3個のサブ・ドライバ32はFF22_aから22_cの出力する、現在の時刻の送信データx[n]を基準とした過去3UI分のデータに対応するドライバであり、さらにリフレクション・キャンセレーション用サブ・ドライバ33、すなわち8個のサブ・ドライバ33は図11のリフレクション・データ・パス回路18によって出力されるD^Nx[n]からD^{N+7}x[n]に対応するドライバであり、合計12個のドライバの出力はそれぞれ抵抗34、35に接続され、電流の加算が行われる。なお各ドライバのゲインの制御はIIRフィルタのタップ係数の調整に相当する。

30

【0038】

以上のように第1の実施例によれば、メイン・データ・パス回路17の出力のうち、現在の時刻の送信データがメイン・ドライバ31を介して、またプリエンファシス機能を実現するためのデータ成分がプリエンファシス用サブ・ドライバ32を介して、さらに伝送線路やケーブル上の特性インピーダンスの不連続に起因する反射成分を除去するための反射抑制成分がリフレクション・キャンセレーション用サブ・ドライバ33を介して、出力ドライバ19から出力されることになる。

【0039】

次に本発明の第2の実施例について図14から図18を用いて説明する。この第2の実施例は、実際のインプリメントを比較的容易にするための実施例であり、送信回路における内部信号のデータとクロックの周波数を、実際の送信データのデータレートに対応する周波数より低く抑えることによって、回路規模の増加はあるものの、より実現しやすいものとなる。

40

【0040】

図14は、第2の実施例における送信回路の構成ブロック図である。同図を第1の実施例に対する図8と比較すると、図8ではマルチプレクサ15の出力がそのまま同時にメイン・データ・パス回路17とリフレクション・データ・パス回路18とに出力されるのに対して、図14ではマルチプレクサ37が4入力、2出力の動作を行い、一方の出力MU

50

X D T 0 がメイン・データ・パス回路 1 7 とリフレクション・データ・パス回路 1 8 とにそのまま与えられるのに対して、他方の出力は新たに追加されたフリップ・フロップ 3 8 に与えられている点が基本的に異なっている。

【 0 0 4 1 】

またメイン・データ・パス回路 1 7、リフレクション・データ・パス回路 1 8、フリップ・フロップ 3 8 などに与えられるクロックとして、前述のように、第 1 の実施例における 5 G H z の半分、すなわち 2 . 5 G H z の周波数の 2 相クロックが用いられる。P L L 回路 3 6 から出力される 2 相クロックのうち C L K 0 を正相クロックとすると、C L K 1 8 0 は逆相、すなわち 1 8 0 度位相のずれたクロックであり、メイン・データ・パス回路 1 7、リフレクション・データ・パス回路 1 8 に対してはこれらの 2 相クロック C L K 0 / C L K 1 8 0 が与えられるのに対して、フリップ・フロップ 3 8 に対しては C L K 1 8 0 だけが与えられる。

10

【 0 0 4 2 】

さらに図 1 4 の送信回路内のメイン・データ・パス回路 1 7、リフレクション・データ・パス回路 1 8 の構成要素としてのフリップ・フロップの中には、クロックの立ち上がりエッジに同期して入力データを取り込むフリップ・フロップと、クロックの立下りエッジに同期して入力データを取り込むフリップ・フロップの 2 種類が用いられ、この点もすべてのフリップ・フロップがクロックの立ち上がりエッジでデータを取り込むものであった第 1 の実施例との相違となる。その詳細については後述する。

【 0 0 4 3 】

図 1 5 は、図 1 4 の送信回路の内部のメイン・データ・パス回路 1 7 の構成ブロック図である。このメイン・データ・パス回路 1 7 に対しては、図 1 4 で説明したようにマルチプレクサ 3 7 からの出力の 1 つの M U X D T 0 と、フリップ・フロップ 3 8 の出力としての M U X D T 1 8 0 とが入力され、またクロック信号として 2 相クロック C L K 0、および C L K 1 8 0 が与えられる。

20

【 0 0 4 4 】

メイン・データ・パス回路 1 7 は、それぞれ 6 個のフリップ・フロップによって構成される 2 つの F F 群 3 9₁、3 9₂ と、8 入力、4 出力のセクタ 4 4 によって構成される。F F 群 3 9₁ はタイミング調整用の直列に接続された 3 個の F F 4 0_a から 4 0_c、およびその後段の 3 つの F F 4 1_a から 4 1_c によって構成されている。タイミング調整用の 3 つの F F 4 0_a から 4 0_c は、後述するリフレクション・データ・パス回路 1 8 の詳細構成において、インプリメント上必要な F F として挿入される 3 つの F F に対応するものであり、出力データのタイミングを合わせるためのものである。

30

【 0 0 4 5 】

後段の 3 つの F F 4 1_a から 4 1_c のうちで、2 つの F F 4 1_a と 4 1_c はクロックの立下りエッジで入力データを取り込む、すなわち負論理で動作する F F であり、これに対して F F 4 1_b、タイミング調整用の 3 つの F F 4 0_a から 4 0_c は、すべてクロックの立ち上がりエッジで入力データを取り込む F F である。またクロック信号としては、2 相クロックのうち、C L K 0 が F F 群 3 9₁ とセクタ 4 4 に、逆相の C L K 1 8 0 が F F 群 3 9₂ に与えられる。

40

【 0 0 4 6 】

図 1 5 のメイン・データ・パス回路 1 7 の動作について図 1 6 のタイミングチャートを用いて説明する。前述のように図 1 5 の F F 群 3 9₁ に対しては入力データとして M U X D T 0 が与えられ、図 1 4 のマルチプレクサ 3 7 から出力される 1 個おきのデータ D 0、D 2、D 4、... がタイミング調整用の 3 個の F F 4 0_a から 4 0_c の間で順次シフトされ、2 相クロックのうちの正相クロック C L K 0 の 4 周期目に、最初のデータ D 0 がデータ D T 0 としてセクタ 4 4 に与えられる。

【 0 0 4 7 】

このデータ D T 0 は、2 つの F F 4 1_a と 4 1_b にも入力されるが、F F 4 1_a は負論理で動作するものであり、クロック C L K 0 の立下りエッジで F F 4 1_a に取り込まれ、

50

データDT0__Aとしてセレクタ44に与えられる。一方FF41_bに入力されるデータD0は、クロックCLK0の5周期目の立ち上がりエッジでFF41_bに取り込まれ、データDT0__Bとしてセレクタ44に出力される。さらにこのデータD0は同時にFF41_cに入力され、CLK0の5周期目の立下りエッジで取り込まれ、データDT0__Cとしてセレクタ44に出力される。以後のデータD2以降のFF間でのシフト、およびセレクタ44への出力動作は同様であり、その説明を省略する。

【0048】

一方FF群39₂に入力されるデータMUXDT180は図14で説明したようにFF38の出力であり、FF38はマルチプレクサ37から出力される1個おきのデータD1、D3、D5、...を2相クロックのうちの逆相クロックCLK180の立ち上がりエッジで取り込み、取り込まれたデータはタイミング調整用の3個のFF42_aから42_cの間で順次シフトされ、そして最初のデータD1は逆相クロックCLK180の4周期目にDT180としてセレクタ44に出力される。以下の動作はFF群39₁に対すると同様であり、その説明を省略する。

10

【0049】

セレクタ44からのデータの最初の出力タイミングは正相クロックCLK0の6周期目の立ち上がりエッジとなる。この時点から6個のFF41_aから41_c、43_aから43_cの保持するデータが出力されており、最初の出力タイミングでは現在時点の出力データx[n]としてFF42_cの出力するデータD3、1クロック周期遅れたデータD¹x[n]としてFF41_aの出力するD2、2クロック周期分遅れたデータD²x[n]としてFF43_bの出力するデータD1、3クロック周期分遅れたデータD³x[n]としてFF41_cの出力するデータD0が出力される。これによって現在の出力データx[n]と、x[n]を基準とした過去3UI分のデータが出力される。

20

【0050】

図17は、図14のリフレクション・データ・パス回路18の詳細構成回路図である。同図においてリフレクション・データ・パス回路は、図15のメイン・データ・パス回路と同様に、図14のセレクタ37の出力データMUXDT0と正相クロックCLK0が与えられる回路ブロック45₁、FF38の出力としてのMUXDT180と、逆相クロックCLK180が与えられる回路ブロック45₂、およびクロック信号として正相クロックCLK0が与えられる16入力、8出力のセレクタ55によって構成されている。

30

【0051】

図17において、例えば回路ブロック45₁の入力側のそれぞれ1つ以上のFFによって構成される6個のFF群46_aから46_f、6段のセレクタ47_aから47_fを含む部分の構成は第1の実施例に対する図11の入力側の構成と部分的に類似している。また出力側の6個のFF49_aから49_gまでの構成は、図15のメイン・データ・パス回路17の内部の、例えば3つのFF41_aから41_cの構成に類似している。

【0052】

明らかに異なる構成として、3つのFF48_aから48_cがそれぞれ2段接続のセレクタの後に追加されている。これら3つのFFはインプリメントの都合上挿入されているものである。回路ブロック45₁の内部で、例えば点aから点cまでのデータ転送パスを考え、この転送パスの中の4つのセレクタ47_cから47_fがすべて上側のデータパスを選択した場合を考える。この時FF48_b、および48_cが存在しない場合には、1クロック周期内で点aから点cまでデータ転送を行う必要がある。ここではこのデータパスは4つのセレクタによって構成され、このデータパスに対して直列に接続される組合せ論理回路を経由して行われる必要があり、そのような組合せ論理回路の数が増えると、クロック1周期以内で点aから点cまでデータを転送することは不可能となる。そのためこのようなデータパスにおけるデータ転送を確実にを行うために、セレクタ2段毎にタイミング調整用のFF48_aから48_cが挿入されている。すなわちこれらのFF48_aから48_cは、図15の例えばFF群39₁の内部の3つのFF40_aから40_cに対応するものである。なお、ここではセレクタ2段毎にタイミング調整用のFFが挿入されているが、こ

40

50

れについては当然インプリメントのテクノロジーに依存する。

【 0 0 5 3 】

図 1 7 においては 2 つの回路ブロック 4 5₁、4 5₂ が図 1 5 のメイン・データ・パス回路 1 7 と同様に備えられており、このため第 1 の実施例に対する図 1 1 と比較すると、1 つ以上の F F によって構成される 6 個の F F 群 4 6_a から 4 6_f をそれぞれ構成する F F の数が、図 1 1 の 6 個の F F 群 2 5_a から 2 5_f の各 F F 群の F F の数のそれぞれ半分になっている。またここには図示していないが 5 個の F F 群 4 6_b から 4 6_f を構成する F F は、それぞれその F F 群のうちの半数の F F が正論理で動作し、半分は負論理で動作する F F によって構成され、図 1 5 の 2 つの F F 4 1_b と 4 1_c のように、正論理と負論理の F F が交互に 1 つずつ接続される形式となっている。

10

【 0 0 5 4 】

図 1 7 のリフレクション・データ・パス回路 1 8 の動作について図 1 8 のタイミングチャートを用いて説明する。図 1 7 において、例えば回路ブロック 4 5₁ に入力されるデータ M U X D T 0 が入力されてから F F 4 8_c から出力されるまでの遅延時間は、第 1 の実施例に対する図 1 1 におけると同様に、各セクタ 4 7_a から 4 7_f に与えられる選択制御信号、すなわちセクタ・シグナルによって決定される。ここではこの遅延時間は、例えば第 1 の実施例に対応する図 1 1 と同様に、2 つの回路ブロック 4 5₁、4 5₂ 全体で N クロック周期分とする。

【 0 0 5 5 】

例えば回路ブロック 4 5₁ の内部の F F 4 8_c に最初に取り込まれたデータ D 0 は、データ R F D T 0 _ A としてセクタ 5 5 に出力される。このデータは同時に F F 4 9_a にも入力され、クロックの立下りエッジ、すなわちクロック周期で半周期後に、F F 4 9_a から R F D T 0 _ B としてセクタ 5 5 に出力される。以後の動作は図 1 6 に対すると同様であるので、その詳細な説明は省略する。

20

【 0 0 5 6 】

回路ブロック 4 5₂ 側でも同様の動作が行われる。回路ブロック 4 5₂ に対しては、図 1 5 の F F 群 3 9₂ に対すると同様に、図 1 4 の F F 3 8 の出力するデータ M U X D T 1 8 0、クロックとして逆相クロック C L K 1 8 0 が与えられ、外部から与えられるセクタ・シグナルによって決定される遅延時間の後に、最初の入力データ D 1 が F F 5 3_c からデータ R F D T 1 8 0 _ A としてセクタ 5 5 に出力され、またその半クロック周期後に F F 5 4_a からデータ R F D T 1 8 0 _ B としてセクタ 5 5 に出力される。

30

【 0 0 5 7 】

図 1 6 におけると同様に、2 つの回路ブロック 4 5₁、4 5₂ の中からそれぞれ 8 個のデータがセクタ 5 5 に与えられた時点で、セクタ 5 5 はクロック C L K 0 の立ち上がりエッジに同期して 1 6 個のデータから 8 個を選択し、後段の出力ドライバ 1 9 に出力する。最初に出力される 8 個のデータは $D^N \times [n]$ に相当する D 7、および $D^N \times [n]$ を基準とした過去 7 U I 分のデータ、D 6 から D 0 までである。

【 0 0 5 8 】

メイン・データ・パス回路 1 7、およびリフレクション・データ・パス回路 1 8 の後段の出力ドライバ 1 9 の構成は第 1 の実施例に対する図 1 3 と同一であり、その説明を省略する。

40

【 0 0 5 9 】

図 1 9 は、第 3 の実施例における送信回路の構成ブロック図である。この第 3 の実施例では、例えば第 1 の実施例よりも伝送線路やケーブル上の特性インピーダンスの不連続点からの反射をより効率的に抑制するために、リフレクション・データ・パス回路から出力される反射抑制成分データの出力タイミングを微調整可能とする目的でフェーズ・インタポレータ (P I) 6 0 が、図 8 の構成に加えて追加されている。

【 0 0 6 0 】

すなわち図 5 で説明したように、伝送線路 1 0 1 からの反射成分は一般的に本来の出力データ、すなわちピーク a₀ の位置から時間的に遅れているが、この遅れは伝送線路やケ

50

ープルの長さなどに依存するものである。そこでリフレクション・データ・パス回路18が出力する反射抑制用のデータ成分の出力タイミングを、この反射成分の時間的位置にあわせることによって、反射抑制をより有効に行うことが可能となる。

【0061】

図19の第3の実施例では、送信回路の外部のPLL回路61は第2の実施例で説明した正相クロック、すなわち0度位相のクロック、および逆位相、すなわち180度位相のクロックに加えて、正相クロックと90度位相のずれた90度位相のクロック、および正相クロックと270度位相がずれた270度位相のクロック、すなわち4相クロックを送信回路に供給するものとする。

【0062】

送信回路の内部では、供給される4相クロックのうちで0度位相のクロックは第1の実施例に対する図8におけると同様にメイン・データ・パス回路17に与えられるが、リフレクション・データ・パス回路18にはPI60の出力するクロックが供給される。PI60は4相クロックの入力に対応して、補間によって任意の位相のクロックを生成し、そのクロックがリフレクション・データ・パス回路18に供給されることによって、反射抑制用のデータ成分の出力位相、すなわち出力タイミングの微調整が行われ、反射抑制がより高精度に行われる。

【0063】

最後に本発明の効果について図20、および図21を用いて説明する。これらの図は前述の第2の実施例に対応して得られたものであり、5Gb/sのデータ転送レートを用いて、図4の受信回路(Rx)102の入力側のモニタの位置で得られたデータアイ波形である。そして伝送線路側からの反射成分が送信回路側に到達するように、伝送線路の本来の特性インピーダンス50と異なる終端抵抗を、図4のモニタの位置に接続した場合の波形例である。

【0064】

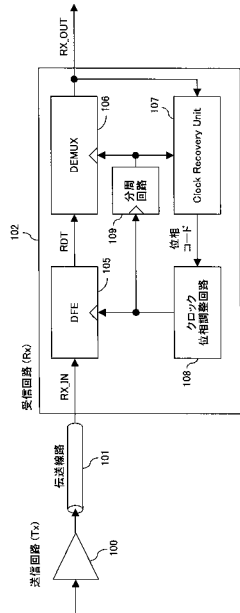
図20は終端抵抗の値を22としたものであり、(a)はメイン・データ・パス回路、すなわちプリアンファシス機能と、リフレクション・データ・パス回路、すなわち反射抑制機能のいずれも使用しない場合の波形であり、(b)はプリアンファシスの機能のみを有効にした場合、(c)はプリアンファシスの機能と反射抑制の機能の両方を有効にした場合の波形である。図21は終端抵抗の値を200とした場合の波形を示し、いずれの終端抵抗を用いても、送信回路側にIIRフィルタを備えることによって、反射抑制が有効に行われることが明らかとなった。

10

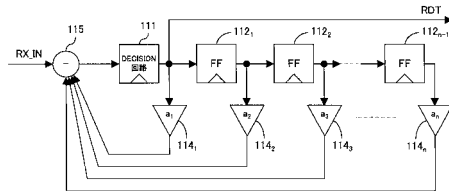
20

30

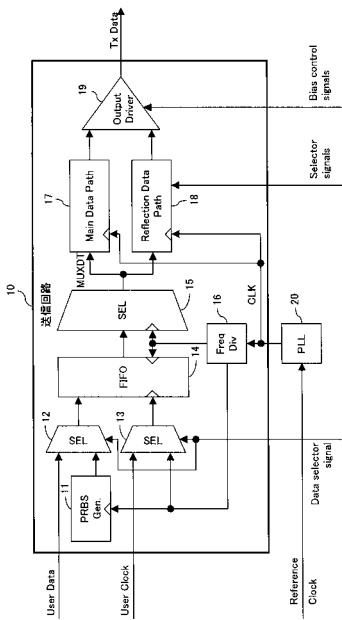
【図2】



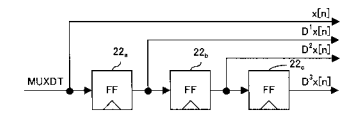
【図3】



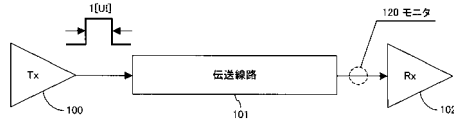
【図8】



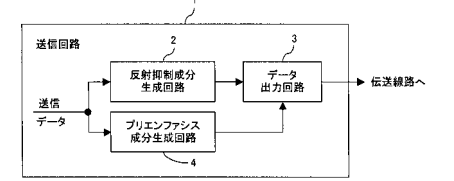
【図9】



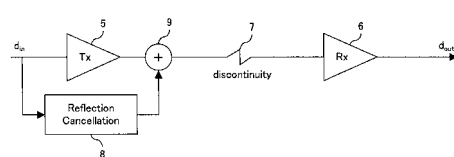
【図4】



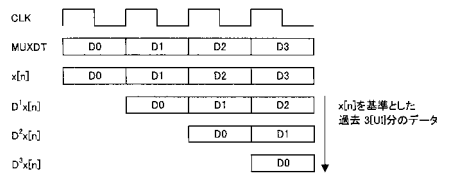
【図6】



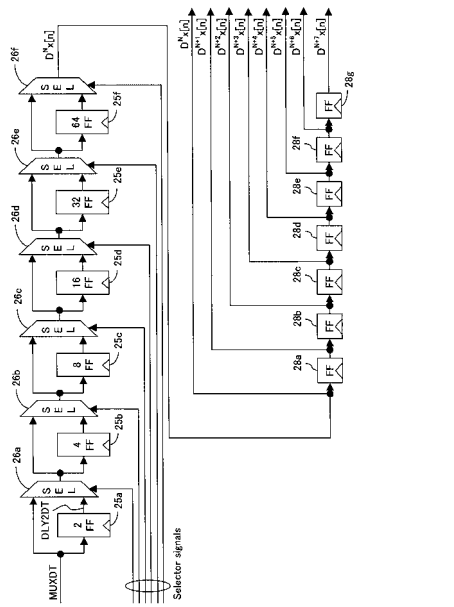
【図7】



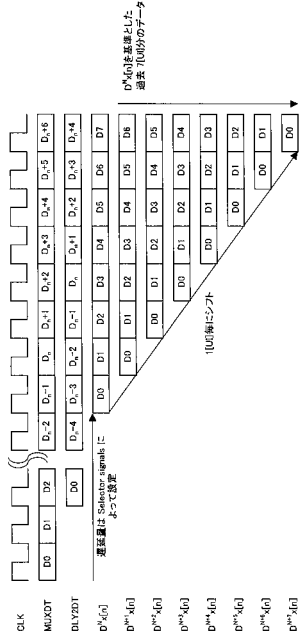
【図10】



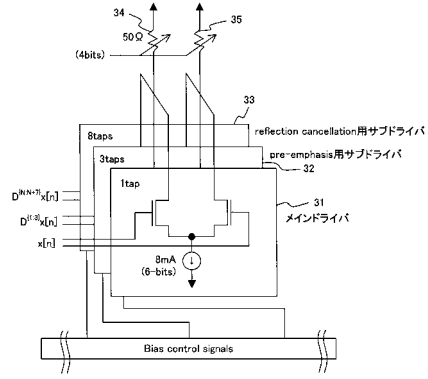
【図11】



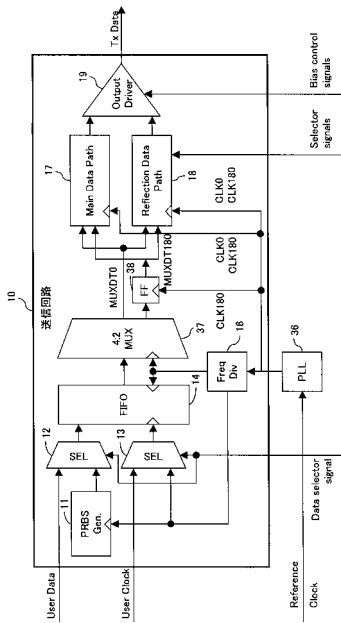
【図12】



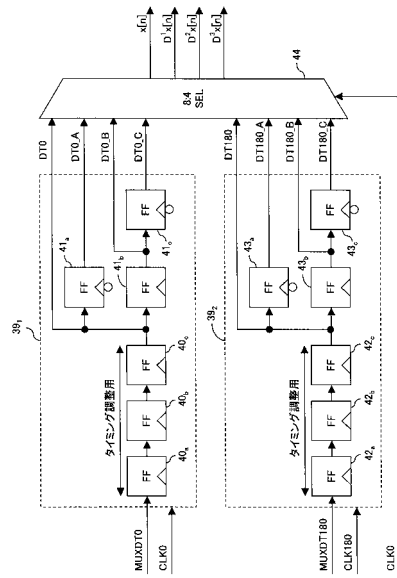
【図13】



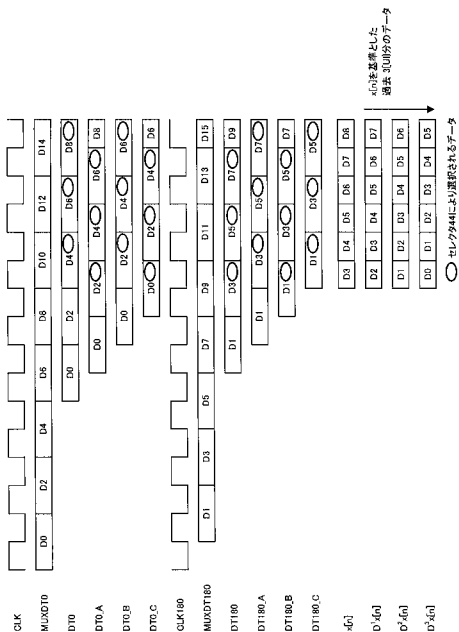
【図14】



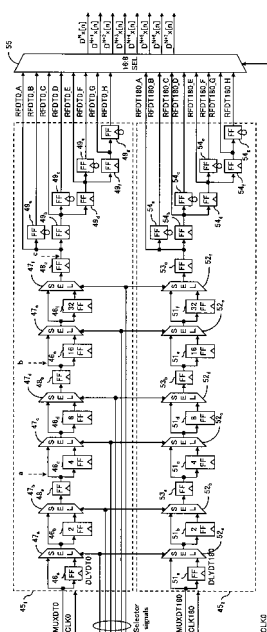
【図15】



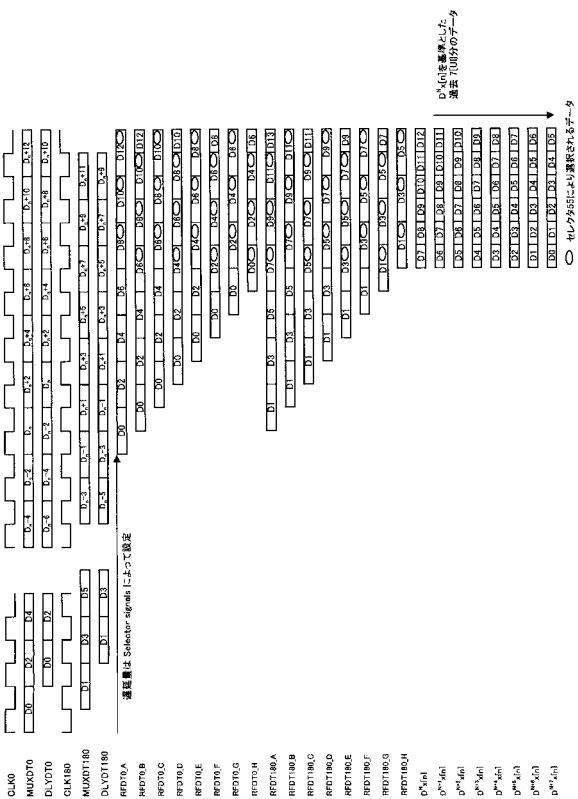
【図 16】



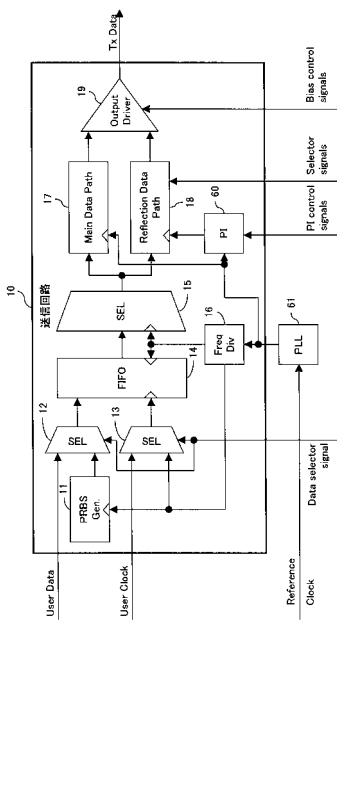
【図 17】



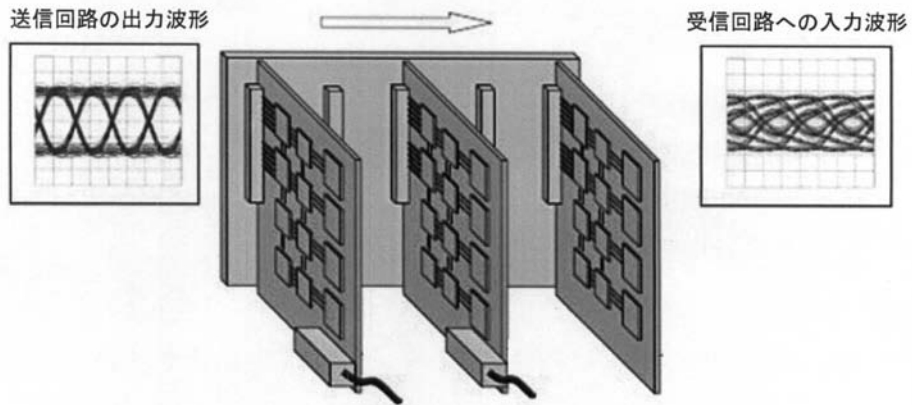
【図 18】



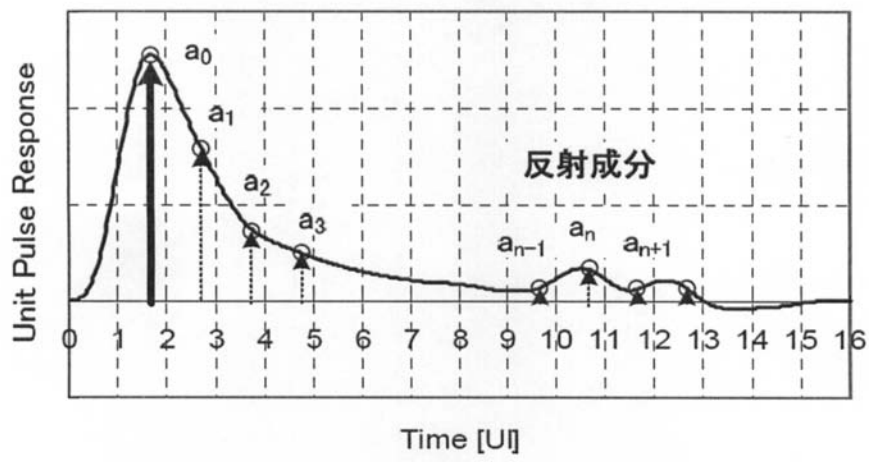
【図 19】



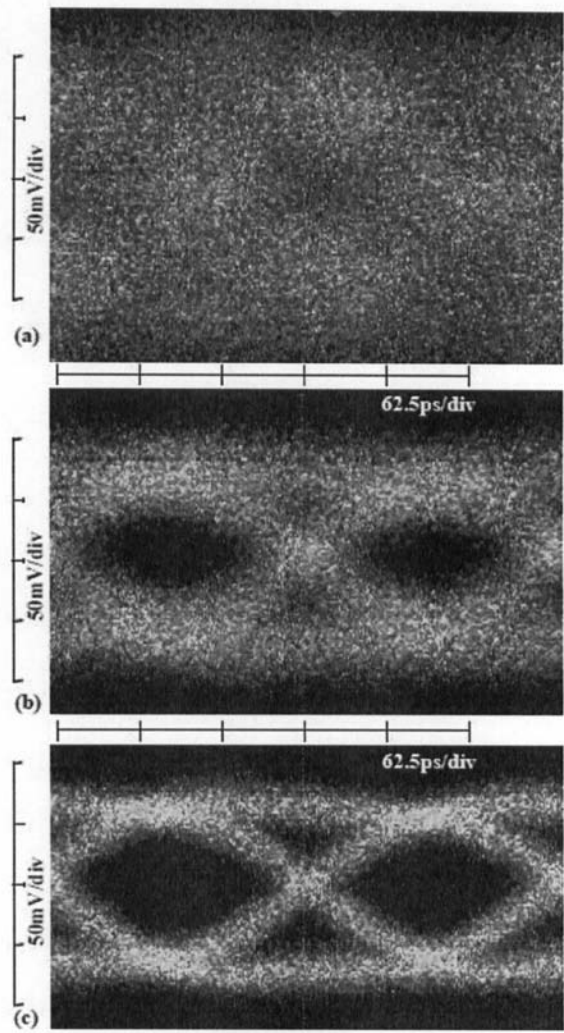
【 図 1 】



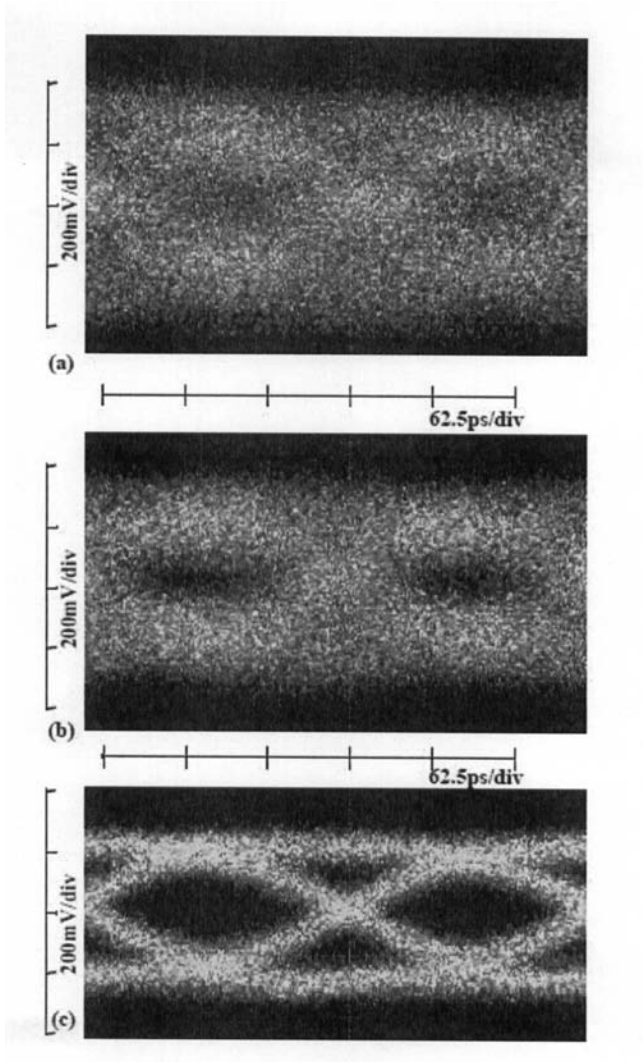
【 図 5 】



【 2 0 】



【 2 1 】



フロントページの続き

(72)発明者 田村 泰孝

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 東 昌秋

(56)参考文献 国際公開第2005/060193(WO, A2)

特開2001-345678(JP, A)

特開平7-264004(JP, A)

特開2004-363861(JP, A)

特表2003-524337(JP, A)

特開2001-13217(JP, A)

Sebastian HOYOS et al., Mixed-signal equalization architectures for printed circuit board channels, 2002 IEEE International Conference on Acoustics, Speech, and Signal Processing (ICASSP), 2002年, vol.4, pp.3768-3771

N.KRISHNAPURA et al., A 5Gb/s NRZ transceiver with adaptive equalization for backplane transmission, 2005 IEEE International Solid-State Circuits Conference (ISSCC 2005), Digest of Technical Papers, IEEE, 2005年 2月, vol.1, pages 60,61,585

(58)調査した分野(Int.Cl., DB名)

H04B 3/04 - 3/18

H04B 7/005

H04L 25/00 -25/66