I698988

(19)中華民國智慧財產局

(12)發明說明書公告本　**(11)證書號數：TW I698988 B**

(45)公告日： 中華民國 109 (2020) 年 07 月 11 日

(21)申請案號：109103572　(22)申請日： 中華民國 103 (2014) 年 11 月 28 日

(51)Int. Cl.：　*H01L27/12 (2006.01)*　*H01L29/772 (2006.01)*

G02F1/1362 (2006.01)

(30)優先權：2013/12/02　日本　2013-249692

2013/12/03　日本　2013-249693

2013/12/03　日本　2013-249694

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.　(JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；岡崎健一 OKAZAKI, KENICHI (JP)；片山雅博 KATAYAMA, MASAHIRO (JP)

(74)代理人：林志剛

(56)參考文獻：

US　2011/0024751A1　US　2011/0128491A1

審查人員：王世賢

申請專利範圍項數：2 項　圖式數：47　共 180 頁

(54)名稱

顯示裝置

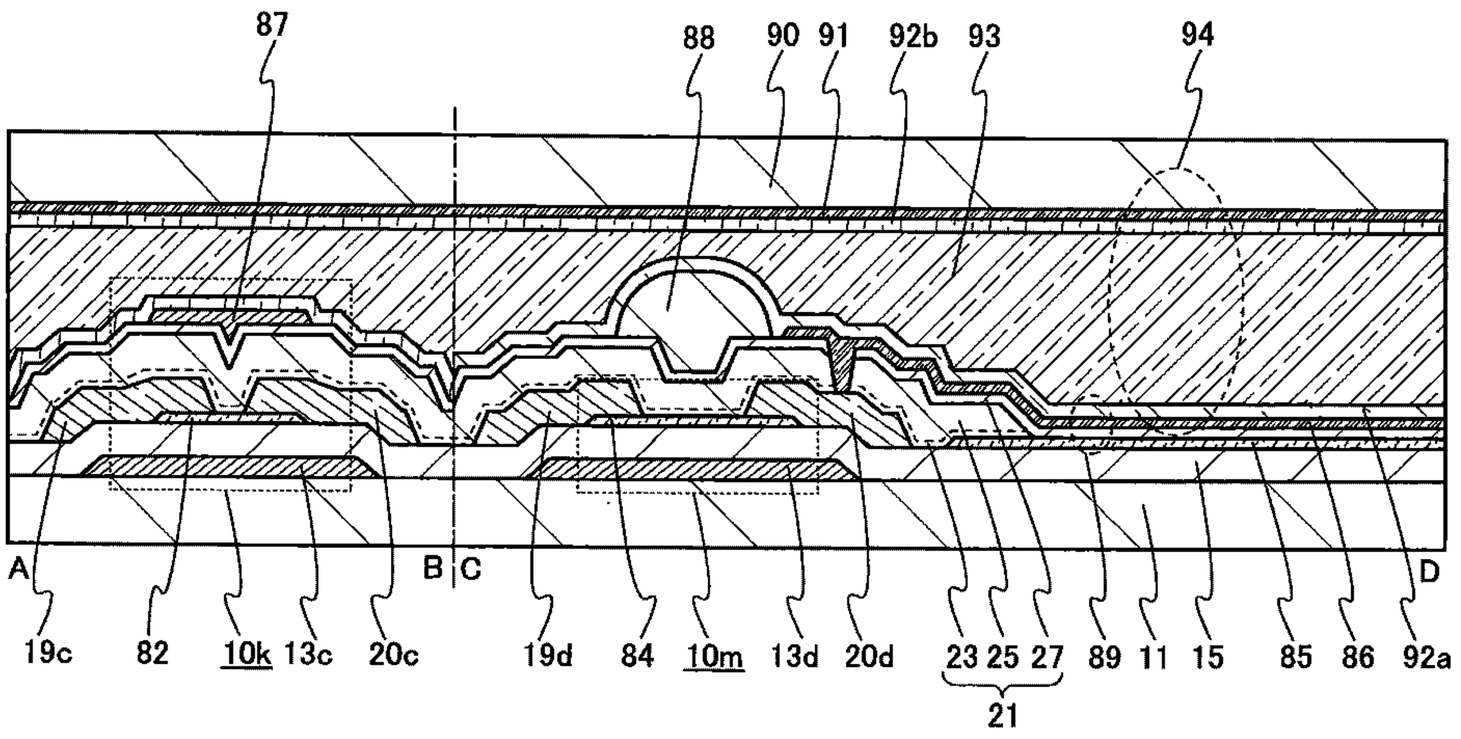
(57)摘要

本發明提供一種在同一基板上形成多種電路且具備對應於多種電路的特性的多種電晶體的顯示裝置。本發明的一個方式是一種顯示裝置，包括：同一基板上的像素部和驅動該像素部的驅動電路，其中，像素部包括具有第一氧化物半導體膜的第一電晶體，驅動電路包括具有第二氧化物半導體膜的第二電晶體，第一氧化物半導體膜和第二氧化物半導體膜形成在同一絕緣表面上，第一電晶體的通道長度大於第二電晶體的通道長度，並且，第一電晶體的通道長度為 2.5μm 以上。

To provide a display device in which plural kinds of circuits are formed over one substrate and plural kinds of transistors corresponding to characteristics of the plural kinds of circuits are provided. The display device includes a pixel portion and a driver circuit that drives the pixel portion over one substrate. The pixel portion includes a first transistor including a first oxide semiconductor film. The driver circuit includes a second transistor including a second oxide semiconductor film. The first oxide semiconductor film and the second oxide semiconductor film are formed over one insulating surface. A channel length of the first transistor is longer than a channel length of the second transistor. The channel length of the first transistor is greater than or equal to 2.5 micrometer.

指定代表圖：

圖 1



符號簡單說明：

10k:電晶體

10m:電晶體

11:基板

13c:閘極電極

13d:閘極電極

15:閘極絕緣膜

19c:電極

19d:電極

20c:電極

20d:電極

21:保護膜

23:氧化物絕緣膜

25:氧化物絕緣膜

27:氮化物絕緣膜

82:氧化物半導體膜

84:氧化物半導體膜

85:氧化物半導體膜

86:像素電極

87:導電膜

88:有機絕緣膜

89:電容元件

90:反基板

91:反電極

92a:配向膜

92b:配向膜

93:液晶層

94:液晶元件

公告本

I698988

發明摘要

【發明名稱】(中文/英文)

顯示裝置

DISPLAY DEVICE

【中文】

本發明提供一種在同一基板上形成多種電路且具備對應於多種電路的特性的多種電晶體的顯示裝置。本發明的一個方式是一種顯示裝置，包括：同一基板上的像素部和驅動該像素部的驅動電路，其中，像素部包括具有第一氧化物半導體膜的第一電晶體，驅動電路包括具有第二氧化物半導體膜的第二電晶體，第一氧化物半導體膜和第二氧化物半導體膜形成在同一絕緣表面上，第一電晶體的通道長度大於第二電晶體的通道長度，並且，第一電晶體的通道長度為 2.5μm 以上。

【英文】

To provide a display device in which plural kinds of circuits are formed over one substrate and plural kinds of transistors corresponding to characteristics of the plural kinds of circuits are provided. The display device includes a pixel portion and a driver circuit that drives the pixel portion over one substrate. The pixel portion includes a first transistor including a first oxide semiconductor film. The driver circuit includes a second transistor including a second oxide semiconductor film. The first oxide semiconductor film and the second oxide semiconductor film are formed over one insulating surface. A channel length of the first transistor is longer than a channel length of the second transistor. The channel length of the first transistor is greater than or equal to 2.5 micrometer.

【代表圖】

【本案指定代表圖】：第(１)圖。

【本代表圖之符號簡單說明】：

10k：電晶體　　10m：電晶體

11：基板　　13c：閘極電極

13d：閘極電極　　15：閘極絕緣膜

19c：電極　　19d：電極

20c：電極　　20d：電極

21：保護膜　　23：氧化物絕緣膜

25：氧化物絕緣膜　　27：氮化物絕緣膜

82：氧化物半導體膜　　84：氧化物半導體膜

85：氧化物半導體膜　　86：像素電極

87：導電膜　　88：有機絕緣膜

89：電容元件　　90：反基板

91：反電極　　92a：配向膜

92b：配向膜　　93：液晶層

94：液晶元件

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】(中文/英文)

顯示裝置

DISPLAY DEVICE

【技術領域】

[0001] 本發明係關於一種物體、方法或製造方法。另外，本發明係關於一種製程（process）、機器（machine）、產品（manufacture）或組合物（composition of matter）。本發明的一個方式尤其係關於一種半導體裝置、顯示裝置、發光裝置、蓄電裝置、記憶體裝置以及其驅動方法或其製造方法。本發明的一個方式尤其係關於一種包括場效應電晶體的半導體裝置。

[0002] 注意，在本說明書等中，半導體裝置是指藉由利用半導體特性能夠發揮作用的所有裝置。除了電晶體等半導體元件之外，半導體電路、算術裝置、記憶體裝置是半導體裝置的一個方式。攝像裝置、顯示裝置、液晶顯示裝置、發光裝置、電光裝置、發電裝置（包括薄膜太陽能電池、有機薄膜太陽能電池等）及電子裝置有時包括半導體裝置。

【先前技術】

[0003] 多種多樣的金屬氧化物被用於各種用途。氧

化銦是眾所周知的材料，且用作液晶顯示器等所需要的透明電極材料。

[0004] 有些金屬氧化物呈現半導體特性。呈現半導體特性的金屬氧化物是化合物半導體的一種。化合物半導體是指兩種以上的原子鍵合而成的半導體。一般來說，金屬氧化物用作絕緣體。但是，已知根據構成金屬氧化物的元素的組合，金屬氧化物會用作半導體的情況。

[0005] 例如，已知有些金屬氧化物諸如氧化鎢、氧化錫、氧化銦、氧化鋅等呈現半導體特性。

[0006] 已公開了使用氧化鋅或 In-Ga-Zn 類氧化物來製造電晶體並將該電晶體用於顯示裝置的像素的切換元件等的技術（參照專利文獻 1 及專利文獻 2）。

[0007] 另外，使用氧化物半導體的電晶體的場效移動率比使用非晶矽的電晶體高。因此，可以使用該電晶體構成顯示裝置等的驅動電路。

[0008] 作為顯示裝置，有 EL 顯示裝置、電子紙、液晶顯示裝置等，其中，能夠進行高清晰的顯示的主動矩陣型 EL 顯示裝置受到關注。在主動矩陣型 EL 顯示裝置中，在像素中配置多個切換元件（也稱為像素電晶體），並藉由對與其中至少一個切換元件電連接的發光元件施加電壓，電子及電洞分別從一對電極注入到含發光有機化合物的層中，而電流流過。然後這些載子（電子和電洞）再結合，因此發光有機化合物被激發，並且當發光有機化合物從激發態回到基態時發光。由於這種機制，這樣的發光

元件被稱為電流激發型發光元件。

[0009] 目前，如上所述那樣的主動矩陣型顯示裝置的用途正在擴大，並且對於螢幕尺寸的大面積化、高清晰化及高開口率化的要求提高。此外，對於主動矩陣型顯示裝置的生產方法被要求高生產率及生產成本的降低。

[0010] 因為像素電晶體是切換元件，所以充分降低關態電流（off-state current，當電晶體處於關閉狀態時流過的汲極電流）是重要的。另外，藉由充分降低關態電流，也可以實現低功耗化。

[0011] 作為用於像素電晶體的半導體層的材料，使用單晶矽、非晶矽等矽材料和氧化物半導體等。

[0012] 另外，為了降低顯示模組的製造成本，較佳的是，使用具有面積大的絕緣表面的基板（玻璃基板或塑膠基板）製造顯示模組。

[0013] 在多晶矽的晶化製程等中利用的雷射照射裝置中，每雷射光源的照射面積和每單位時間的照射面積有限，由此難以在短時間內對具有面積大的絕緣表面的基板進行處理。

[0014] 另一方面，在使用氧化物半導體的電晶體中，在製程中不利用雷射照射裝置。此外，使用氧化物半導體的電晶體的場效移動率比在製程中不利用雷射照射裝置的使用非晶矽的電晶體高。因此，也可以利用使用氧化物半導體的電晶體構成顯示裝置等的驅動電路。

[0015]

[專利文獻 1] 日本專利申請公開第 2007-123861 號公報

[專利文獻 2] 日本專利申請公開第 2007-96055 號公報

[0016] 另外，當製造顯示裝置時，在絕緣表面上形成多個不同的電路的情況下，例如，在同一基板上形成像素部和驅動電路的情況下，用於像素部的電晶體需要具有優良的開關特性諸如高開關比，而用於驅動電路的電晶體需要具有較快的工作速度。尤其是，顯示裝置的清晰度越高，顯示影像的寫入時間越短，因此用於驅動電路的電晶體較佳為進行高速工作。

【發明內容】

[0017] 本發明的一個方式的目的之一是提供一種在同一基板上形成多種電路且具備對應於多種電路的特性的多種電晶體的顯示裝置。

[0018] 另外，本發明的一個方式的目的之一是提供一種在防止製程的複雜化及製造成本的增大的同時在同一基板上形成多種電路且具備對應於多種電路的特性的多種電晶體的半導體裝置。

[0019] 此外，本發明的一個方式的目的之一是提供一種將電特性良好且可靠性高的電晶體用作切換元件的可靠性高的顯示裝置。

[0020] 另外，為了在顯示裝置上顯示影像，需要將

大量的影像信號供應到顯示裝置。為了將供應影像信號的裝置（例如，電子裝置主體等）與顯示裝置連接，需要多數佈線（例如，在 VGA 中需要 640 個左右的佈線）。並且，該佈線佔據顯示裝置的一部分的容積，而有時限制設計的彈性諸如電子裝置的大小和顯示裝置的配置等。

[0021] 鑒於上述背景，較佳為減少顯示裝置的外部連接端子的數量。

[0022] 此外，也在進一步實現顯示裝置的低功耗化的情況下，較佳為減少外部連接端子的數量。

[0023] 另外，在顯示模組中，清晰度越高，外部連接端子的數量（也稱為 pin 數）及信號佈線數越增加。藉由在同一基板上形成像素部和驅動電路，與不在同一基板上形成像素部和驅動電路的顯示模組相比，可以抑制外部連接端子的數量及信號佈線數。

[0024] 本發明的一個方式是一種顯示裝置，包括：同一基板上的像素部和驅動該像素部的驅動電路，其中，像素部包括具有第一氧化物半導體膜的第一電晶體，驅動電路包括具有第二氧化物半導體膜的第二電晶體，第一氧化物半導體膜和第二氧化物半導體膜形成在同一絕緣表面上，第一電晶體的通道長度大於第二電晶體的通道長度，並且，第一電晶體的通道長度為 2.5μm 以上。

[0025] 另外，本發明的其他方式是一種顯示裝置，包括：同一基板上的像素部和驅動該像素部的驅動電路，其中，像素部包括具有第一氧化物半導體膜的第一電晶

體，驅動電路包括具有第二氧化物半導體膜及第三氧化物半導體膜的第二電晶體，第一氧化物半導體膜和其組成與該第一氧化物半導體膜不同的第二氧化物半導體膜形成在同一絕緣表面上，第一電晶體的通道長度大於第二電晶體的通道長度，並且，第三氧化物半導體膜與第二氧化物半導體膜的側面接觸。

[0026] 在上述結構中，第一氧化物半導體膜及第三氧化物半導體膜在同一製程中形成。另外，在上述結構中，第一電晶體的通道長度為 2.5μm 以上。

[0027] 此外，在上述各結構中，第二電晶體的通道長度小於 2.5μm。另外，第一電晶體的通道長度為 1μm 以上且 2.1μm 以下。

[0028] 另外，本發明的其他方式是一種顯示裝置，其中第二電晶體包括：閘極電極層；閘極電極層上的第二氧化物半導體膜；第二氧化物半導體膜上的絕緣層；絕緣層上的導電層，絕緣層以覆蓋第二氧化物半導體膜且接觸於閘極絕緣層的方式設置，並且在第二電晶體的第二氧化物半導體膜的通道寬度方向上，以與第二氧化物半導體膜的通道形成區重疊且與閘極電極層電連接的方式設置導電層。

[0029] 另外，第二電晶體的場效移動率比第一電晶體高。

[0030] 此外，本發明的其他方式是一種顯示裝置，包括：同一基板上的像素部和驅動該像素部的驅動電路，

其中，像素部包括具有第一氧化物半導體膜的第一電晶體，驅動電路包括具有第二氧化物半導體膜、第二氧化物半導體膜上的第三氧化物半導體膜和第三氧化物半導體膜上的第四氧化物半導體膜的第二電晶體，第一氧化物半導體膜及第二氧化物半導體膜形成在同一絕緣表面上，第一電晶體的通道長度大於第二電晶體的通道長度，第三氧化物半導體膜的頂面及側面被第四氧化物半導體膜覆蓋，並且，第三氧化物半導體膜的底面與第二氧化物半導體膜的頂面接觸。

[0031] 在上述結構中，第一氧化物半導體膜及第四氧化物半導體膜在同一製程中使用同一靶材形成。

[0032] 藉由本發明的一個方式，可以提供一種外部連接端子的數量得到減少且影像品質高的顯示裝置。

[0033] 另外，本發明的一個方式的電子裝置包括外部連接端子的數量得到減少且影像品質高的顯示裝置。由此，電子裝置的大小和設置在電子裝置中的顯示裝置的配置等的設計的彈性得到提高，其結果，可以提供一種實現小型化及輕量化的可攜性好的電子裝置。

[0034] 另外，如果可以減少外部連接端子的數量，則可以實現安裝費的減少。在產品中只要有一個外部連接端子出現接觸不良，該產品就成為不良品。因此，藉由減少外部連接端子的數量，可以提高安裝時的良率。

[0035] 此外，藉由本發明的一個方式，可以提供一種耗電量得到降低的半導體裝置。另外，藉由本發明的一

個方式，可以提供一種新穎半導體裝置。

【圖式簡單說明】

[0036]

在圖式中：

圖 1 是說明液晶顯示裝置的一個方式的剖面圖；

圖 2 是說明發光裝置的一個方式的剖面圖；

圖 3A 至圖 3C 是說明電晶體的製造方法的一個方式的剖面圖；

圖 4A 和圖 4B 是說明電晶體的製造方法的一個方式的剖面圖；

圖 5A 和圖 5B 是說明電晶體的製造方法的一個方式的剖面圖；

圖 6A 至圖 6C 是說明根據實施方式的顯示裝置的結構的圖；

圖 7A 至圖 7D 是 CAAC-OS 的剖面的 Cs 校正高解析度 TEM 影像以及 CAAC-OS 的剖面示意圖；

圖 8A 至圖 8D 是示出氧化物半導體膜的奈米束電子繞射圖案的圖以及示出透過電子繞射測量裝置的一個例子的圖；

圖 9A 至圖 9C 是示出利用透過電子繞射測量的結構分析的一個例子的圖以及平面 TEM 影像；

圖 10 是說明顯示模組的圖；

圖 11A 至圖 11D 是根據實施方式的電子裝置的外觀

圖；

圖 12 是說明液晶顯示裝置的一個方式的剖面圖；

圖 13 是說明發光裝置的一個方式的剖面圖；

圖 14 是說明液晶顯示裝置的一個方式的剖面圖；

圖 15 是說明發光裝置的一個方式的剖面圖；

圖 16 是說明液晶顯示裝置的一個方式的剖面圖；

圖 17 是說明發光裝置的一個方式的剖面圖；

圖 18 是說明液晶顯示裝置的一個方式的剖面圖；

圖 19 是說明發光裝置的一個方式的剖面圖；

圖 20 是說明液晶顯示裝置的一個方式的剖面圖；

圖 21 是說明發光裝置的一個方式的剖面圖；

圖 22A 至圖 22C 是說明電晶體的一個方式的俯視圖及剖面圖；

圖 23A 至圖 23C 是說明電晶體的一個方式的俯視圖及剖面圖；

圖 24A 至圖 24C 是說明電晶體的電特性的圖；

圖 25A 至圖 25C 是說明電晶體的電特性的圖；

圖 26 是說明液晶顯示裝置的一個方式的剖面圖；

圖 27 是說明發光裝置的一個方式的剖面圖；

圖 28 是說明液晶顯示裝置的一個方式的剖面圖；

圖 29 是說明發光裝置的一個方式的剖面圖；

圖 30A 至圖 30D 是 CAAC-OS 的平面的 Cs 校正高解析度 TEM 影像；

圖 31A 至圖 31C 是說明藉由 XRD 得到的 CAAC-OS

以及單晶氧化物半導體的結構分析的圖；

圖 32A 和圖 32B 是示出 CAAC-OS 的電子繞射圖案的圖；

圖 33 是示出藉由電子照射的 In-Ga-Zn 氧化物的結晶部的變化的圖；

圖 34 是說明液晶顯示裝置的一個方式的剖面圖；

圖 35 是說明發光裝置的一個方式的剖面圖；

圖 36A 至圖 36C 是說明電晶體的製造方法的一個方式的剖面圖；

圖 37A 和圖 37B 是說明電晶體的製造方法的一個方式的剖面圖；

圖 38A 和圖 38B 是說明電晶體的製造方法的一個方式的剖面圖；

圖 39 是說明電晶體的電特性的圖；

圖 40 是說明電晶體的電特性的圖；

圖 41 是說明電晶體的電特性的圖；

圖 42 是說明電晶體的電特性的圖；

圖 43 是說明液晶顯示裝置的一個方式的剖面圖；

圖 44 是說明發光裝置的一個方式的剖面圖；

圖 45 是說明液晶顯示裝置的一個方式的剖面圖；

圖 46 是說明發光裝置的一個方式的剖面圖；

圖 47 是說明電晶體的電特性的圖。

【實施方式】

[0037] 下面，參照圖式對本發明的實施方式進行詳細的說明。注意，本發明不侷限於以下說明，而所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅侷限於下面所示的實施方式及實施例所記載的內容中。注意，在下面說明的實施方式及實施例中，在不同的圖式中共同使用相同的元件符號或相同的陰影線來表示相同的部分或具有相同功能的部分，而省略反復說明。

[0038] 注意，在本說明書所說明的每一個圖式中，為了明確起見，有時誇大表示各構成要素的大小、膜厚度或區域。因此，並不一定限定於上述尺寸。

[0039] 另外，在本說明書中使用的“第一”、“第二”、“第三”等用語是為了避免構成要素的混淆而附加的，而不是為了在數字上進行限定的。因此，例如可以將“第一”適當地替換為“第二”或“第三”等。

[0040] 在本說明書中，“平行”是指在-10°以上且10°以下的角度範圍內配置有兩條直線的狀態。因此，也包括該角度為-5°以上且 5°以下的狀態。另外，“垂直”是指在 80°以上且 100°以下的角度範圍內配置有兩條直線的狀態。因此，也包括該角度為 85°以上且 95°以下的情況。

[0041] 此外，在本說明書中，六方晶系包括三方晶系和菱方晶系。

[0042] 另外，“源極”和“汲極”的功能在電路工作中電流流動的方向變化時，有時互相調換。因此，在本說明書中，“源極”和“汲極”可以互相調換。

[0043] 另外，電壓是指兩點之間的電位差，電位是指某一點的靜電場中的單位電荷所具有的靜電能（電位能量）。注意，一般而言，將某一點的電位與標準的電位（例如接地電位）之間的電位差簡單地稱為電位或電壓，並且，在許多情況下電位和電壓是同義詞。因此，在本說明書中，除了特別指定的情況以外，既可將“電位”稱為“電壓”，又可將“電壓”稱為“電位”。

[0044] 此外，因為包括氧化物半導體膜的電晶體是 n 通道型電晶體，所以在本說明書中在閘極電壓為 0V 的情況下將可視為汲極電流沒有流動的電晶體定義為具有常關閉（normally-off）特性的電晶體。另外，在閘極電壓為 0V 的情況下將可視為汲極電流流動的電晶體定義為具有常開啟（normally-on）特性的電晶體。

[0045] 注意，例如，通道長度是指在電晶體的俯視圖中，氧化物半導體膜（或在電晶體處於開啟狀態時，在氧化物半導體膜中電流流動的部分）與閘極電極重疊的區域或形成有通道的區域中的源極（源極區域或源極電極）與汲極（汲極區域或汲極電極）之間的距離。另外，在一個電晶體中，通道長度不一定在所有的區域中成為相同的值。即，一個電晶體的通道長度有時不成為唯一的值。因此，在本說明書中，通道長度是形成通道的區域中的任一

個值、最大值、最小值或平均值。

[0046] 例如，通道寬度是指氧化物半導體膜（或在電晶體處於開啟狀態時，在氧化物半導體膜中電流流動的部分）與閘極電極重疊的區域或形成有通道的區域中的源極與汲極相對的部分的長度。另外，在一個電晶體中，通道寬度在所有區域中不一定為相同。換言之，一個電晶體的通道寬度有時不侷限於一個值。因此，在本說明書中，通道寬度是形成有通道的區域中的任一個值、最大值、最小值或平均值。

[0047] 另外，根據電晶體的結構，有時實際上形成有通道的區域中的通道寬度（下面稱為實效的通道寬度）不同於電晶體的俯視圖所示的通道寬度（下面稱為外觀上的通道寬度）。例如，在具有立體結構的電晶體中，有時因為實效的通道寬度大於電晶體的俯視圖所示的外觀上的通道寬度，所以不能忽略其影響。例如，在具有微型且立體結構的電晶體中，有時形成在氧化物半導體膜側面中的通道區域的比例大於形成在氧化物半導體膜頂面中的通道區域的比例。在此情況下，實際上形成有通道的實效的通道寬度大於俯視圖所示的外觀上的通道寬度。

[0048] 在具有立體結構的電晶體中，有時難以藉由實測來估計實效的通道寬度。例如，為了根據設計值估計實效的通道寬度，需要一個假設，即已知氧化物半導體膜的形狀。因此，當氧化物半導體膜的形狀不確定時，難以正確地測定實效的通道寬度。

[0049] 於是，在本說明書中，有時在電晶體的俯視圖中將作為氧化物半導體膜與閘極電極重疊的區域中的源極與汲極相對的部分的長度的外觀上的通道寬度稱為“圍繞通道寬度（SCW：Surrounded Channel Width）”。此外，在本說明書中，在簡單地表示“通道寬度”時，有時是指圍繞通道寬度或外觀上的通道寬度。或者，在本說明書中，在簡單地表示“通道寬度”時，有時表示實效的通道寬度。注意，藉由取得剖面 TEM 影像等並對該影像進行分析等，可以決定通道長度、通道寬度、實效的通道寬度、外觀上的通道寬度、圍繞通道寬度等的值。

[0050] 另外，在藉由計算求得電晶體的場效移動率或每個通道寬度的電流值等時，有時使用圍繞通道寬度計算。在此情況下，該求得的值有時不同於使用實效的通道寬度計算來求得的值。

[0051]

實施方式 1

在本實施方式中，參照圖式對本發明的一個方式的半導體裝置及其製造方法進行說明。在此，作為半導體裝置的一個例子，參照圖 1 至圖 5B 對液晶顯示裝置及發光裝置進行說明。在本實施方式中，在半導體裝置中使用第一電晶體和第二電晶體，第一電晶體和第二電晶體所包括的氧化物半導體膜的結構不同。

[0052]

<顯示裝置的結構>

首先，對液晶顯示裝置進行說明。

[0053] 圖 1 是液晶顯示裝置的剖面圖，A-B 示出形成在驅動電路部中的電晶體，C-D 示出形成在像素部中的電晶體。

[0054] 圖 1 的 A-B 所示的電晶體 10k 包括：設置在基板 11 上的閘極電極 13c；形成在基板 11 及閘極電極 13c 上的閘極絕緣膜 15；隔著閘極絕緣膜 15 與閘極電極 13c 重疊的氧化物半導體膜 82；與氧化物半導體膜 82 接觸的一對電極 19c、20c。另外，在閘極絕緣膜 15、氧化物半導體膜 82 及一對電極 19c、20c 上形成保護膜 21。此外，也可以在保護膜 21 上具有導電膜 87。藉由作為導電膜 87 使用具有遮光性的導電膜，該導電膜 87 也用作遮光膜。

[0055] 另外，保護膜 21 包括氧化物絕緣膜 23、其氧含量超過化學計量組成的氧化物絕緣膜 25 及氮化物絕緣膜 27。

[0056] 圖 1 的 C-D 所示的電晶體 10m 包括：設置在基板 11 上的閘極電極 13d；形成在基板 11 及閘極電極 13d 上的閘極絕緣膜 15；隔著閘極絕緣膜 15 與閘極電極 13d 重疊的氧化物半導體膜 84；與氧化物半導體膜 84 接觸的一對電極 19d、20d。另外，在閘極絕緣膜 15、氧化物半導體膜 84 及一對電極 19d、20d 上形成保護膜 21。此外，也可以在保護膜 21 上形成有機絕緣膜 88。

[0057] 在閘極絕緣膜 15 上形成具有導電性的氧化物

半導體膜 85。另外，具有導電性的氧化物半導體膜 85 是如下膜：藉由與氧化物半導體膜 82 及氧化物半導體膜 84 同時形成的氧化物半導體膜接觸於氮化物絕緣膜 27，氧缺陷及氫濃度得到提高而導電性得到提高的膜。

[0058] 此外，在保護膜 21 的開口部中，與電晶體 10m 的電極 20d 連接的像素電極 86 設置在保護膜 21 上。像素電極 86 可以使用具有透光性的導電膜。

[0059] 由具有導電性的氧化物半導體膜 85、氮化物絕緣膜 27 及像素電極 86 構成電容元件 89。因為具有導電性的氧化物半導體膜 85 及像素電極 86 都具有透光性，所以電容元件 89 也具有透光性。因此，可以增大像素中的電容元件 89 的面積。由此，可以製造開口率高且設置有容量值高的電容元件 89 的像素。

[0060] 另外，在保護膜 21、像素電極 86、導電膜 87 及有機絕緣膜 88 上設置配向膜 92a。

[0061] 在液晶顯示裝置中設置反基板 90，在基板 11 與反基板 90 之間從反基板 90 一側依次設置反電極 91 和配向膜 92b。

[0062] 此外，在配向膜 92a 與配向膜 92b 之間具有液晶層 93。由像素電極 86、液晶層 93、反電極 91 構成液晶元件 94。

[0063] 本實施方式所示的液晶顯示裝置的特徵在於：在驅動電路部與像素部中，包括在電晶體中的氧化物半導體膜的結構不同。

[0064] 在本實施方式所示的液晶顯示裝置中，包括在驅動電路部中的電晶體的通道長度與包括在像素部中的電晶體的通道長度不同。

[0065] 典型地，包括在驅動電路部中的電晶體 10k 的通道長度小於 2.5μm，較佳為 1.45μm 以上且 2.2μm 以下。另一方面，包括在像素部中的電晶體 10m 的通道長度為 2.5μm 以上，較佳為 2.5μm 以上且 20μm 以下。

[0066] 藉由將包括在驅動電路部中的電晶體 10k 的通道長度設定為小於 2.5μm，較佳為設定為 1.45μm 以上且 2.2μm 以下，可以提高場效移動率，而可以增大通態電流。其結果，可以製造能夠進行高速工作的驅動電路部。

[0067] 另外，設置在驅動電路部中的電晶體 10k 包括隔著保護膜 21 覆蓋氧化物半導體膜 82 的導電膜 87。可以將導電膜 87 設定為接地電位或任意的電位。此外，藉由導電膜 87 與閘極電極 13c 連接，實現場效移動率高且通態電流大的電晶體。

[0068] 氧化物半導體膜 82 及氧化物半導體膜 84 使用至少包含 In 的金屬氧化物形成，典型地，使用 In-Ga 氧化物、In-M-Zn 氧化物（M 為 Al、Ga、Y、Zr、La、Ce 或 Nd）等形成。

[0069] 作為用於形成氧化物半導體膜 82 及氧化物半導體膜 84 的靶材的金屬元素的原子數比的典型例子，可以舉出 In：M：Zn=2：1：1.5、In：M：Zn=2：1：2.3、In：M：Zn=2：1：3、In：M：Zn=3：1：2、In：M：

Zn=3：1：3、In：M：Zn=3：1：4、In：M：Zn=1：1：1、In：M：Zn=1：1：1.2、In：M：Zn=1：3：2、In：M：Zn=1：3：4、In：M：Zn=1：3：6、In：M：Zn=1：3：8、In：M：Zn=1：4：4、In：M：Zn=1：4：5、In：M：Zn=1：4：6、In：M：Zn=1：4：7、In：M：Zn=1：4：8、In：M：Zn=1：5：5、In：M：Zn=1：5：6、In：M：Zn=1：5：7、In：M：Zn=1：5：8、In：M：Zn=1：6：8等。

[0070] 氧化物半導體膜 82 及氧化物半導體膜 84 的厚度為 3nm 以上且 200nm 以下，較佳為 3nm 以上且 100nm 以下，更佳為 30nm 以上且 50nm 以下。

[0071] 因為氧化物半導體膜 82 及氧化物半導體膜 84 的一部分用作電晶體的通道區，所以氧化物半導體膜 82 及氧化物半導體膜 84 的能隙為 2eV 以上，較佳為 2.5eV 以上，更佳為 3eV 以上。如此，藉由使用能隙寬的氧化物半導體，可以降低電晶體 10k、10m 的關態電流。

[0072] 作為氧化物半導體膜 82 及氧化物半導體膜 84 使用載子密度較低的氧化物半導體膜。例如，氧化物半導體膜 82 及氧化物半導體膜 84 使用載子密度為 1×10^{17} 個/cm^3 以下，較佳為 1×10^{15} 個/cm^3 以下，更佳為 1×10^{13} 個/cm^3 以下，進一步較佳為 1×10^{11} 個/cm^3 以下的氧化物半導體膜。

[0073] 注意，不侷限於上述記載，可以根據所需的電晶體的半導體特性及電特性（場效移動率、臨界電壓

等）來使用具有適當的組成的材料。另外，較佳的是，適當地設定氧化物半導體膜 82 及氧化物半導體膜 84 的載子密度、雜質濃度、缺陷密度、金屬元素與氧的原子數比、原子間距離、密度等，以得到所需的電晶體的半導體特性。

[0074] 藉由作為氧化物半導體膜 82 及氧化物半導體膜 84 使用雜質濃度低且缺陷態密度低的氧化物半導體膜，可以製造具有更優良的電特性的電晶體。這裡，將雜質濃度低且缺陷態密度低（氧缺陷少）的狀態稱為“高純度本質”或“實質上高純度本質”。因為高純度本質或實質上高純度本質的氧化物半導體的載子發生源較少，所以有可能降低載子密度。因此，在該氧化物半導體膜中形成有通道區域的電晶體很少具有負臨界電壓的電特性（也稱為常開啟特性）。因為高純度本質或實質上高純度本質的氧化物半導體膜具有較低的缺陷態密度，所以有可能具有較低的陷阱態密度。高純度本質或實質上高純度本質的氧化物半導體膜的關態電流顯著低，即便是通道寬度為 $1\times10^{6}\mu m$、通道長度 L 為 10μm 的元件，當源極電極與汲極電極間的電壓（汲極電壓）在 1V 至 10V 的範圍時，關態電流也可以為半導體參數分析儀的測定極限以下，即 $1\times10^{-13}A$ 以下。因此，在該氧化物半導體膜中形成有通道區域的電晶體的電特性變動小，該電晶體成為可靠性高的電晶體。作為雜質有氫、氮、鹼金屬或鹼土金屬等。

[0075] 包含在氧化物半導體膜中的氫與鍵合於金屬

原子的氧起反應生成水，與此同時在發生氧脫離的晶格（或氧脫離的部分）中形成氧缺陷。當氫進入該氧缺陷中時，有時會生成作為載子的電子。另外，當氫的一部分與鍵合於金屬原子的氧發生鍵合時，有時會生成作為載子的電子。因此，使用含有氫的氧化物半導體的電晶體容易具有常開啟特性。

[0076] 因此，較佳的是，在氧化物半導體膜 82 及氧化物半導體膜 84 中除了氧缺陷之外還儘量減少氫。明確而言，在氧化物半導體膜 82 及氧化物半導體膜 84 中，藉由二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）測量的氧化物半導體膜 82 及氧化物半導體膜 84 的氫濃度為 5×10^{19}atoms/cm^3 以下，較佳為 1×10^{19}atoms/cm^3 以下，更佳為 5×10^{18}atoms/cm^3 以下，進一步較佳為 1×10^{18}atoms/cm^3 以下，更進一步較佳為 5×10^{17}atoms/cm^3 以下，還進一步較佳為 1×10^{16}atoms/cm^3 以下。

[0077] 當氧化物半導體膜 82 及氧化物半導體膜 84 包含第 14 族元素中之一的矽或碳時，氧化物半導體膜 82 及氧化物半導體膜 84 中的氧缺陷增加，會導致氧化物半導體膜 82 及氧化物半導體膜 84 的 n 型化。因此，將氧化物半導體膜 82 及氧化物半導體膜 84 中的矽或碳的濃度（利用二次離子質譜分析法得到的濃度）設定為 2×10^{18}atoms/cm^3 以下，較佳為 2×10^{17}atoms/cm^3 以下。

[0078] 另外，將藉由二次離子質譜分析法得到的氧

化物半導體膜 82 及氧化物半導體膜 84 的鹼金屬或鹼土金屬的濃度為 1×10^{18}atoms/cm^3 以下，較佳為 2×10^{16}atoms/cm^3 以下。鹼金屬和鹼土金屬有時會與氧化物半導體鍵合而生成載子，導致電晶體的關態電流的增大。由此，較佳為降低氧化物半導體膜 82 及氧化物半導體膜 84 的鹼金屬或鹼土金屬的濃度。

[0079] 另外，當在氧化物半導體膜 82 及氧化物半導體膜 84 中含有氮時產生作為載子的電子，載子密度增加而容易導致氧化物半導體膜 82、氧化物半導體膜 84 的 n 型化。其結果，使用含有氮的氧化物半導體的電晶體容易具有常開啟特性。因此，在該氧化物半導體膜中，盡可能地減少氮是較佳的。例如，藉由二次離子質譜分析法測量的氮濃度較佳為 5×10^{18}atoms/cm^3 以下。

[0080] 下面，對液晶顯示裝置的其他結構進行詳細說明。

[0081] 作為基板 11 可以使用各種基板，對其沒有特別的限制。作為該基板的例子，可以舉出半導體基板（例如，單晶基板或矽基板）、SOI 基板、玻璃基板、石英基板、塑膠基板、金屬基板、不鏽鋼基板、包含不鏽鋼箔的基板、鎢基板、包含鎢箔的基板、撓性基板、貼合薄膜、包含纖維狀材料的紙或者基材薄膜等。作為玻璃基板的例子，可以舉出鋇硼矽酸鹽玻璃基板、鋁硼矽酸鹽玻璃基板、鈉鈣玻璃基板等。作為撓性基板、貼合薄膜、基材薄膜等的一個例子，可以舉出如下。例如，可以舉出以聚對

苯二甲酸乙二醇酯（PET）、聚萘二甲酸乙二醇酯（PEN）、聚醚碸（PES）為代表的塑膠。或者，作為一個例子，可以舉出丙烯酸樹脂等合成樹脂等。作為一個例子，可以舉出聚丙烯、聚酯、聚氟化乙烯、聚氯乙烯等。作為一個例子，可以舉出聚醯胺、聚醯亞胺、芳族聚醯胺、環氧樹脂、無機蒸鍍薄膜、紙等。尤其是，藉由使用半導體基板、單晶基板或 SOI 基板等製造電晶體，能夠製造特性、尺寸或形狀等的偏差小、電流能力高且尺寸小的電晶體。當利用上述電晶體構成電路時，能夠實現電路的低功耗化或高集成化。

[0082] 另外，也可以作為基板 11 使用撓性基板並在撓性基板上直接形成電晶體 10k、10m。或者，也可以在基板 11 與電晶體 10k、10m 之間設置剝離層。剝離層可以在如下情況下使用，即在剝離層上製造半導體裝置的一部分或全部，然後使其從基板 11 分離並轉置到其他基板上的情況。此時，可以將電晶體 10k、10m 轉置到耐熱性低的基板或撓性基板上。另外，作為上述剝離層，例如可以使用鎢膜與氧化矽膜的無機膜的層疊結構或在基板上形成有聚醯亞胺等有機樹脂膜的結構等。

[0083] 作為轉置電晶體的基板的一個例子，除了上述的可以形成電晶體的基板之外，還可以使用紙基板、玻璃紙基板、芳族聚醯胺薄膜基板、聚醯亞胺薄膜基板、石材基板、木材基板、布基板（包括天然纖維（絲、棉、麻）、合成纖維（尼龍、聚氨酯、聚酯）或再生纖維（醋

酯纖維、銅氨纖維、人造纖維、再生聚酯）等）、皮革基板、橡皮基板等。藉由使用上述基板，能夠形成特性良好的電晶體或功耗低的電晶體，能夠提供耐久性高且耐熱性高的裝置，或能夠實現輕量化或薄型化。

[0084] 此外，也可以在基板 11 與閘極電極 13c、13d 之間設置基底絕緣膜。作為基底絕緣膜，可以舉出氧化矽、氧氮化矽、氮化矽、氮氧化矽、氧化鎵、氧化鉿、氧化釔、氧化鋁、氧氮化鋁等的膜。另外，藉由作為基底絕緣膜使用氮化矽、氧化鎵、氧化鉿、氧化釔、氧化鋁等的膜，可以抑制鹼金屬、水、氫等雜質從基板 11 擴散到氧化物半導體膜 82、84 中。

[0085] 閘極電極 13c、13d 可以使用選自鋁、鉻、銅、鉭、鈦、鉬、鎢中的金屬元素、以上述金屬元素為成分的合金或組合上述金屬元素的合金等形成。另外，也可以使用選自錳和鋯中的任一種或多種的金屬元素。此外，閘極電極 13c、13d 可以具有單層結構或者兩層以上的疊層結構。例如，有包含矽的鋁膜的單層結構、在鋁膜上層疊鈦膜的兩層結構、在氮化鈦膜上層疊鈦膜的兩層結構、在氮化鈦膜上層疊鎢膜的兩層結構、在氮化鉭膜或氮化鎢膜上層疊鎢膜的兩層結構、依次層疊鈦膜、鋁膜及鈦膜的三層結構等。此外，也可以使用組合鋁與選自鈦、鉭、鎢、鉬、鉻、釹和鈧中的一種元素或多種元素而成的合金膜或氮化膜。

[0086] 另外，閘極電極 13c、13d 也可以使用銦錫氧

化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、包含氧化矽的銦錫氧化物等具有透光性的導電性材料。另外，也可以採用上述具有透光性的導電性材料和上述金屬元素的疊層結構。

[0087] 閘極絕緣膜 15 例如使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧化鉿或 Ga-Zn 類金屬氧化物等即可，並以疊層或單層設置。注意，為了提高閘極絕緣膜 15 與氧化物半導體膜 82 及 84 的介面特性，閘極絕緣膜 15 中的至少與氧化物半導體膜 82 及 84 接觸的區域較佳為使用氧化物絕緣膜形成。

[0088] 此外，藉由作為閘極絕緣膜 15 使用矽酸鉿（$HfSiO_x$）、添加有氮的矽酸鉿（$HfSi_xO_yN_z$）、添加有氮的鋁酸鉿（$HfAl_xO_yN_z$）、氧化鉿、氧化釔等 high-k 材料，能夠降低電晶體的閘極漏電流。

[0089] 閘極絕緣膜 15 的厚度較佳為 5nm 以上且 400nm 以下，更佳為 10nm 以上且 300nm 以下，進一步較佳為 50nm 以上且 250nm 以下。

[0090] 氧化物絕緣膜 23、25 可以適當地使用與閘極絕緣膜同樣的材料。

[0091] 另外，氧化物絕緣膜 23 可以使用包含氮且缺陷量少的氧化物絕緣膜。

[0092] 作為包含氮且缺陷量少的氧化物絕緣膜的典型例子，有氧氮化矽膜、氧氮化鋁膜等。注意，氧氮化矽

膜、氧氮化鋁膜是指在其組成中氧含量多於氮含量的膜，而氮氧化矽膜、氮氧化鋁膜是指在其組成中氮含量多於氧含量的膜。

[0093] 在對缺陷少的氧化物絕緣膜利用 100K 以下的 ESR 進行測量而得到的質譜中，觀察到 g 值為 2.037 以上且 2.039 以下的第一信號，g 值為 2.001 以上且 2.003 以下的第二信號以及 g 值為 1.964 以上且 1.966 以下的第三信號。此外，第一信號與第二信號的分裂寬度以及第二信號與第三信號的分裂寬度在 X 波段的 ESR 測定中分別為 5mT 左右。另外，g 值為 2.037 以上且 2.039 以下的第一信號、g 值為 2.001 以上且 2.003 以下的第二信號以及 g 值為 1.964 以上且 1.966 以下的第三信號的自旋密度的總計為小於 $1\times10^{18}spins/cm^3$，典型為 $1\times10^{17}spins/cm^3$ 以上且小於 $1\times10^{18}spins/cm^3$。

[0094] 另外，在 100K 以下的 ESR 譜中，g 值為 2.037 以上且 2.039 以下的第一信號、g 值為 2.001 以上且 2.003 以下的第二信號以及 g 值為 1.964 以上且 1.966 以下的第三信號相當於起因於氮氧化物（NO_x，x 為 0 以上且 2 以下，較佳為 1 以上且 2 以下）的信號。作為氮氧化物的典型例子，有一氧化氮、二氧化氮等。換言之，g 值為 2.037 以上且 2.039 以下的第一信號、g 值為 2.001 以上且 2.003 以下的第二信號以及 g 值為 1.964 以上且 1.966 以下的第三信號的自旋密度的總計越低，氧化物絕緣膜所包含的氮氧化物的含量越少。

[0095] 如上所述，在氧化物絕緣膜 23 中的氮氧化物含量少時，可以減少氧化物絕緣膜 23 與氧化物半導體膜 82 及 84 的介面的載子俘獲。其結果，可以減少電晶體的臨界電壓的漂移，而可以減少電晶體的電特性的變動。

[0096] 另外，氧化物絕緣膜 23 的藉由 SIMS 測得的氮濃度較佳為 6×10^{20}atoms/cm^3 以下。其結果，在氧化物絕緣膜 23 中不容易生成氮氧化物，而可以減少氧化物絕緣膜 23 與氧化物半導體膜 82、84 的介面的載子俘獲。還可以減少包含在半導體裝置中的電晶體的臨界電壓的變動，從而可以減少電晶體的電特性的漂移。

[0097] 另外，作為閘極絕緣膜 15，也可以使用上述包含氮且缺陷量少的氧化物絕緣膜。其結果，可以減少閘極絕緣膜 15 與氧化物半導體膜 82、84 的介面的載子俘獲。還可以減少包含在半導體裝置中的電晶體的臨界電壓的漂移，從而可以減少電晶體的電特性的變動。

[0098] 另外，氧化物絕緣膜 25 也可以使用其氧含量超過化學計量組成的氧化物絕緣膜形成。其氧含量超過化學計量組成的氧化物絕緣膜由於被加熱而其一部分的氧脫離。其氧含量超過化學計量組成的氧化物絕緣膜在進行 TDS 分析時換算為氧原子的氧的脫離量為 1.0×10^{18} atoms/cm^3 以上，較佳為 3.0×10^{20}atoms/cm^3 以上。注意，上述 TDS 分析時的膜的表面溫度較佳為 100°C 以上且 700°C 以下或 100°C 以上且 500°C 以下。

[0099] 作為氧化物絕緣膜 25 可以使用厚度為 30nm

以上且 500nm 以下，較佳為 50nm 以上且 400nm 以下的氧化矽膜、氧氮化矽膜等。作為氮化物絕緣膜 27 使用至少對氫及氧具有阻擋效果的膜。再者，較佳的是，對氧、氫、水、鹼金屬、鹼土金屬等具有阻擋效果。藉由設置氮化物絕緣膜 27，可以防止氧從氧化物半導體膜 82、84 擴散到外部以及氫、水等從外部侵入氧化物半導體膜 82、84 中。

[0100] 作為氮化物絕緣膜 27 有厚度為 50nm 以上且 300nm 以下，較佳為 100nm 以上且 200nm 以下的氮化矽、氮氧化矽、氮化鋁、氮氧化鋁等。

[0101] 另外，也可以設置對氧、氫、水等具有阻擋效果的氧化物絕緣膜代替氮化物絕緣膜 27。作為對氧、氫、水等具有阻擋效果的氧化物絕緣膜，有氧化鋁、氧氮化鋁、氧化鎵、氧氮化鎵、氧化釔、氧氮化釔、氧化鉿、氧氮化鉿等。

[0102] 另外，在設置在像素部中的電晶體 10m 中，在保護膜 21 上設置與其他像素的有機絕緣膜 88 分離的有機絕緣膜 88 是較佳的。作為有機絕緣膜 88，例如可以使用聚醯亞胺、丙烯酸樹脂、聚醯胺、環氧樹脂等。有機絕緣膜 88 的厚度較佳為 500nm 以上且 10μm 以下。

[0103] 當與其他有機絕緣膜 88 分離地形成有機絕緣膜 88 時，來自外部的水不會經過有機絕緣膜 88 擴散到半導體裝置內，所以是較佳的。

[0104] 由於有機絕緣膜 88 具有較厚的厚度為 500nm

以上，所以因對閘極電極 13d 施加負電壓而產生的電場不會影響到有機絕緣膜 88 的表面，並不容易在有機絕緣膜 88 的表面帶正電荷。另外，即便包含在空氣中的正電荷粒子附著於有機絕緣膜 88 的表面，也由於有機絕緣膜 88 具有較厚的厚度為 500nm 以上，所以附著於有機絕緣膜 88 的表面的正電荷粒子的電場不會影響到氧化物半導體膜 84 與保護膜 21 的介面。其結果，氧化物半導體膜 84 與保護膜 21 的介面實質上不成為被施加正偏壓的狀態，由此電晶體的臨界電壓的變動少。另外，也可以將電晶體 10m 的通道長度設定為 2.5μm 以上。

[0105] 下面，參照圖 2 對發光裝置的結構進行說明。

[0106] 圖 2 是發光裝置的剖面圖，A-B 示出形成在驅動電路部中的電晶體 10k，C-D 示出形成在像素部中的電晶體 10m。

[0107] 另外，在保護膜 21 上設置絕緣膜 95。此外，在絕緣膜 95 的開口部中設置與電晶體 10m 所包括的電極 20d 連接的第一電極 86a。第一電極 86a 可以使用具有透光性的導電膜或具有反射性的導電膜形成。

[0108] 在導電膜 87、絕緣膜 95 及第一電極 86a 上設置絕緣膜 96。絕緣膜 96 具有使第一電極 86a 的一部分露出的開口部。在絕緣膜 96 及第一電極 86a 上設置 EL 層 97，在絕緣膜 96 及 EL 層 97 上設置第二電極 98。可以由第一電極 86a、EL 層 97 及第二電極 98 構成有機 EL 元件

99。

[0109] 作為絕緣膜 95 及絕緣膜 96，例如可以使用有機樹脂或無機絕緣材料。作為有機樹脂，例如可以使用聚醯亞胺樹脂、聚醯胺樹脂、丙烯酸樹脂、矽氧烷樹脂、環氧樹脂或酚醛樹脂等。作為無機絕緣材料，可以使用氧化矽、氧氮化矽等。由於使絕緣膜 95 及絕緣膜 96 的製造變得容易，所以特別較佳為使用感光性樹脂。對絕緣膜 95 及絕緣膜 96 的形成方法沒有特別的限制，例如可以使用光微影法、濺射法、蒸鍍法、液滴噴射法（噴墨法等）、印刷法（網版印刷、平板印刷等）等。

[0110] 作為第一電極 86a，例如較佳為使用對可見光具有高的反射性的金屬膜。作為該金屬膜，例如可以使用鋁、銀或它們的合金等。

[0111] 作為 EL 層 97，可以使用從第一電極 86a 和第二電極 98 注入的電洞和電子再結合而得到發光的發光材料。另外，除了該 EL 層之外，根據需要也可以形成電洞注入層、電洞傳輸層、電子傳輸層、電子注入層等功能層。

[0112] 作為第二電極 98，例如較佳為使用對可見光具有透光性的導電膜。作為該導電膜，例如較佳為使用包含選自銦（In）、鋅（Zn）、錫（Sn）中的一種的材料。另外，作為第二電極 98，例如可以使用包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦錫氧化物（ITO）、銦

鋅氧化物、添加有氧化矽的銦錫氧化物等具有透光性的導電性材料。尤其是，在作為第二電極 98 使用添加有氧化矽的銦錫氧化物的情況下，當使發光裝置彎曲時在第二電極 98 中不容易產生裂縫等，所以是較佳的。

[0113]

<顯示裝置的製造方法>

在此，對顯示裝置所包括的電晶體的製造方法進行說明。在此，作為顯示裝置的一個例子使用圖 29 所示的發光裝置，參照圖 3A 至圖 5B 對電晶體 10k_4 及電晶體 10m_4 的製造方法進行說明。

[0114] 構成電晶體 10k_4、電晶體 10m_4 的膜（絕緣膜、氧化物半導體膜、金屬氧化物膜、導電膜等）可以藉由濺射法、化學氣相沉積（CVD）法、真空蒸鍍法、脈衝雷射沉積（PLD）法形成。或者，可以藉由塗佈法或印刷法形成。作為成膜方法的典型例子，有濺射法、電漿化學氣相沉積（PECVD）法，但也可以使用熱 CVD 法。作為熱 CVD 法的例子，可以使用 MOCVD（有機金屬化學沉積）法或 ALD（原子層沉積）法。

[0115] 藉由熱 CVD 法進行的沉積可以按以如下方式執行：藉由將處理室內的壓力設定為大氣壓或減壓，將源氣體及氧化劑同時供應到處理室內，並使其在基板附近或基板上相互反應而沉積在基板上。如此，由於熱 CVD 法不發生電漿來形成膜，因此具有不產生起因於電漿損傷的缺陷的優點。

[0116] 另外，藉由 ALD 法進行的沉積可以按如下方式執行：將處理室內的壓力設定為大氣壓或減壓，將用於反應的源氣體依次引入處理室內，然後按該順序反復地引入氣體。例如，藉由切換各自的開關閥（也稱為高速閥）來將兩種以上的源氣體依次供應到處理室內。在該情況下，以防止多種源氣體混合的方式在將第一源氣體引入的同時或之後將惰性氣體（氬或氮等）等引入，然後將第二源氣體引入。注意，在將第一源氣體和惰性氣體同時引入的情況下，惰性氣體用作載子氣體，並且，惰性氣體也可以在將第二源氣體引入的同時引入。另外，也可以不引入惰性氣體而藉由真空抽氣將第一源氣體排出，然後引入第二源氣體。第一源氣體吸附於基板表面上，以形成第一單原子層；然後第二源氣體被引入以與第一單原子層起反應；其結果，第二單原子層層疊於第一單原子層上，從而形成薄膜。

[0117] 藉由按該順序反復多次地引入氣體直到獲得所希望的厚度為止，由此可以形成步階覆蓋性良好的薄膜。薄膜的厚度可以根據按該順序反復引入氣體的次數來調整，因此 ALD 法可以準確地調整厚度，因而適用於製造微型電晶體。

[0118] 如圖 3A 所示，在基板 11 上形成閘極電極 13c、13d、閘極絕緣膜 15。接著，在閘極絕緣膜 15 上形成氧化物半導體膜 83 和氧化物半導體膜 81 的疊層膜以及氧化物半導體膜 83a 和氧化物半導體膜 81a 的疊層膜。

[0119] 下面示出閘極電極 13c、13d 的形成方法。首先，藉由濺射法、真空蒸鍍法、脈衝雷射沉積（PLD）法、熱 CVD 法等形成導電膜，並藉由光微影製程在導電膜上形成遮罩。接著，使用該遮罩對導電膜的一部分進行蝕刻來形成閘極電極 13c、13d。然後，去除遮罩。

[0120] 另外，作為閘極電極 13c、13d 的形成方法，也可以利用電鍍法、印刷法、噴墨法等來代替上述形成方法。

[0121] 另外，可以藉由使用利用 ALD 法的成膜裝置形成鎢膜作為導電膜。此時，依次反復引入 WF_6 氣體和 B_2H_6 氣體形成初始鎢膜，然後同時引入 WF_6 氣體和 H_2 氣體形成鎢膜。注意，也可以使用 SiH_4 氣體代替 B_2H_6 氣體。

[0122] 在此，藉由濺射法形成厚度為 100nm 的鎢膜。接著，藉由光微影製程形成遮罩，使用該遮罩對鎢膜進行乾蝕刻，從而形成閘極電極 13c、13d。

[0123] 閘極絕緣膜 15 藉由濺射法、CVD 法、真空蒸鍍法、脈衝雷射沉積（PLD）法、熱 CVD 法等形成。

[0124] 當作為閘極絕緣膜 15 形成氧化矽膜或氧氮化矽膜時，作為源氣體，較佳為使用包含矽的沉積氣體及氧化性氣體。作為包含矽的沉積氣體的典型例子，有矽烷、乙矽烷、丙矽烷、氟化矽烷等。作為氧化性氣體，有氧、臭氧、一氧化二氮、二氧化氮等。

[0125] 此外，當作為閘極絕緣膜 15 形成氧化鎵膜

時，可以藉由 MOCVD（Metal Organic Chemical Vapor Deposition：有機金屬化學氣相沉積）法形成。

[0126] 另外，在作為閘極絕緣膜 15 藉由 MOCVD 法或 ALD 法等熱 CVD 法形成氧化鉿膜時，使用兩種氣體，即用作氧化劑的臭氧（O_3）和藉由使包含溶劑和鉿前體化合物的液體（鉿醇鹽溶液，典型為四二甲基醯胺鉿（TDMAH））氣化而獲得的源氣體。注意，四二甲基醯胺鉿的化學式為 $Hf[N(CH_3)_2]_4$。另外，作為其它材料液，有四（乙基甲基醯胺）鉿等。

[0127] 例如，在作為閘極絕緣膜 15 藉由 MOCVD 法或 ALD 法等熱 CVD 法形成氧化鋁膜時，使用兩種氣體，即用作氧化劑的 H_2O 和藉由使包含溶劑和鋁前體化合物的液體（三甲基鋁（TMA）等）氣化而獲得的源氣體。注意，三甲基鋁的化學式為 $Al(CH_3)_3$。另外，作為其它材料液有三（二甲基醯胺）鋁、三異丁基鋁、鋁三（2,2,6,6-四甲基-3,5-庚二酮）等。

[0128] 例如，在作為閘極絕緣膜 15 藉由 MOCVD 法或 ALD 法等熱 CVD 法形成氧化矽膜時，使六氯乙矽烷（hexachlorodisilane）吸附於被成膜面上，去除吸附物所包含的氯，供應氧化性氣體（O_2 或一氧化二氮）的自由基使其與吸附物起反應。

[0129] 在此，作為閘極絕緣膜 15，藉由電漿 CVD 法形成氧氮化矽膜。

[0130] 下面對氧化物半導體膜 83 和氧化物半導體膜

81 的疊層膜以及氧化物半導體膜 83a 和氧化物半導體膜 81a 的疊層膜的形成方法進行說明。藉由濺射法、塗佈法、脈衝雷射蒸鍍法、雷射燒蝕法、熱 CVD 法等在閘極絕緣膜 15 上形成後面成為氧化物半導體膜 83 和氧化物半導體膜 83a 的氧化物半導體膜以及後面成為氧化物半導體膜 81 和氧化物半導體膜 81a 的氧化物半導體膜。接著，藉由光微影製程在層疊的氧化物半導體膜上形成遮罩，然後使用該遮罩對層疊的氧化物半導體膜的一部分進行蝕刻，由此如圖 3B 所示那樣，形成位於閘極絕緣膜 15 上且以與閘極電極 13c 的一部分重疊的方式經過元件隔離的氧化物半導體膜 83 和氧化物半導體膜 81 的疊層膜以及位於閘極絕緣膜 15 上且以與閘極電極 13d 的一部分重疊的方式經過元件隔離的氧化物半導體膜 83a 和氧化物半導體膜 81a 的疊層膜。然後，去除遮罩。

[0131] 在藉由濺射法形成氧化物半導體膜的情況下，作為用來產生電漿的電源裝置，可以適當地使用 RF 電源裝置、AC 電源裝置、DC 電源裝置等。

[0132] 作為濺射氣體，適當地使用稀有氣體（典型的是氬）氛圍、氧氛圍、稀有氣體和氧氣體的混合氣體。此外，當採用稀有氣體和氧的混合氣體時，較佳為增高相對於稀有氣體的氧氣體比例。

[0133] 另外，靶材根據所形成的氧化物半導體膜的組成適當地選擇即可。

[0134] 另外，在當形成氧化物半導體膜時例如使用

濺射法的情況下，藉由將基板溫度設定為 150℃以上且 750℃以下，較佳為設定為 150℃以上且 450℃以下，更佳地設定為 200℃以上且 350℃以下來形成氧化物半導體膜，可以形成 CAAC-OS 膜。

[0135] 另外，為了形成 CAAC-OS 膜，較佳為應用如下條件。

[0136] 藉由抑制成膜時的雜質的混入，可以抑制雜質所導致的結晶態的損壞。例如，可以降低存在於成膜室內的雜質濃度（氫、水、二氧化碳及氮等）。另外，可以降低成膜氣體中的雜質濃度。明確而言，使用露點為-80℃以下，較佳為-100℃以下的成膜氣體。

[0137] 另外，較佳的是，藉由增高成膜氣體中的氧比例並對功率進行最佳化，來減輕成膜時的電漿損傷。將成膜氣體中的氧比例設定為 30vol.%以上，較佳為 100vol.%。

[0138] 邊對氧化物半導體膜進行加熱邊形成該氧化物半導體膜，或者在形成氧化物半導體膜之後進行加熱處理，由此，氧化物半導體膜中的氫濃度可以為 2×10^{20}atoms/cm^3 以下，較佳為 5×10^{19}atoms/cm^3 以下，更佳為 1×10^{19}atoms/cm^3 以下，進一步較佳為 5×10^{18}atoms/cm^3 以下，更進一步較佳為 1×10^{18}atoms/cm^3 以下，還進一步較佳為 5×10^{17}atoms/cm^3 以下，還進一步較佳為 1×10^{16}atoms/cm^3 以下。

[0139] 例如，當使用利用 ALD 的沉積裝置來形成氧

化物半導體膜如 $InGaZnO_X$（X>0）膜時，依次反復引入 $In(CH_3)_3$ 氣體和 O_3 氣體形成 InO_2 層，同時引入 $Ga(CH_3)_3$ 氣體和 O_3 氣體形成 GaO 層，然後同時引入 $Zn(CH_3)_2$ 氣體和 O_3 氣體形成 ZnO 層。注意，這些層的順序不侷限於上述例子。此外，也可以混合這些氣體來形成混合化合物層如 $InGaO_2$ 層、$InZnO_2$ 層、GaInO 層、ZnInO 層、GaZnO 層等。注意，雖然也可以使用利用 Ar 等惰性氣體使其起泡的 H_2O 氣體來代替 O_3 氣體，但較佳為使用不含有 H 的 O_3 氣體。還可以使用 $In(C_2H_5)_3$ 氣體代替 $In(CH_3)_3$ 氣體。還可以使用 $Ga(C_2H_5)_3$ 氣體代替 $Ga(CH_3)_3$ 氣體。另外，也可以使用 $Zn(CH_3)_2$ 氣體。

[0140] 在此，藉由濺射法，依次形成靶材的金屬元素的原子數比為 In：Ga：Zn=1：3：6 的厚度為 10nm 的氧化物半導體膜及靶材的金屬元素的原子數比為 In：Ga：Zn=3：1：2 的厚度為 35nm 的氧化物半導體膜，然後在該氧化物半導體膜上形成遮罩，對氧化物半導體膜選擇性地進行蝕刻。

[0141] 另外，藉由在高於 350℃且 650℃以下，較佳為 450℃以上且 600℃以下的溫度下進行加熱處理，能夠獲得後述的 CAAC 化率為 70%以上且低於 100%，較佳為 80%以上且低於 100%，更佳為 90%以上且低於 100%，更佳為 95%以上且 98%以下的氧化物半導體膜。此外，能夠獲得水、氫等的含量得到降低的氧化物半導體膜。即，能夠形成雜質濃度低且缺陷態密度低的氧化物半導體膜。

[0142] 接著，如圖 3B 所示，在閘極絕緣膜 15 及疊層膜上形成氧化物半導體膜，然後將其蝕刻為所希望的形狀，由此形成覆蓋氧化物半導體膜 83 和氧化物半導體膜 81 的疊層膜的氧化物半導體膜 82 以及覆蓋氧化物半導體膜 83a 和氧化物半導體膜 81a 的疊層膜的氧化物半導體膜 84。

[0143] 另外，在該製程中，藉由以覆蓋氧化物半導體膜 83 的側面以及氧化物半導體膜 81 的頂面和側面的方式形成氧化物半導體膜 82，在後面的一對電極的形成製程中，可以防止氧化物半導體膜 83 和氧化物半導體膜 81 被蝕刻。其結果，可以降低氧化物半導體膜 83 和氧化物半導體膜 81 的電晶體的通道寬度方向上的長度的變動，所以是較佳的。與此同樣，藉由以覆蓋氧化物半導體膜 83a 的側面以及氧化物半導體膜 81a 的頂面和側面的方式形成氧化物半導體膜 84，在後面的一對電極的形成製程中，可以防止氧化物半導體膜 83a 和氧化物半導體膜 81a 被蝕刻。其結果，可以降低氧化物半導體膜 83a 和氧化物半導體膜 81a 的電晶體的通道寬度方向上的長度的變動，所以是較佳的。

[0144] 接著，進行加熱處理來實現氧化物半導體膜的脫氫化或脫水化。作為該加熱處理的溫度，典型地為 150℃以上且低於基板的應變點，較佳為 250℃以上且 450℃以下，更佳為 300℃以上且 450℃以下。

[0145] 在包含氦、氖、氬、氪、氙等稀有氣體或包

含氮的惰性氣體氛圍中進行加熱處理。或者，也可以在惰性氣體氛圍中進行加熱之後在氧氛圍中進行加熱。另外，較佳的是，上述惰性氣體氛圍及氧氛圍不包含氫、水等。處理時間是 3 分鐘至 24 小時。

[0146] 該加熱處理可以使用電爐、RTA 裝置等。藉由使用 RTA 裝置，可以限定於短時間內在基板的應變點以上的溫度下進行加熱處理。由此，可以縮短加熱處理時間。

[0147] 在此，在 450℃的包含氮及氧的混合氣體氛圍下進行加熱處理，然後在 450℃的氧氛圍下進行加熱處理。

[0148] 另外，也可以在圖 3A 所示的步驟之後進行同樣的加熱處理代替該加熱處理。

[0149] 接著，如圖 3C 所示，在氧化物半導體膜 82 及氧化物半導體膜 84 上形成一對電極 19c、20c 及一對電極 19d、20d。

[0150] 以下示出一對電極 19c、20c 及一對電極 19d、20d 的形成方法。首先，藉由濺射法、真空蒸鍍法、脈衝雷射沉積（PLD）法、熱 CVD 法等形成導電膜。接著，藉由光微影製程在該導電膜上形成遮罩。接著，利用該遮罩對導電膜進行蝕刻，由此形成一對電極 19c、20c 及一對電極 19d、20d。然後，去除遮罩。

[0151] 在此，藉由濺射法依次層疊厚度為 50nm 的銅-錳合金膜、厚度為 400nm 的銅膜及厚度為 100nm 的銅-錳

合金膜。接著，藉由光微影製程在銅-錳合金膜上形成遮罩，利用該遮罩對銅-錳合金膜、銅膜及銅-錳合金膜進行乾蝕刻，由此形成一對電極 19c、20c 及一對電極 19d、20d。

[0152] 此外，也可以在形成一對電極 19c、20c 及一對電極 19d、20d 之後進行加熱處理。作為該加熱處理，可以使用與形成氧化物半導體膜 82 及氧化物半導體膜 84 後進行的加熱處理相同的條件來進行。

[0153] 另外，在形成一對電極 19c、20c 及一對電極 19d、20d 之後，為了去除蝕刻殘渣，較佳為進行洗滌處理。藉由進行該洗滌處理，能夠抑制一對電極 19c、20c 的短路及一對電極 19d、20d 的短路。該洗滌處理可以藉由使用 TMAH（Tetramethylammonium Hydroxide：四甲基氫氧化銨）溶液等鹼性溶液、氫氟酸、草酸、磷酸等酸性的溶液或者水進行。

[0154] 接著，如圖 4A 所示，在閘極絕緣膜 15、氧化物半導體膜 82、氧化物半導體膜 84 及一對電極 19c、20c 及一對電極 19d、20d 上形成保護膜 21。

[0155] 保護膜 21 可以藉由濺射法、CVD 法、蒸鍍法等形成。

[0156] 當作為保護膜 21 所包括的氧化物絕緣膜 23 形成包含氮且缺陷量少的氧化物絕緣膜時，作為包含氮且缺陷量少的氧化物絕緣膜的一個例子，可以藉由 CVD 法形成氧氮化矽膜。此時，作為源氣體，較佳為使用含有矽

的沉積氣體及氧化性氣體。作為包含矽的沉積氣體的典型例子，有矽烷、乙矽烷、丙矽烷、氟化矽烷等。作為氧化性氣體，有一氧化二氮、二氧化氮等。

[0157] 另外，在如下條件下利用 CVD 法可以形成包含氮且缺陷量少的氧化物絕緣膜作為氧化物絕緣膜 23：在相對於沉積氣體的氧化性氣體比例為大於 20 倍且小於 100 倍，較佳為 40 倍以上且 80 倍以下；並且處理室內的壓力為低於 100Pa，較佳為 50Pa 以下。

[0158] 在作為保護膜 21 所包括的氧化物絕緣膜 25 使用其氧含量超過化學計量組成的氧化物絕緣膜的情況下，作為其氧含量超過化學計量組成的氧化物絕緣膜的一個例子，可以藉由 CVD 法形成氧氮化矽膜。

[0159] 作為氧化物絕緣膜 25，利用如下條件形成氧化矽膜或氧氮化矽膜：在 180℃以上且 280℃以下，較佳為 200℃以上且 240℃以下的溫度下保持設置在電漿 CVD 設備的抽成真空的處理室內的基板，將源氣體引入處理室內而將處理室內的壓力設定為 100Pa 以上且 250Pa 以下，較佳為 100Pa 以上且 200Pa 以下，並對設置在處理室內的電極供應 $0.17W/cm^2$ 以上且 $0.5W/cm^2$ 以下，較佳為 $0.25W/cm^2$ 以上且 $0.35W/cm^2$ 以下的高頻功率。

[0160] 氮化物絕緣膜 27 可以利用濺射法或 CVD 法等形成。

[0161] 當作為氮化物絕緣膜 27 利用電漿 CVD 法形成氮化矽膜時，作為源氣體使用包含矽的沉積氣體、氮及

氨。藉由作為源氣體使用少於氮量的氨，在電漿中氨離解而產生活性種。該活性種切斷包含在包含矽的沉積氣體中的矽與氫的鍵合及氮的三鍵。其結果，促進矽與氮的鍵合，可以形成矽與氫的鍵合少、缺陷少且緻密的氮化矽膜。另一方面，當在源氣體中相對於氮的氨的量多時，包含矽的沉積氣體及氮的分解不進展，殘留著矽與氫的鍵合，從而形成缺陷增加且粗糙的氮化矽膜。由此，在源氣體中，將相對於氨的氮的流量比較佳為設定為 5 以上且 50 以下，更佳為 10 以上且 50 以下。

[0162] 另外，也可以在形成氧化物絕緣膜 25 之後進行加熱處理。該加熱處理溫度典型地為 150℃以上且低於基板的應變點，較佳為 200℃以上且 450℃以下，更佳為 300℃以上且 450℃以下。藉由該加熱處理，可以將氧化物絕緣膜 25 所包含的氧的一部分移動到氧化物半導體膜 83、氧化物半導體膜 81、氧化物半導體膜 82、氧化物半導體膜 83a、氧化物半導體膜 81a 及氧化物半導體膜 84，而可以降低它們所包含的氧缺陷。

[0163] 在此，在包含氮及氧的混合氣體氛圍下，以 350℃進行 1 小時的加熱處理。

[0164] 另外，可以在形成氮化物絕緣膜 27 之後進行加熱處理而使氫等從保護膜 21 釋放。

[0165] 在此，在包含氮和氧的混合氣體氛圍下以 350℃進行 1 小時的加熱處理。

[0166] 藉由上述步驟，能夠製造臨界電壓漂移得到

降低的電晶體。另外，能夠製造電特性變動得到降低的電晶體。

[0167] 另外，如圖 4B 所示，形成具有使電晶體 10k_4 的氧化物半導體膜 82 上的保護膜 21 的一部分及電晶體 10m_4 中的電極 20d 的一部分露出的開口部的絕緣膜 95。接著，在保護膜 21 上以與電晶體 10k_4 的氧化物半導體膜 82 重疊的方式形成導電膜 87，在絕緣膜 95 上形成與電晶體 10m_4 中的電極 20d 連接的第一電極 86a。

[0168] 絕緣膜 95 可以藉由光微影法、濺射法、蒸鍍法、液滴噴射法（噴墨法等）、印刷法（網版印刷、平板印刷等）等形成。

[0169] 在此，使用光敏聚醯亞胺形成絕緣膜 95。

[0170] 第一電極 86a 可以藉由濺射法、蒸鍍法、液滴噴射法（噴墨法等）、印刷法（網版印刷、平板印刷等）等形成。

[0171] 接著，如圖 5A 所示，在絕緣膜 95、導電膜 87 及第一電極 86a 上形成絕緣膜 96。絕緣膜 96 可以適當地利用與絕緣膜 95 同樣的方法形成。

[0172] 接著，如圖 5B 所示，在絕緣膜 96 及第一電極 86a 上形成 EL 層 97。EL 層 97 可以藉由蒸鍍法、液滴噴射法（噴墨法等）、塗布法等形成。

[0173] 藉由上述製程，可以製造具有能夠進行高速工作、由於光照射的劣化少且顯示品質良好的像素部的顯示裝置。

[0174] 下面，對圖 1 所示的液晶顯示裝置及圖 2 所示的發光裝置的電晶體的變形例進行說明。

[0175]

<變形例 1>

圖 1 所示的液晶顯示裝置及圖 2 所示的發光裝置也可以具有層疊有兩層的氧化物半導體膜的電晶體。在此，示出圖 1 所示的液晶顯示裝置的變形例。明確而言，如圖 26 所示，包括在閘極絕緣膜 15 上層疊有氧化物半導體膜 81 和氧化物半導體膜 82 的電晶體 10k_1 以及在閘極絕緣膜 15 上層疊有氧化物半導體膜 81a 和氧化物半導體膜 84 的電晶體 10m_1。

[0176] 在氧化物半導體膜 81 及氧化物半導體膜 81a 中，In 的原子數比也可以為 Zn 或 M（M 為 Al、Ga、Y、Zr、La、Ce 或 Nd）的原子數比以上。在氧化物半導體膜 81 及氧化物半導體膜 81a 是 In-M-Zn 氧化物（M 為 Al、Ga、Y、Zr、La、Ce 或 Nd）的情況下，當用來形成氧化物半導體膜 81 及氧化物半導體膜 81a 的靶材中的金屬元素的原子數比為 In：M：Zn=x_3：y_3：z_3 時，x_3/y_3 大於 1 且 6 以下是較佳的。作為靶材的金屬元素的原子數比的典型例子，有 In：M：Zn=2：1：1.5、In：M：Zn=2：1：2.3、In：M：Zn=2：1：3、In：M：Zn=3：1：2、In：M：Zn=3：1：3、In：M：Zn=3：1：4、In：M：Zn=1：1：1、In：M：Zn=1：1：1.2 等。

[0177] 另外，在氧化物半導體膜 82 及氧化物半導體

膜 84 中，In 的原子數比也可以低於 Zn 或 M（M 為 Al、Ga、Y、Zr、La、Ce 或 Nd）的原子數比。在氧化物半導體膜 82 及氧化物半導體膜 84 是 In-M-Zn 氧化物（M 為 Al、Ga、Y、Zr、La、Ce 或 Nd）的情況下，當用來形成氧化物半導體膜 82 及氧化物半導體膜 84 的靶材的金屬元素的原子數比為 In：M：Zn=x_4：y_4：z_4 時，x_4/y_4 大於 1/6 以上且 1 以下是較佳的。此外，z_4/y_4 較佳為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下。藉由將 z_4/y_4 設定為 1 以上且 6 以下，作為氧化物半導體膜 82 及氧化物半導體膜 84 容易形成 CAAC-OS 膜。作為靶材的金屬元素的原子數比的典型例子，有 In：M：Zn=1：3：2、In：M：Zn=1：3：4、In：M：Zn=1：3：6、In：M：Zn=1：3：8、In：M：Zn=1：4：4、In：M：Zn=1：4：5、In：M：Zn=1：4：6、In：M：Zn=1：4：7、In：M：Zn=1：4：8、In：M：Zn=1：5：5、In：M：Zn=1：5：6、In：M：Zn=1：5：7、In：M：Zn=1：5：8、In：M：Zn=1：6：8 等。

[0178]

<變形例 2>

圖 1 所示的液晶顯示裝置及圖 2 所示的發光裝置也可以具有層疊有三層以上的氧化物半導體膜的電晶體。在此，示出圖 2 所示的發光裝置的變形例。明確而言，如圖 27 所示，包括形成在閘極絕緣膜 15 上的層疊有氧化物半導體膜 83、氧化物半導體膜 81 和氧化物半導體膜 82 的電晶體 10k_2 以及形成在閘極絕緣膜 15 上的層疊有氧化

物半導體膜 83a、氧化物半導體膜 81a 和氧化物半導體膜 84 的電晶體 10m_2。

[0179] 作為氧化物半導體膜 83 及氧化物半導體膜 83a，可以適當地使用具有氧化物半導體膜 82 及氧化物半導體膜 84 所例示的金屬元素的原子數比的氧化物半導體膜。另外，在所層疊的氧化物半導體膜中，用作電晶體的通道區的氧化物半導體膜 81 及氧化物半導體膜 81a 的厚度最厚。氧化物半導體膜 81 及氧化物半導體膜 81a 的厚度為 3nm 以上且 200nm 以下，較佳為 3nm 以上且 100nm 以下，更佳為 30nm 以上且 50nm 以下。另一方面，在所層疊的氧化物半導體膜中，氧化物半導體膜 83 及氧化物半導體膜 83a 的厚度最薄是較佳的。氧化物半導體膜 83 及氧化物半導體膜 83a 的厚度為 2nm 以上且 100nm 以下，較佳為 2nm 以上且 50nm 以下，更佳為 3nm 以上且 15nm 以下。

[0180]

<變形例 3>

圖 1 所示的液晶顯示裝置及圖 2 所示的發光裝置也可以具有層疊有兩層的氧化物半導體膜的電晶體。在此，示出圖 1 所示的液晶顯示裝置的變形例。明確而言，如圖 28 所示，包括層疊有氧化物半導體膜的電晶體。明確而言，包括層疊有形成在閘極絕緣膜 15 上的氧化物半導體膜 81 及覆蓋該氧化物半導體膜 81 的側面和頂面的氧化物半導體膜 82 的電晶體 10k_3 以及層疊有形成在閘極絕緣

膜 15 上的氧化物半導體膜 81a 及覆蓋該氧化物半導體膜 81a 的側面和頂面的氧化物半導體膜 84 的電晶體 10m_3。

[0181] 藉由以覆蓋氧化物半導體膜 81 的側面和頂面的方式形成氧化物半導體膜 82，在後面的一對電極的形成製程中，可以防止氧化物半導體膜 81 被蝕刻。其結果，可以降低氧化物半導體膜 81 的電晶體的通道寬度方向上的長度的變動，所以是較佳的。另外，藉由以覆蓋氧化物半導體膜 81a 的側面和頂面的方式形成氧化物半導體膜 84，在後面的一對電極的形成製程中，可以防止氧化物半導體膜 81a 被蝕刻。其結果，可以降低氧化物半導體膜 81a 的電晶體的通道寬度方向上的長度的變動，所以是較佳的。

[0182]

<變形例 4>

圖 1 所示的液晶顯示裝置及圖 2 所示的發光裝置也可以具有層疊有三層以上的氧化物半導體膜的電晶體。在此，示出圖 2 所示的發光裝置的變形例。明確而言，如圖 29 所示，包括層疊有氧化物半導體膜的電晶體。明確而言，包括：層疊有形成在閘極絕緣膜 15 上的氧化物半導體膜 83、氧化物半導體膜 83 上的氧化物半導體膜 81 以及覆蓋該氧化物半導體膜 83 的側面及氧化物半導體膜 81 的側面和頂面的氧化物半導體膜 82 的電晶體 10k_4；以及層疊有形成在閘極絕緣膜 15 上的氧化物半導體膜 83a、該氧化物半導體膜 83a 上的氧化物半導體膜 81a 以

及覆蓋該氧化物半導體膜 83a 的側面及氧化物半導體膜 81a 的側面和頂面的氧化物半導體膜 84 的電晶體 10m_4。

[0183] 另外，雖然圖 28 及圖 29 示出設置有導電膜 87 時的例子，但是本發明的一個方式不侷限於此。根據情況，也可以不設置導電膜 87。圖 12 及圖 13 示出此時的例子。

[0184] 另外，在圖 1 及圖 2 等中，在電極 19c、電極 20c、電極 19d、電極 20d 等的下側設置有氧化物半導體膜 82、氧化物半導體膜 84 等，但是本發明的一個方式不侷限於此。也可以在電極 19c、電極 20c、電極 19d、電極 20d 等的上側設置有氧化物半導體膜 82、氧化物半導體膜 84 等。圖 14、圖 15、圖 16、圖 17、圖 18 及圖 19 示出此時的一個例子。圖 14 是包括在電極 19c 及電極 20c 上設置有單層的氧化物半導體膜 82 的電晶體 10k 的液晶顯示裝置的例子，圖 15 是包括在電極 19c 及電極 20c 上設置有單層的氧化物半導體膜 82 的電晶體 10n 的發光裝置的例子。圖 16 是包括在電極 19c 及電極 20c 上設置有兩層的氧化物半導體膜的電晶體 10k 的液晶顯示裝置的例子，圖 17 是包括在電極 19c 及電極 20c 上設置有三層的氧化物半導體膜的電晶體 10n 的發光裝置的例子。另外，圖 18 是包括在電極 19c 及電極 20c 上設置有兩層的氧化物半導體膜的電晶體 10k 的液晶顯示裝置的例子，圖 19 是包括在電極 19c 及電極 20c 上設置有三層的氧化物半導體膜的電晶體 10n 的發光裝置的例子。此外，也可以在圖

18 和圖 19 的結構中也不設置導電膜 87。此時，圖 20 是在圖 18 中不設置導電膜 87 的結構，圖 21 是在圖 19 中不設置導電膜 87 的結構。

[0185]

<變形例 5>

雖然圖 1 所示的電晶體是通道蝕刻型電晶體，但是可以適當地使用通道保護型電晶體。

[0186]

<變形例 6>

雖然圖 1 所示的電晶體是底閘極型電晶體，但是如圖 22A 至圖 22C 所示，作為用於像素電路和/或驅動電路的電晶體也可以使用底接觸型的頂閘極結構。圖 22A 示出電晶體的俯視圖，圖 22B 及圖 22C 示出電晶體的剖面圖。參照圖 22A 的沿著點劃線 A-B 的通道長度方向上的剖面圖及圖 22A 的沿著點劃線 C-D 的通道寬度方向上的剖面圖，對電晶體的結構進行說明。在基板 11 上形成基底絕緣膜 12，在其上形成電極，然後進行圖案化，由此形成電極 19、電極 20。在其上形成氧化物半導體膜 80a、氧化物半導體膜 80。然後，對氧化物半導體膜 80a、氧化物半導體膜 80 進行圖案化，之後形成氧化物半導體膜 80b。在其上形成閘極絕緣膜 15，形成閘極電極 13，並且進行圖案化，然後形成保護膜 21。雖然在圖 22B 中，形成氧化物半導體膜 80a、氧化物半導體膜 80，並且進行圖案化，然後形成氧化物半導體膜 80b，但是也可以在形成

氧化物半導體膜 80a、氧化物半導體膜 80、氧化物半導體膜 80b 之後進行圖案化。另外，雖然在圖 22B 中作為半導體膜採用三層疊層結構，但是也可以採用兩層的疊層結構或單層的半導體膜。

[0187]

<變形例 7>

雖然圖 1 所示的電晶體是底閘極型電晶體，但是如圖 23A 至圖 23C 所示，作為用於像素電路和/或驅動電路的電晶體也可以使用頂接觸型的頂閘極結構。圖 23A 示出電晶體的俯視圖，圖 23B 及圖 23C 示出電晶體的剖面圖。圖 23B 示出圖 23A 的沿著點劃線 A-B 的通道長度方向上的剖面圖，圖 23C 示出圖 23A 的沿著點劃線 C-D 的通道寬度方向上的剖面圖，並且參照它們對電晶體的結構進行說明。

[0188] 在基板 11 上形成基底絕緣膜 12，在其上形成氧化物半導體膜 80a、氧化物半導體膜 80。然後，對氧化物半導體膜 80a、氧化物半導體膜 80 進行圖案化，之後形成氧化物半導體膜 80b。在其上形成電極，然後進行圖案化，由此形成電極 19、電極 20。在其上形成閘極絕緣膜 15，形成閘極電極 13，並且進行圖案化，然後形成保護膜 21。雖然在圖 23B 中，形成氧化物半導體膜 80a、氧化物半導體膜 80，並且進行圖案化，然後形成氧化物半導體膜 80b，但是也可以在形成氧化物半導體膜 80a、氧化物半導體膜 80、氧化物半導體膜 80b 之後進行圖案

化。另外，雖然在圖 23B 中作為半導體膜採用三層疊層結構，但是也可以採用兩層的疊層結構或單層的半導體膜。

[0189] 注意，本實施方式所示的結構、方法等可以與其他的實施方式及實施例所示的結構、方法等適當地組合而實施。

[0190]

實施方式 2

在本實施方式中，對本發明的一個方式的顯示裝置的結構實例進行說明。

[0191]

<結構實例>

圖 6A 是本發明的一個方式的顯示裝置的俯視圖，圖 6B 是說明在將液晶元件用於本發明的一個方式的顯示裝置的像素時可以使用的像素電路的電路圖。另外，圖 6C 是說明在將有機 EL 元件用於本發明的一個方式的顯示裝置的像素時可以使用的像素電路的電路圖。

[0192] 可以根據上述實施方式形成配置在像素部中的電晶體。另外，因為該電晶體可以容易地實現 n 通道型電晶體，所以將能夠使用 n 通道型電晶體構成的驅動電路的一部分與像素部的電晶體形成在同一基板上。如此，藉由作為像素部及驅動電路的結構採用上述實施方式 1 所示的結構，可以提供一種可靠性高的顯示裝置。另外，可以提供一種具有能夠進行高速工作、由於光照射的劣化少且顯示品質良好的像素部的顯示裝置。

[0193] 圖 6A 示出主動矩陣型顯示裝置的方塊圖的一個例子。在顯示裝置的基板 900 上包括：像素部 901；第一掃描線驅動電路 902；第二掃描線驅動電路 903；以及信號線驅動電路 904。在像素部 901 中配置有從信號線驅動電路 904 延伸的多個信號線以及從第一掃描線驅動電路 902 及第二掃描線驅動電路 903 延伸的多個掃描線。此外，在掃描線與信號線的交叉區中以矩陣狀設置有分別具有顯示元件的像素。另外，顯示裝置的基板 900 藉由 FPC（Flexible Printed Circuit：撓性印刷電路）等的連接部連接到時序控制電路（也稱為控制器、控制 IC）。

[0194] 在圖 6A 中，在與像素部 901 同一基板 900 上形成第一掃描線驅動電路 902、第二掃描線驅動電路 903、信號線驅動電路 904。由此，設置在外部的驅動電路等的構件的數量減少，從而能夠實現成本的降低。另外，當在基板 900 的外部設置驅動電路時，需要使佈線延伸，且佈線之間的連接數量增加。當在同一基板 900 上設置驅動電路時，可以減少該佈線之間的連接數，從而可以提高可靠性或良率。

[0195] 藉由作為像素部及驅動電路的結構採用上述實施方式 1 所示的結構，可以使用場效移動率高的電晶體製造第一掃描線驅動電路 902、第二掃描線驅動電路 903、信號線驅動電路 904。因此，可以在信號線驅動電路 904 中形成解多工器電路。因為解多工器電路是將一個輸入信號分配到多個輸出的電路，所以藉由使用解多工器

電路可以減少用於輸入信號的輸入端子。例如，當一個像素包括紅色用子像素、綠色用子像素及藍色用子像素和對應於各像素的解多工器電路時，輸入信號可以藉由解多工器電路被分配而輸入到各子像素，由此可以將輸入端子的數量減少到 1/3。

[0196]

<液晶顯示裝置>

另外，圖 6B 示出像素的電路結構的一個例子。在此，示出可以用於 VA 方式的液晶顯示裝置的像素的像素電路。

[0197] 可以將該像素電路應用於一個像素具有多個像素電極的結構。各像素電極分別與不同的電晶體連接，以藉由不同閘極信號驅動各電晶體。由此，在以多域設計的像素中，可以獨立地控制施加到各像素電極的信號。

[0198] 電晶體 916 的閘極佈線 912 和電晶體 917 的閘極佈線 913 彼此分離，以便能夠被提供不同的閘極信號。另一方面，電晶體 916 和電晶體 917 共同使用用作資料線的源極電極或汲極電極 914。作為電晶體 916 及電晶體 917，可以適當地利用上述實施方式所示的電晶體。由此可以提供可靠性高的液晶顯示裝置。

[0199] 以下說明與電晶體 916 電連接的第一像素電極及與電晶體 917 電連接的第二像素電極的形狀。第一像素電極和第二像素電極的形狀被狹縫彼此分離。第一像素電極呈擴展為 V 字型的形狀，第二像素電極以圍繞第一像

素電極的外側的方式形成。

[0200] 電晶體 916 的閘極電極連接到閘極佈線 912，而電晶體 917 的閘極電極連接到閘極佈線 913。藉由對閘極佈線 912 和閘極佈線 913 施加不同的閘極信號，可以使電晶體 916 及電晶體 917 的工作時序互不相同來控制液晶配向。

[0201] 另外，也可以由電容佈線 910、用作電介質的閘極絕緣膜以及與第一像素電極或第二像素電極電連接的電容電極形成儲存電容器。

[0202] 多域結構在一個像素中設置有第一液晶元件 918 和第二液晶元件 919。第一液晶元件 918 由第一像素電極、反電極以及它們之間的液晶層構成，而第二液晶元件 919 由第二像素電極、反電極以及它們之間的液晶層構成。

[0203] 此外，圖 6B 所示的像素電路不侷限於此。例如，也可以還對圖 6B 所示的像素追加開關、電阻元件、電容元件、電晶體、感測器或邏輯電路等。

[0204] 例如，雖然在此使用 VA 型液晶顯示裝置進行說明，但是也可以適當地使用如下模式：TN 模式；VA 模式；ASM（Axially Symmetric Aligned Micro-cell：軸對稱排列微單元）模式；OCB（Optically Compensated Birefringence：光學補償彎曲）模式；MVA 模式；PVA（Patterned Vertical Alignment：垂直配向構型）模式；IPS 模式；FFS 模式；或 TBA（Transverse Bend

Alignment：橫向彎曲配向）模式等。但是，不侷限於此，作為液晶元件及其驅動方式可以使用各種液晶元件及驅動方式。

[0205] 另外，也可以使用包含呈現藍相（Blue Phase）的液晶和手性試劑的液晶組成物構成液晶元件。呈現藍相的液晶的回應速度快，為 1msec 以下，並且由於其具有光學各向同性，所以不需要配向處理，且視角依賴性小。

[0206]

<發光裝置>

圖 6C 示出像素的電路結構的其他例子。在此，示出使用有機 EL 元件的顯示裝置的像素結構。

[0207] 在有機 EL 元件中，藉由對發光元件施加電壓，電子和電洞從一對電極分別注入到包含發光有機化合物的層，而產生電流。然後，藉由使電子和電洞再結合，發光有機化合物到達激發態，並且當該激發態恢復到基態時，獲得發光。根據這種機制，該發光元件被稱為電流激發型發光元件。

[0208] 圖 6C 是示出可以應用的像素電路的一個例子的圖。這裡示出在像素中使用 n 通道型電晶體的例子。另外，該像素電路可以採用數位時間灰階驅動。

[0209] 以下說明可以應用的像素電路的結構及採用數位時間灰階驅動時的像素的工作。

[0210] 像素 920 包括開關電晶體 921、驅動電晶體

922、發光元件 924 以及電容元件 923。在開關電晶體 921 中，閘極電極與掃描線 926 連接，第一電極（源極電極和汲極電極中的一個）與信號線 925 連接，並且第二電極（源極電極和汲極電極中的另一個）與驅動電晶體 922 的閘極電極連接。在驅動電晶體 922 中，閘極電極藉由電容元件 923 與電源線 927 連接，第一電極與電源線 927 連接，第二電極與發光元件 924 的第一電極（像素電極）連接。發光元件 924 的第二電極相當於共同電極 928。共同電極 928 與形成在同一基板上的共用電位線電連接。

[0211] 作為開關電晶體 921 及驅動電晶體 922，可以適當地利用上述實施方式所示的電晶體。由此可以提供可靠性高的有機 EL 顯示裝置。

[0212] 將發光元件 924 的第二電極（共同電極 928）的電位設定為低電源電位。注意，低電源電位是指低於供應到電源線 927 的高電源電位的電位，例如可以以 GND、0V 等為低電源電位。將高電源電位與低電源電位的電位差設定為發光元件 924 的正向臨界電壓以上，將該電位差施加到發光元件 924 上來使電流流過發光元件 924，以使發光元件 924 發光。發光元件 924 的正向電壓是指獲得所希望的亮度時的電壓，至少包含正向臨界電壓。

[0213] 另外，還可以使用驅動電晶體 922 的閘極電容代替電容元件 923 而省略電容元件 923。至於驅動電晶體 922 的閘極電容，也可以在半導體膜和閘極電極之間形

成電容。

[0214] 接著，說明輸入到驅動電晶體 922 的信號。當採用電壓輸入電壓驅動方式時，對驅動電晶體 922 輸入使驅動電晶體 922 充分處於開啟狀態或關閉狀態的兩個狀態的視訊信號。為了使驅動電晶體 922 在線性區域中工作，將比電源線 927 的電壓高的電壓施加到驅動電晶體 922 的閘極電極。另外，對信號線 925 施加電源線電壓+驅動電晶體 922 的臨界電壓 V_{th} 的值以上的電壓。

[0215] 當進行類比灰階驅動時，對驅動電晶體 922 的閘極電極施加發光元件 924 的正向電壓+驅動電晶體 922 的臨界電壓 V_{th} 的值以上的電壓。另外，藉由輸入使驅動電晶體 922 在飽和區域中工作的視訊信號，使電流流過發光元件 924。為了使驅動電晶體 922 在飽和區域中工作，使電源線 927 的電位高於驅動電晶體 922 的閘極電位。藉由採用類比方式的視訊信號，可以使與視訊信號對應的電流流過發光元件 924 中，而進行類比灰階驅動。

[0216] 注意，像素電路的結構不侷限於圖 6C 所示的像素結構。例如，還可以在圖 6C 所示的像素電路中加上開關、電阻元件、電容元件、感測器、電晶體或邏輯電路等。

[0217] 當將上述實施方式所例示的電晶體應用於圖 6B 至圖 6C 所例示的電路時，源極電極（第一電極）及汲極電極（第二電極）分別電連接到低電位一側及高電位一側。再者，可以由控制電路等控制第一閘極電極（及第三

閘極電極）的電位，並且可以藉由未圖示的佈線將比供應到源極電極的電位低的電位輸入到第二閘極電極。

[0218] 本實施方式可以與本說明書所記載的其他實施方式適當地組合而實施。

[0219]

實施方式 3

在本實施方式中，對能夠用於包含在上述實施方式 1 所說明的半導體裝置中的電晶體的氧化物半導體膜的一個方式進行說明。

[0220] 氧化物半導體膜也可以由單晶結構的氧化物半導體（以下，稱為單晶氧化物半導體）、多晶結構的氧化物半導體（以下，稱為多晶氧化物半導體）、微晶結構的氧化物半導體（以下，稱為微晶氧化物半導體）和非晶結構的氧化物半導體（以下，稱為非晶氧化物半導體）中的一種以上構成。氧化物半導體膜也可以由 CAAC-OS 膜構成。另外，氧化物半導體膜也可以由非晶氧化物半導體及具有晶粒的氧化物半導體構成。下面，對 CAAC-OS 及微晶氧化物半導體進行說明。

[0221] 首先，對 CAAC-OS 膜進行說明。注意，也可以將 CAAC-OS 稱為具有 CANC（C-Axis Aligned nanocrystals：c 軸配向奈米晶）的氧化物半導體。

[0222] CAAC-OS 膜是包含多個 c 軸配向的結晶部（也稱為顆粒）的氧化物半導體膜之一。

[0223] 在利用穿透式電子顯微鏡（TEM：

Transmission Electron Microscope）觀察所得到的 CAAC-OS 的明視場影像與繞射圖案的複合分析影像（也稱為高解析度 TEM 影像）中，觀察到多個顆粒。然而，在高解析度 TEM 影像中，觀察不到顆粒與顆粒之間的明確的邊界，即晶界（grain boundary）。因此，可以說在 CAAC-OS 中，不容易發生起因於晶界的電子移動率的降低。

[0224] 下面，對利用 TEM 觀察的 CAAC-OS 進行說明。圖 7A 示出從大致平行於樣本面的方向觀察所得到的 CAAC-OS 的剖面的高解析度 TEM 影像。利用球面像差校正（Spherical Aberration Corrector）功能得到高解析度 TEM 影像。將利用球面像差校正功能所得到的高解析度 TEM 影像特別稱為 Cs 校正高解析度 TEM 影像。例如可以使用日本電子株式會社製造的原子解析度分析型電子顯微鏡 JEM-ARM200F 等得到 Cs 校正高解析度 TEM 影像。

[0225] 圖 7B 示出將圖 7A 中的區域（1）放大的 Cs 校正高解析度 TEM 影像。由圖 7B 可以確認到在顆粒中金屬原子排列為層狀。各金屬原子層具有反映了形成 CAAC-OS 的面（也稱為被形成面）或 CAAC-OS 的頂面的凸凹的配置並以平行於 CAAC-OS 的被形成面或頂面的方式排列。

[0226] 如圖 7B 所示，CAAC-OS 具有特有的原子排列。圖 7C 是以輔助線示出特有的原子排列的圖。由圖 7B 和圖 7C 可知，一個顆粒的尺寸為 1nm 以上且 3nm 以下左右，由顆粒與顆粒之間的傾斜產生的空隙的尺寸為 0.8nm

左右。因此，也可以將顆粒稱為奈米晶（nc：nanocrystal）。

[0227] 在此，根據 Cs 校正高解析度 TEM 影像，將基板 5120 上的 CAAC-OS 的顆粒 5100 的配置示意性地表示為堆積磚塊或塊體的結構（參照圖 7D）。在圖 7C 中觀察到的在顆粒與顆粒之間產生傾斜的部分相當於圖 7D 所示的區域 5161。

[0228] 圖 30A 示出從大致垂直於樣本面的方向觀察所得到的 CAAC-OS 的平面的 Cs 校正高解析度 TEM 影像。圖 30B、圖 30C 和圖 30D 分別示出將圖 30A 中的區域（1）、區域（2）和區域（3）放大的 Cs 校正高解析度 TEM 影像。由圖 30B、圖 30C 和圖 30D 可知在顆粒中金屬原子排列為三角形狀、四角形狀或六角形狀。但是，在不同的顆粒之間金屬原子的排列沒有規律性。

[0229] 接著，說明使用 X 射線繞射（XRD：X-Ray Diffraction）裝置進行分析的 CAAC-OS。例如，當利用 out-of-plane 法分析包含 $InGaZnO_4$ 結晶的 CAAC-OS 的結構時，如圖 31A 所示，在繞射角（2θ）為 31°附近時常出現峰值。由於該峰值來源於 $InGaZnO_4$ 結晶的（009）面，由此可知 CAAC-OS 中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。

[0230] 注意，當利用 out-of-plane 法分析 CAAC-OS 的結構時，除了 2θ為 31°附近的峰值以外，有時在 2θ為 36°附近時也出現峰值。2θ為 36°附近的峰值表示 CAAC-

OS 中的一部分包含不具有 c 軸配向性的結晶。較佳的是，在利用 out-of-plane 法分析的 CAAC-OS 的結構中，在 2θ為 31°附近時出現峰值而在 2θ為 36°附近時不出現峰值。

[0231] 另一方面，當利用從大致垂直於 c 軸的方向使 X 射線入射到樣本的 in-plane 法分析 CAAC-OS 的結構時，在 2θ為 56°附近時出現峰值。該峰值來源於 $InGaZnO_4$ 結晶的（110）面。在 CAAC-OS 中，即使將 2θ固定為 56°附近並在以樣本面的法線向量為軸（ϕ軸）旋轉樣本的條件下進行分析（ϕ掃描），也如圖 31B 所示的那樣觀察不到明確的峰值。相比之下，在 $InGaZnO_4$ 的單晶氧化物半導體中，在將 2θ固定為 56°附近來進行ϕ掃描時，如圖 31C 所示的那樣觀察到來源於相等於（110）面的結晶面的六個峰值。因此，由使用 XRD 的結構分析可以確認到 CAAC-OS 中的 a 軸和 b 軸的配向沒有規律性。

[0232] 接著，說明利用電子繞射進行分析的 CAAC-OS。例如，當對包含 $InGaZnO_4$ 結晶的 CAAC-OS 在平行於樣本面的方向上入射束徑為 300nm 的電子線時，可能會獲得圖 32A 所示的繞射圖案（也稱為選區透過電子繞射圖案）。在該繞射圖案中包含起因於 $InGaZnO_4$ 結晶的（009）面的斑點。因此，由電子繞射也可知 CAAC-OS 所包含的顆粒具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。另一方面，圖 32B 示出對相同的樣本在垂直於樣本面的方向上入射束徑為 300nm 的電子線

時的繞射圖案。由圖 32B 觀察到環狀的繞射圖案。因此，由電子繞射也可知 CAAC-OS 所包含的顆粒的 a 軸和 b 軸不具有配向性。可以認為圖 32B 中的第一環起因於 $InGaZnO_4$ 結晶的（010）面和（100）面等。另外，可以認為圖 32B 中的第二環起因於（110）面等。

[0233] 另外，CAAC-OS 是缺陷態密度低的氧化物半導體。氧化物半導體的缺陷例如有起因於雜質的缺陷、氧缺損等。因此，可以將 CAAC-OS 稱為雜質濃度低的氧化物半導體或者氧缺損少的氧化物半導體。

[0234] 包含於氧化物半導體的雜質有時會成為載子陷阱或載子發生源。另外，氧化物半導體中的氧缺損有時會成為載子陷阱或因俘獲氫而成為載子發生源。

[0235] 此外，雜質是指氧化物半導體的主要成分以外的元素，諸如氫、碳、矽和過渡金屬元素等。例如，與氧的鍵合力比構成氧化物半導體的金屬元素強的矽等元素會奪取氧化物半導體中的氧，由此打亂氧化物半導體的原子排列，導致結晶性下降。另外，由於鐵或鎳等的重金屬、氬、二氧化碳等的原子半徑（或分子半徑）大，所以會打亂氧化物半導體的原子排列，導致結晶性下降。

[0236] 缺陷態密度低（氧缺損少）的氧化物半導體可以具有低載子密度。將這樣的氧化物半導體稱為高純度本質或實質上高純度本質的氧化物半導體。CAAC-OS 的雜質濃度和缺陷態密度低。也就是說，CAAC-OS 容易成為高純度本質或實質上高純度本質的氧化物半導體。因

此，使用 CAAC-OS 的電晶體很少具有負臨界電壓的電特性（很少成為常開啟）。高純度本質或實質上高純度本質的氧化物半導體的載子陷阱少。被氧化物半導體的載子陷阱俘獲的電荷需要很長時間才能被釋放，並且有時像固定電荷那樣動作。因此，使用雜質濃度高且缺陷態密度高的氧化物半導體的電晶體有時電特性不穩定。但是，使用CAAC-OS的電晶體電特性變動小且可靠性高。

[0237] 由於 CAAC-OS 的缺陷態密度低，所以因光照射等而生成的載子很少被缺陷能階俘獲。因此，在使用CAAC-OS 的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。

[0238] 接著說明微晶氧化物半導體膜。

[0239] 在微晶氧化物半導體的高解析度 TEM 影像中有能夠觀察到結晶部的區域和觀察不到明確的結晶部的區域。微晶氧化物半導體所包含的結晶部的尺寸大多為 1nm 以上且 100nm 以下或 1nm 以上且 10nm 以下。尤其是，將包含尺寸為 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下的微晶的奈米晶的氧化物半導體稱為 nc-OS（nanocrystalline Oxide Semiconductor：奈米晶氧化物半導體）。例如，在 nc-OS 的高解析度 TEM 影像中，有時無法明確地觀察到晶界。注意，奈米晶的來源有可能與CAAC-OS 中的顆粒相同。因此，下面有時將 nc-OS 的結晶部稱為顆粒。

[0240] 在 nc-OS 中，微小的區域（例如 1nm 以上且

10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中的原子排列具有週期性。另外，nc-OS 在不同的顆粒之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時 nc-OS 在某些分析方法中與非晶氧化物半導體沒有差別。例如，當利用使用其束徑比顆粒大的 X 射線的 XRD 裝置藉由 out-of-plane 法對 nc-OS 進行結構分析時，檢測不到表示結晶面的峰值。在使用其束徑比顆粒大（例如，50nm 以上）的電子射線對 nc-OS 進行電子繞射（選區電子繞射）時，觀察到類似光暈圖案的繞射圖案。另一方面，在使用其束徑近於顆粒或者比顆粒小的電子射線對 nc-OS 進行奈米束電子繞射時，觀察到斑點。另外，在 nc-OS 的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的（環狀的）亮度高的區域。而且，在 nc-OS 的奈米束電子繞射圖案中，有時還觀察到環狀的區域內的多個斑點。

[0241] 如此，由於在顆粒（奈米晶）之間結晶定向都沒有規律性，所以也可以將 nc-OS 稱為包含 RANC（Random Aligned nanocrystals：無規配向奈米晶）的氧化物半導體或包含 NANC（Non-Aligned nanocrystals：無配向奈米晶）的氧化物半導體。

[0242] nc-OS 是規律性比非晶氧化物半導體高的氧化物半導體。因此，nc-OS 的缺陷態密度比非晶氧化物半導體低。但是，在 nc-OS 中的不同的顆粒之間觀察不到晶體配向的規律性。所以，nc-OS 的缺陷態密度比 CAAC-OS

高。

[0243] 接著，說明非晶氧化物半導體。

[0244] 非晶氧化物半導體是膜中的原子排列沒有規律且不具有結晶部的氧化物半導體。其一個例子為具有如石英那樣的無定形態的氧化物半導體。

[0245] 在非晶氧化物半導體的高解析度 TEM 影像中無法發現結晶部。

[0246] 在使用 XRD 裝置藉由 out-of-plane 法對非晶氧化物半導體進行結構分析時，檢測不到表示結晶面的峰值。在對非晶氧化物半導體進行電子繞射時，觀察到光暈圖案。在對非晶氧化物半導體進行奈米束電子繞射時，觀察不到斑點而只觀察到光暈圖案。

[0247] 關於非晶結構有各種見解。例如，有時將原子排列完全沒有規律性的結構稱為完全的非晶結構（completely amorphous structure）。也有時將到最接近原子間距或到第二接近原子間距具有規律性，並且不是長程有序的結構稱為非晶結構。因此，根據最嚴格的定義，即使是略微具有原子排列的規律性的氧化物半導體也不能被稱為非晶氧化物半導體。至少不能將長程有序的氧化物半導體稱為非晶氧化物半導體。因此，由於具有結晶部，例如不能將 CAAC-OS 和 nc-OS 稱為非晶氧化物半導體或完全的非晶氧化物半導體。

[0248] 注意，氧化物半導體有時具有介於 nc-OS 與非晶氧化物半導體之間的結構。將具有這樣的結構的氧化

物半導體特別稱為 amorphous-like 氧化物半導體（a-like OS：amorphous-like Oxide Semiconductor）。

[0249] 在 a-like OS 的高解析度 TEM 影像中有時觀察到空洞（void）。另外，在高解析度 TEM 影像中，有能夠明確地觀察到結晶部的區域和不能觀察到結晶部的區域。

[0250] 由於 a-like OS 包含空洞，所以其結構不穩定。為了證明與 CAAC-OS 及 nc-OS 相比 a-like OS 具有不穩定的結構，下面示出電子照射所導致的結構變化。

[0251] 作為進行電子照射的樣本，準備 a-like OS（樣本 A）、nc-OS（樣本 B）和 CAAC-OS（樣本 C）。每個樣本都是 In-Ga-Zn 氧化物。

[0252] 首先，取得各樣本的高解析度剖面 TEM 影像。由高解析度剖面 TEM 影像可知，每個樣本都具有結晶部。

[0253] 注意，如下那樣決定將哪個部分作為一個結晶部。例如，已知 $InGaZnO_4$ 結晶的單位晶格具有包括三個 In-O 層和六個 Ga-Zn-O 層的 9 個層在 c 軸方向上以層狀層疊的結構。這些彼此靠近的層的間隔與（009）面的晶格表面間隔（也稱為 d 值）是幾乎相等的，由結晶結構分析求出其值為 0.29nm。由此，可以將晶格條紋的間隔為 0.28nm 以上且 0.30nm 以下的部分作為 $InGaZnO_4$ 結晶部。每個晶格條紋對應於 $InGaZnO_4$ 結晶的 a-b 面。

[0254] 圖 33 示出調查了各樣本的結晶部（22 個部分

至 45 個部分）的平均尺寸的例子。注意，結晶部尺寸對應於上述晶格條紋的長度。由圖 33 可知，在 a-like OS 中，結晶部根據電子的累積照射量逐漸變大。明確而言，如圖 33 中的（1）所示，可知在利用 TEM 的觀察初期尺寸為 1.2nm 左右的結晶部（也稱為初始晶核）在累積照射量為 $4.2\times10^{8}e^{-}/nm^{2}$ 時生長到 2.6nm 左右。另一方面，可知 nc-OS 和 CAAC-OS 在開始電子照射時到電子的累積照射量為 $4.2\times10^{8}e^{-}/nm^{2}$ 的範圍內，結晶部的尺寸都沒有變化。明確而言，如圖 33 中的（2）及（3）所示，可知無論電子的累積照射量如何，nc-OS 及 CAAC-OS 的平均結晶部尺寸都分別為 1.4nm 左右及 2.1nm 左右。

[0255] 如此，有時電子照射引起 a-like OS 中的結晶部的生長。另一方面，可知在 nc-OS 和 CAAC-OS 中，幾乎沒有電子照射所引起的結晶部的生長。也就是說，a-like OS 與 CAAC-OS 及 nc-OS 相比具有不穩定的結構。

[0256] 此外，由於 a-like OS 包含空洞，所以其密度比 nc-OS 及 CAAC-OS 低。具體地，a-like OS 的密度為具有相同組成的單晶氧化物半導體的 78.6%以上且小於 92.3%。nc-OS 的密度及 CAAC-OS 的密度為具有相同組成的單晶氧化物半導體的 92.3%以上且小於 100%。注意，難以形成其密度小於單晶氧化物半導體的密度的 78%的氧化物半導體。

[0257] 例如，在原子數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體中，具有菱方晶系結構的單晶 $InGaZnO_4$ 的密

度為 6.357g/cm^3。因此，例如，在原子數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體中，a-like OS 的密度為 5.0g/cm^3 以上且小於 5.9g/cm^3。另外，例如，在原子數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體中，nc-OS 的密度和 CAAC-OS 的密度為 5.9g/cm^3 以上且小於 6.3g/cm^3。

[0258] 注意，有時不存在相同組成的單晶。此時，藉由以任意比例組合組成不同的單晶氧化物半導體，可以估計出相當於所希望的組成的單晶氧化物半導體的密度。根據組成不同的單晶的組合比例使用加權平均計算出相當於所希望的組成的單晶氧化物半導體的密度即可。注意，較佳的是，盡可能減少所組合的單晶氧化物半導體的種類來計算密度。

[0259] 如上所述，氧化物半導體具有各種結構及各種特性。注意，氧化物半導體例如可以是包括非晶氧化物半導體、a-like OS、微晶氧化物半導體和 CAAC-OS 中的兩種以上的疊層膜。

[0260] 當氧化物半導體膜具有多種結構時，有時可以利用奈米束電子繞射來進行結構分析。

[0261] 圖 8C 示出一種透過電子繞射測量裝置，包括：電子槍室 310；電子槍室 310 下的光學系統 312；光學系統 312 下的樣本室 314；樣本室 314 下的光學系統 316；光學系統 316 下的觀察室 320；設置在觀察室 320 的拍攝裝置 318；以及觀察室 320 下的膠片室 322。以朝向觀察室 320 的內部的方式設置拍攝裝置 318。另外，該

透過電子繞射測量裝置也可以不包括膠片室 322。

[0262] 圖 8D 示出圖 8C 所示的透過電子繞射測量裝置的內部結構。在透過電子繞射測量裝置內部，從設置在電子槍室 310 的電子槍發射的電子藉由光學系統 312 照射到配置在樣本室 314 的物質 328。穿過物質 328 的電子藉由光學系統 316 入射到設置在觀察室 320 內部的螢光板 332 中。在螢光板 332 中，藉由呈現對應於所入射的電子的強度的圖案，可以測量透過電子繞射圖案。

[0263] 由於拍攝裝置 318 朝向螢光板 332，所以可以拍攝呈現於螢光板 332 的圖案。穿過拍攝裝置 318 的透鏡的中間部及螢光板 332 的中間部的直線和螢光板 332 的頂面所形成的角度例如為 15°以上且 80°以下，30°以上且 75°以下或 45°以上且 70°以下。該角度越小，由拍攝裝置 318 拍攝的透過電子繞射圖案的歪曲越大。但是，如果預先知道該角度，則能夠校正所得到的透過電子繞射圖案的歪曲。另外，有時也可以將拍攝裝置 318 設置在膠片室 322。例如，也可以以與電子 324 的入射方向相對的方式將拍攝裝置 318 設置在膠片室 322。在此情況下，可以從螢光板 332 的背面拍攝歪曲少的透過電子繞射圖案。

[0264] 樣本室 314 設置有用來固定樣本的物質 328 的支架。支架具有使穿過物質 328 的電子透過的結構。例如，支架也可以具有將物質 328 移動到 X 軸、Y 軸、Z 軸等的功能。支架的移動功能例如具有在 1nm 以上且 10nm 以下、5nm 以上且 50nm 以下、10nm 以上且 100nm 以

下、50nm 以上且 500nm 以下、100nm 以上且 1μm 以下等的範圍內移動的精度即可。至於這些範圍，根據物質 328 的結構設定最適合的範圍即可。

[0265] 接著，說明使用上述透過電子繞射測量裝置測量物質的透過電子繞射圖案的方法。

[0266] 例如，如圖 8D 所示，藉由改變物質中的作為奈米束的電子 324 的照射位置（進行掃描），可以觀察到物質的結構逐漸產生變化的狀況。此時，如果物質 328 是 CAAC-OS 膜，則可以觀察到圖 8A 所示那樣的繞射圖案。或者，如果物質 328 是 nc-OS 膜，則可以觀察到圖 8B 所示那樣的繞射圖案。

[0267] 即使物質 328 是 CAAC-OS 膜，有時也部分地觀察到與 nc-OS 膜等同樣的繞射圖案。因此，有時可以以在一定範圍內觀察到 CAAC-OS 膜的繞射圖案的區域的比例（也稱為 CAAC 化率）代表 CAAC-OS 膜的優劣。例如，優良的 CAAC-OS 膜的 CAAC 化率為 50%以上，較佳為 80%以上，更佳為 90%以上，進一步較佳為 95%以上。另外，將觀察到與 CAAC-OS 膜不同的繞射圖案的區域的比例記載為非 CAAC 化率。

[0268] 作為一個例子，對具有剛進行成膜之後（表示為 as-sputtered）的 CAAC-OS 膜或在包含氧的氛圍中以 450℃進行加熱處理之後的 CAAC-OS 膜的各樣本的頂面一邊進行掃描一邊得到透過電子繞射圖案。在此，一邊以 5nm/秒鐘的速度進行掃描 60 秒鐘一邊觀察繞射圖案，且

每隔 0.5 秒鐘將觀察到的繞射圖案轉換為靜態影像，從而導出 CAAC 化率。注意，作為電子線使用束徑為 1nm 的奈米束。另外，對六個樣本進行同樣的測量。並且，利用六個樣本的平均值算出 CAAC 化率。

[0269] 圖 9A 示出各樣本的 CAAC 化率。剛進行成膜之後的 CAAC-OS 膜的 CAAC 化率為 75.7%（非 CAAC 化率為 24.3%）。此外，進行 450℃ 的加熱處理之後的 CAAC-OS 膜的 CAAC 化率為 85.3%（非 CAAC 化率為 14.7%）。由此可知，與剛進行成膜之後相比，450℃ 的加熱處理之後的 CAAC 化率較高。也就是說，可知高溫（例如 400℃ 以上）下的加熱處理使非 CAAC 化率（提高 CAAC 化率）降低。此外，在進行低於 500℃ 的加熱處理時也可以得到具有高 CAAC 化率的 CAAC-OS 膜。

[0270] 在此，與 CAAC-OS 膜不同的繞射圖案的大部分是與 nc-OS 膜同樣的繞射圖案。此外，在測量區域中觀察不到非晶氧化物半導體膜。由此可知，藉由加熱處理，具有與 nc-OS 膜同樣的結構的區域受到鄰接的區域的結構的影響而重新排列，並 CAAC 化。

[0271] 圖 9B 及圖 9C 分別是剛進行成膜之後的 CAAC-OS 膜的平面 TEM 影像及進行 450℃ 的加熱處理之後的 CAAC-OS 膜的平面 TEM 影像。藉由對圖 9B 和圖 9C 進行比較，可知 450℃ 的加熱處理之後的 CAAC-OS 膜的性質更均勻。也就是說，可知高溫的加熱處理提高 CAAC-OS 膜的性質。

[0272] 藉由採用這種測量方法，有時可以對具有多種結構的氧化物半導體膜進行結構分析。

[0273] 注意，本實施方式所示的結構、方法等可以與其他的實施方式及實施例所示的結構、方法等適當地組合而實施。

[0274]

實施方式 4

在本實施方式中，說明使用本發明的一個方式的半導體裝置的顯示模組。另外，說明使用本發明的一個方式的半導體裝置的電子裝置的結構實例。

[0275] 在圖 10 所示的顯示模組 8000 中，在上蓋 8001 與下蓋 8002 之間設置有連接於 FPC8003 的觸控面板 8004、連接於 FPC8005 的顯示裝置單元 8006、背光單元 8007、框架 8009、印刷電路板 8010 和電池 8011。注意，有時沒有設置背光單元 8007、電池 8011、觸控面板 8004 等。

[0276] 本發明的一個方式的半導體裝置例如可以用於顯示裝置單元 8006。

[0277] 上蓋 8001 和下蓋 8002 的形狀和尺寸能夠根據觸控面板 8004 和顯示裝置單元 8006 的尺寸適當地改變。

[0278] 觸控面板 8004 可以為電阻膜式觸控面板或靜電容量式觸控面板，並且能夠被形成為與顯示裝置單元 8006 重疊。顯示裝置單元 8006 的反基板（密封基板）能

夠具有觸控面板功能。或者，光感測器可以被設置於顯示裝置單元 8006 的每個像素內，以製成光學式觸控面板。或者，觸控面板用電極被設置於顯示裝置單元 8006 的每個像素內，以製成電容型觸控面板。

[0279] 背光單元 8007 包括光源 8008。可以將光源 8008 設置於背光單元 8007 的端部，並且可以使用光擴散板。

[0280] 框架 8009 保護顯示裝置單元 8006，並且還用作阻擋由印刷電路板 8010 的操作所產生的電磁波的電磁屏蔽。框架 8009 可以用作散熱板。

[0281] 印刷電路板 8010 包括電源電路以及用於輸出視訊信號和時脈信號的信號處理電路。作為對電源電路供應功率的電源，可以使用外部商用電源或者使用單獨提供的電池 8011 的電源。在使用商用電源時，可以省略電池 8011。

[0282] 顯示模組 8000 可以另外設置有諸如偏光板、相位差板、稜鏡片等的部件。

[0283] 圖 11A 至圖 11D 是包括本發明的一個方式的半導體裝置的電子裝置的外觀圖。

[0284] 作為電子裝置，例如可以舉出電視機（也稱為電視或電視接收機）、用於電腦等的顯示器、數位相機、數位攝影機等影像拍攝裝置、數位相框、行動電話機（也稱為行動電話、行動電話裝置）、可攜式遊戲機、可攜式資訊終端、音頻再生裝置、彈珠機（pachinko

machine）等大型遊戲機等。

[0285] 圖 11A 示出可攜式資訊終端，包括主體 1001、外殼 1002、顯示部 1003a 和顯示部 1003b 等。顯示部 1003b 是觸控面板，藉由觸摸顯示在顯示部 1003b 上的鍵盤按鈕 1004，可以操作螢幕且輸入文字。當然，也可以採用將顯示部 1003a 用作觸控面板的結構。藉由將上述實施方式所示的電晶體用作切換元件製造液晶顯示裝置或有機發光面板，並將其用於顯示部 1003a、顯示部 1003b，可以實現可靠性高的可攜式資訊終端。

[0286] 圖 11A 所示的可攜式資訊終端可以具有如下功能：顯示各種資訊（靜止影像、動態影像、文字影像等）；將日曆、日期或時刻等顯示在顯示部上；對顯示在顯示部上的資訊進行操作或編輯；利用各種軟體（程式）控制處理；等。另外，也可以採用在外殼的背面或側面具備外部連接端子（耳機端子、USB 端子等）、儲存介質插入部等的結構。

[0287] 另外，圖 11A 所示的可攜式資訊終端可以採用以無線方式發送且接收資訊的結構。還可以採用以無線方式從電子書伺服器購買所希望的書籍資料等並下載的結構。

[0288] 圖 11B 示出可攜式音樂播放機，其中主體 1021 包括顯示部 1023、用來戴在耳朵上的固定部 1022、揚聲器、操作按鈕 1024 以及外部儲存槽 1025 等。藉由將上述實施方式所示的電晶體用作切換元件製造液晶顯示裝

置或有機發光面板，並將其用於顯示部 1023，可以實現可靠性高的可攜式音樂播放機。

[0289] 另外，當對圖 11B 所示的可攜式音樂播放機添加天線、麥克風功能及無線功能且與行動電話一起使用時，可以在開車的同時進行無線免提通話。

[0290] 圖 11C 示出行動電話，由外殼 1030 及外殼 1031 的兩個外殼構成。外殼 1031 具備顯示裝置 1032、揚聲器 1033、麥克風 1034、指向裝置 1036、照相機用透鏡 1037、外部連接端子 1038 等。另外，外殼 1030 具備進行行動電話的充電的太陽能電池 1040、外部儲存槽 1041 等。另外，天線內置於外殼 1031 內部。藉由將上述實施方式所示的電晶體用於顯示裝置 1032，可以實現可靠性高的行動電話。

[0291] 另外，顯示裝置 1032 具備觸控面板，在圖 11C 中，使用虛線示出作為影像被顯示出來的多個操作鍵 1035。另外，還安裝有用來將由太陽能電池 1040 輸出的電壓升壓到各電路所需的電壓的升壓電路。

[0292] 顯示裝置 1032 根據使用模式適當地改變顯示的方向。另外，由於與顯示裝置 1032 在同一面上設置有照相機用透鏡 1037，所以可以實現視頻電話。揚聲器 1033 及麥克風 1034 不侷限於音訊通話，還可以進行視頻通話、錄音、再生等。再者，外殼 1030 和外殼 1031 可以滑動而從如圖 11C 那樣的展開狀態變成為重疊狀態，所以可以實現便於攜帶的小型化。

[0293] 外部連接端子 1038 可以與 AC 轉接器及各種電纜如 USB 電纜等連接，由此可以進行充電及與個人電腦等的資料通訊。另外，藉由將儲存介質插入外部儲存槽 1041，可以對應於更大量資料的保存及移動。

[0294] 另外，除了上述功能之外，還可以具有紅外線通信功能、電視接收功能等。

[0295] 圖 11D 示出電視機的一個例子。在電視機 1050 中，外殼 1051 組裝有顯示部 1053。可以用顯示部 1053 顯示影像。此外，將 CPU 內置於支撐外殼 1051 的支架 1055。藉由將上述實施方式所示的電晶體用於顯示部 1053 及 CPU，可以實現可靠性高的電視機 1050。

[0296] 可以藉由外殼 1051 所具備的操作開關或另行提供的遙控器進行電視機 1050 的操作。此外，也可以採用在遙控器中設置顯示從該遙控器輸出的資訊的顯示部的結構。

[0297] 另外，電視機 1050 採用具備接收機、數據機等的結構。可以藉由利用接收機接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通信網路，可以進行單向（從發送者到接收者）或雙向（發送者和接收者之間或接收者之間等）的資訊通訊。

[0298] 另外，電視機 1050 具備外部連接端子 1054、儲存介質再現錄影部 1052、外部儲存槽。外部連接端子 1054 可以與各種電纜如 USB 電纜等連接，由此可以進行與個人電腦等的資料通訊。藉由將盤狀儲存介質插入儲存

介質再現錄影部 1052 中，可以進行對儲存在儲存介質中的資料的讀出以及對儲存介質的寫入。另外，也可以將插入外部儲存槽中的外部記憶體 1056 所儲存的影像或影像等顯示在顯示部 1053 上。

[0299] 在上述實施方式所示的電晶體的關態洩漏電流極低的情況下，藉由將該電晶體應用於外部記憶體 1056 或 CPU，可以提供功耗充分降低的可靠性高的電視機 1050。

[0300] 本實施方式可以與本說明書所記載的其他實施方式適當地組合而實施。

[0301]

實施方式 5

在本實施方式中，作為半導體裝置的一個例子，參照圖 34 至圖 38B 對液晶顯示裝置及發光裝置進行說明。在本實施方式中，液晶顯示裝置或發光裝置包括使用氧化物半導體膜的個數不同的第一電晶體和第二電晶體，所包括的氧化物半導體膜的結構在第一電晶體與第二電晶體之間不同。

[0302]

<顯示裝置的結構>

首先，對液晶顯示裝置進行說明。

[0303] 圖 34 是液晶顯示裝置的剖面圖，A-B 示出形成在驅動電路部中的電晶體，C-D 示出形成在像素部中的電晶體。

[0304] 圖 34 的 A-B 所示的電晶體 10kb 包括：設置在基板 11 上的閘極電極 13c；形成在基板 11 及閘極電極 13c 上的閘極絕緣膜 15；隔著閘極絕緣膜 15 與閘極電極 13c 重疊的第一氧化物半導體膜 81；覆蓋第一氧化物半導體膜 81 的第二氧化物半導體膜 82；與第二氧化物半導體膜 82 接觸的一對電極 19c、20c。另外，在閘極絕緣膜 15、第二氧化物半導體膜 82 及一對電極 19c、20c 上形成保護膜 21。此外，也可以在保護膜 21 上具有導電膜 87。

[0305] 另外，保護膜 21 包括氧化物絕緣膜 23、其氧含量超過化學計量組成的氧化物絕緣膜 25 及氮化物絕緣膜 27。

[0306] 圖 34 的 C-D 所示的電晶體 10m 包括：設置在基板 11 上的閘極電極 13d；形成在基板 11 及閘極電極 13d 上的閘極絕緣膜 15；隔著閘極絕緣膜 15 與閘極電極 13d 重疊的氧化物半導體膜 84；與氧化物半導體膜 84 接觸的一對電極 19d、20d。另外，在閘極絕緣膜 15、氧化物半導體膜 84 及一對電極 19d、20d 上形成保護膜 21。此外，也可以在保護膜 21 上形成有機絕緣膜 88。圖 34 的 C-D 所示的電晶體 10m 與圖 1 的 C-D 所示的電晶體 10m 相同。

[0307] 本實施方式所示的液晶顯示裝置的特徵在於：在驅動電路部與像素部中，包括在電晶體中的氧化物半導體膜的結構不同。

[0308] 第一氧化物半導體膜 81 和第二氧化物半導體

膜 82 具有不同的組成。另一方面，第二氧化物半導體膜 82 和氧化物半導體膜 84 具有相同的組成。就是說，第一氧化物半導體膜 81 在與第二氧化物半導體膜 82 及氧化物半導體膜 84 不同的製程中形成，並且第二氧化物半導體膜 82 與氧化物半導體膜 84 在相同的製程中形成。

[0309] 在電晶體 10kb 所包括的第一氧化物半導體膜 81 中形成通道區。因此，第一氧化物半導體膜 81 的厚度大於第二氧化物半導體膜 82 的厚度。

[0310] 第一氧化物半導體膜 81 的厚度為 3nm 以上且 200nm 以下，較佳為 3nm 以上且 100nm 以下，更佳為 30nm 以上且 50nm 以下。第二氧化物半導體膜 82 及氧化物半導體膜 84 的厚度小於第一氧化物半導體膜 81 的厚度，並且為 3nm 以上且 100nm 以下，較佳為 10nm 以上且 100nm 以下，更佳為 30nm 以上且 50nm 以下。

[0311] 第一氧化物半導體膜 81、第二氧化物半導體膜 82 及氧化物半導體膜 84 使用至少包含 In 的金屬氧化物形成，典型地，使用 In-Ga 氧化物、In-M-Zn 氧化物（M 為 Al、Ga、Y、Zr、La、Ce 或 Nd）等形成。

[0312] 在第一氧化物半導體膜 81 中，對於 Zn 或 M（M 為 Al、Ga、Y、Zr、La、Ce 或 Nd）的 In 的原子數比大。在第一氧化物半導體膜 81 是 In-M-Zn 氧化物（M 為 Al、Ga、Y、Zr、La、Ce 或 Nd）的情況下，當用來形成第一氧化物半導體膜 81 的靶材中的金屬元素的原子數比為 In：M：Zn=x_3：y_3：z_3 時，x_3/y_3 大於 1 且 6 以下是

較佳的。作為靶材的金屬元素的原子數比的典型例子，有In：M：Zn=2：1：1.5、In：M：Zn=2：1：2.3、In：M：Zn=2：1：3、In：M：Zn=3：1：2、In：M：Zn=3：1：3、In：M：Zn=3：1：4等。

[0313] 在第二氧化物半導體膜82及氧化物半導體膜84中，對於Zn或M（M為Al、Ga、Y、Zr、La、Ce或Nd）的In的原子數比相同或小。在第二氧化物半導體膜82及氧化物半導體膜84是In-M-Zn氧化物（M為Al、Ga、Y、Zr、La、Ce或Nd）的情況下，當用來形成第二氧化物半導體膜82及氧化物半導體膜84的靶材的金屬元素的原子數比為In：M：Zn=x_4：y_4：z_4時，x_4/y_4大於1/6以上且1以下是較佳的。此外，z_4/y_4較佳為1/3以上且6以下，更佳為1以上且6以下。藉由將z_4/y_4設定為1以上且6以下，作為第二氧化物半導體膜82及氧化物半導體膜84容易形成CAAC-OS膜。作為靶材的金屬元素的原子數比的典型例子，有In：M：Zn=1：1：1、In：M：Zn=1：1：1.2、In：M：Zn=1：3：2、In：M：Zn=1：3：4、In：M：Zn=1：3：6、In：M：Zn=1：3：8、In：M：Zn=1：4：4、In：M：Zn=1：4：5、In：M：Zn=1：4：6、In：M：Zn=1：4：7、In：M：Zn=1：4：8、In：M：Zn=1：5：5、In：M：Zn=1：5：6、In：M：Zn=1：5：7、In：M：Zn=1：5：8、In：M：Zn=1：6：8等。

[0314] 具有用於第一氧化物半導體膜81的對於Zn或M（M為Al、Ga、Y、Zr、La、Ce或Nd）的In的原

子數比大的氧化物半導體膜的電晶體具有高場效移動率。典型地，上述電晶體是其場效移動率大於 $10cm^2/Vs$ 且小於 $60cm^2/Vs$，較佳為 $15cm^2/Vs$ 以上且小於 $50cm^2/Vs$ 的電晶體。然而，當被照射光時，關閉狀態下的電流會增大。因此，在被遮光的區域諸如驅動電路部中設置具有對於 Zn 或 M（M 為 Al、Ga、Y、Zr、La、Ce 或 Nd）的 In 的原子數比大的氧化物半導體膜的電晶體時，可以實現場效移動率高且關閉狀態下的電流低的電晶體。其結果，可以製造能夠進行高速工作的驅動電路部。

[0315] 另一方面，在具有用於第二氧化物半導體膜 82 及氧化物半導體膜 84 的對於 Zn 或 M（M 為 Al、Ga、Y、Zr、La、Ce 或 Nd）的 In 的原子數比相同或小的氧化物半導體膜的電晶體中，即使被照射光也關態電流的增大量少。因此，藉由在像素部中設置具有對於 Zn 或 M（M 為 Al、Ga、Y、Zr、La、Ce 或 Nd）的 In 的原子數比相同或小的氧化物半導體膜的電晶體，可以製造由於光照射的劣化少且顯示品質高的像素部。具有該氧化物半導體膜的電晶體的場效移動率為 $3cm^2/Vs$ 以上且 $10cm^2/Vs$ 以下。

[0316] 另外，設置在驅動電路部中的電晶體 10kb 包括隔著保護膜 21 覆蓋第一氧化物半導體膜 81 的導電膜 87。可以將導電膜 87 設定為接地電位或任意的電位。此外，藉由導電膜 87 與閘極電極 13c 連接，實現場效移動率高且通態電流大的電晶體。

[0317] 在本實施方式所示的液晶顯示裝置中，包括

在驅動電路部中的電晶體的通道長度與包括在像素部中的電晶體的通道長度也可以不同。

[0318] 典型地，包括在驅動電路部中的電晶體 10kb 的通道長度小於 2.5μm，較佳為 1.45μm 以上且 2.2μm 以下。另一方面，包括在像素部中的電晶體 10m 的通道長度為 2.5μm 以上，較佳為 2.5μm 以上且 20μm 以下。

[0319] 藉由將包括在驅動電路部中的電晶體 10kb 的通道長度設定為小於 2.5μm，較佳為設定為 1.45μm 以上且 2.2μm 以下，可以提高場效移動率，而可以增大通態電流。其結果，可以製造能夠進行高速工作的驅動電路部。

[0320] 因為第一氧化物半導體膜 81、第二氧化物半導體膜 82 及氧化物半導體膜 84 的一部分用作電晶體的通道區，所以第一氧化物半導體膜 81、第二氧化物半導體膜 82 及氧化物半導體膜 84 的能隙為 2eV 以上，較佳為 2.5eV 以上，更佳為 3eV 以上。如此，藉由使用能隙寬的氧化物半導體，可以降低電晶體 10kb、10m 的關態電流。

[0321] 作為第一氧化物半導體膜 81、第二氧化物半導體膜 82 及氧化物半導體膜 84 使用載子密度較低的氧化物半導體膜。例如，第一氧化物半導體膜 81、第二氧化物半導體膜 82 及氧化物半導體膜 84 使用載子密度為 1×10^{17} 個/cm^3 以下，較佳為 1×10^{15} 個/cm^3 以下，更佳為 1×10^{13} 個/cm^3 以下，進一步較佳為 1×10^{11} 個/cm^3 以下的氧化物半導體膜。

[0322] 注意，不侷限於上述記載，可以根據所需的電晶體的半導體特性及電特性（場效移動率、臨界電壓等）來使用具有適當的組成的材料。另外，較佳的是，適當地設定第一氧化物半導體膜 81、第二氧化物半導體膜 82 及氧化物半導體膜 84 的載子密度、雜質濃度、缺陷密度、金屬元素與氧的原子數比、原子間距離、密度等，以得到所需的電晶體的半導體特性。

[0323] 藉由作為第一氧化物半導體膜 81、第二氧化物半導體膜 82 及氧化物半導體膜 84 使用雜質濃度低且缺陷態密度低的氧化物半導體膜，可以製造具有更優良的電特性的電晶體。這裡，將雜質濃度低且缺陷態密度低（氧缺陷少）的狀態稱為“高純度本質”或“實質上高純度本質”。因為高純度本質或實質上高純度本質的氧化物半導體的載子發生源較少，所以有可能降低載子密度。因此，在該氧化物半導體膜中形成有通道區域的電晶體很少具有負臨界電壓的電特性（也稱為常開啟特性）。因為高純度本質或實質上高純度本質的氧化物半導體膜具有較低的缺陷態密度，所以有可能具有較低的陷阱態密度。高純度本質或實質上高純度本質的氧化物半導體膜的關態電流顯著低，即便是通道寬度為 $1\times10^{6}\mu m$、通道長度 L 為 10μm 的元件，當源極電極與汲極電極間的電壓（汲極電壓）在 1V 至 10V 的範圍時，關態電流也可以為半導體參數分析儀的測定極限以下，即 $1\times10^{-13}A$ 以下。因此，在該氧化物半導體膜中形成有通道區域的電晶體的電特性變動小，

該電晶體成為可靠性高的電晶體。作為雜質有氫、氮、鹼金屬或鹼土金屬等。

[0324] 包含在氧化物半導體膜中的氫與鍵合於金屬原子的氧起反應生成水，與此同時在發生氧脫離的晶格（或氧脫離的部分）中形成氧缺陷。當氫進入該氧缺陷中時，有時會生成作為載子的電子。另外，當氫的一部分與鍵合於金屬原子的氧發生鍵合時，有時會生成作為載子的電子。因此，使用含有氫的氧化物半導體的電晶體容易具有常開啟特性。

[0325] 因此，較佳的是，在第一氧化物半導體膜 81、第二氧化物半導體膜 82 及氧化物半導體膜 84 中除了氧缺陷之外還儘量減少氫。明確而言，在第一氧化物半導體膜 81、第二氧化物半導體膜 82 及氧化物半導體膜 84 中，藉由二次離子質譜分析法（SIMS）測量的第一氧化物半導體膜 81、第二氧化物半導體膜 82 及氧化物半導體膜 84 的氫濃度為 5×10^{19}atoms/cm^3 以下，較佳為 1×10^{19}atoms/cm^3 以下，更佳為 5×10^{18}atoms/cm^3 以下，進一步較佳為 1×10^{18}atoms/cm^3 以下，更進一步較佳為 5×10^{17}atoms/cm^3 以下，還進一步較佳為 1×10^{16}atoms/cm^3 以下。

[0326] 當第一氧化物半導體膜 81、第二氧化物半導體膜 82 及氧化物半導體膜 84 包含第 14 族元素中之一的矽或碳時，第一氧化物半導體膜 81、第二氧化物半導體膜 82 及氧化物半導體膜 84 中的氧缺陷增加，會導致第一

氧化物半導體膜 81、第二氧化物半導體膜 82 及氧化物半導體膜 84 的 n 型化。因此，將第一氧化物半導體膜 81、第二氧化物半導體膜 82 及氧化物半導體膜 84 中的矽或碳的濃度（利用二次離子質譜分析法得到的濃度）設定為 2×10^{18}atoms/cm^3 以下，較佳為 2×10^{17}atoms/cm^3 以下。

[0327] 另外，將藉由二次離子質譜分析法（SIMS）得到的第一氧化物半導體膜 81、第二氧化物半導體膜 82 及氧化物半導體膜 84 的鹼金屬或鹼土金屬的濃度為 1×10^{18}atoms/cm^3 以下，較佳為 2×10^{16}atoms/cm^3 以下。鹼金屬和鹼土金屬有時會與氧化物半導體鍵合而生成載子，導致電晶體的關態電流的增大。由此，較佳為降低第一氧化物半導體膜 81、第二氧化物半導體膜 82 及氧化物半導體膜 84 的鹼金屬或鹼土金屬的濃度。

[0328] 另外，當在第一氧化物半導體膜 81、第二氧化物半導體膜 82 及氧化物半導體膜 84 中含有氮時產生作為載子的電子，載子密度增加而容易導致氧化物半導體膜 82、氧化物半導體膜 84 的 n 型化。其結果，使用含有氮的氧化物半導體的電晶體容易具有常開啟特性。因此，在氧化物半導體膜中，盡可能地減少氮是較佳的。例如，藉由二次離子質譜分析法測量的氮濃度較佳為 5×10^{18}atoms/cm^3 以下。

[0329] 下面，參照圖 35 對發光裝置的結構進行說明。

[0330] 圖 35 是發光裝置的剖面圖，A-B 示出形成在

驅動電路部中的電晶體 10nb，C-D 示出形成在像素部中的電晶體 10m。圖 35 中的 C-D 所示的電晶體 10m 與圖 2 中的 C-D 所示的電晶體 10m 相同，使用相同的元件符號表示相同的部分。

[0331] 圖 35 中的 A-B 所示的電晶體 10nb 在閘極絕緣膜 15 與第一氧化物半導體膜 81 之間具有第三氧化物半導體膜 83。作為其他結構，可以適當地採用與圖 34 所示的電晶體 10kb 同樣的結構。另外，也可以適當地使用圖 34 所示的電晶體 10kb 代替電晶體 10nb。

[0332] 在電晶體 10nb 中，在第一氧化物半導體膜 81 中形成通道區。因此，第一氧化物半導體膜 81 的厚度大於第二氧化物半導體膜 82 及第三氧化物半導體膜 83 的厚度。

[0333] 在第三氧化物半導體膜 83 中，對於 Zn 或 M（M 為 Al、Ga、Y、Zr、La、Ce 或 Nd）的 In 的原子數比小。在第三氧化物半導體膜 83 是 In-M-Zn 氧化物（M 為 Al、Ga、Y、Zr、La、Ce 或 Nd）的情況下，當用來形成第三氧化物半導體膜 83 的靶材的金屬元素的原子數比為 In：M：Zn=x_5：y_5：z_5 時，x_5/y_5 較佳為 1/6 以上且小於 1。此外，z_5/y_5 較佳為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下。藉由將 z_5/y_5 設定為 1 以上且 6 以下，作為第三氧化物半導體膜 83 容易形成 CAAC-OS 膜。作為靶材的金屬元素的原子數比的典型例子，有 In：M：Zn=1：3：2、In：M：Zn=1：3：4、In：M：Zn=1：3：6、In：

M：Zn=1：3：8、In：M：Zn=1：4：4、In：M：Zn=1：4：5、In：M：Zn=1：4：6、In：M：Zn=1：4：7、In：M：Zn=1：4：8、In：M：Zn=1：5：5、In：M：Zn=1：5：6、In：M：Zn=1：5：7、In：M：Zn=1：5：8、In：M：Zn=1：6：8 等。

[0334] 第三氧化物半導體膜 83 的厚度小於第一氧化物半導體膜 81 的厚度，並且為 2nm 以上且 100nm 以下，較佳為 2nm 以上且 50nm 以下，更佳為 3nm 以上且 15nm 以下。藉由在閘極絕緣膜 15 與第一氧化物半導體膜 81 之間設置第三氧化物半導體膜 83，可以降低電晶體 10nb 的臨界電壓的變動。

[0335]

<顯示裝置的製造方法>

在此，對顯示裝置所包括的電晶體的製造方法進行說明。在此，作為顯示裝置的一個例子使用圖 35 所示的發光裝置，參照圖 36A 至圖 38B 對電晶體 10m 及電晶體 10nb 的製造方法進行說明。

[0336] 構成電晶體 10m、電晶體 10nb 的膜（絕緣膜、氧化物半導體膜、金屬氧化物膜、導電膜等）可以藉由濺射法、化學氣相沉積（CVD）法、真空蒸鍍法、脈衝雷射沉積（PLD）法形成。或者，可以藉由塗佈法或印刷法形成。作為成膜方法的典型例子，有濺射法、電漿化學氣相沉積（PECVD）法，但也可以使用熱 CVD 法。作為熱 CVD 法的例子，可以使用 MOCVD（有機金屬化學沉

積）法或 ALD（原子層沉積）法。

[0337] 如圖 36A 所示，在基板 11 上形成閘極電極 13c、13d、閘極絕緣膜 15。接著，在 A-B 中，在閘極絕緣膜 15 上形成第三氧化物半導體膜 83 及第一氧化物半導體膜 81。

[0338] 因為在上述實施方式 1 中示出閘極電極 13c、13d 的形成方法及閘極絕緣膜 15 的形成方法，所以在此省略。

[0339] 在此，作為閘極絕緣膜 15，藉由電漿 CVD 法形成氧氮化矽膜。

[0340] 下面對第三氧化物半導體膜 83 和第一氧化物半導體膜 81 的形成方法進行說明。藉由濺射法、塗佈法、脈衝雷射蒸鍍法、雷射燒蝕法、熱 CVD 法等在閘極絕緣膜 15 上形成後面成為第三氧化物半導體膜 83 的氧化物半導體膜以及後面成為第一氧化物半導體膜 81 的氧化物半導體膜。接著，藉由光微影製程在層疊的氧化物半導體膜上形成遮罩，然後使用該遮罩對層疊的氧化物半導體膜的一部分進行蝕刻，由此如圖 36B 所示那樣，形成位於閘極絕緣膜 15 上且以與閘極電極 13c 的一部分重疊的方式經過元件隔離的第三氧化物半導體膜 83 和第一氧化物半導體膜 81。然後，去除遮罩。

[0341] 在藉由濺射法形成氧化物半導體膜的情況下，作為用來產生電漿的電源裝置，可以適當地使用 RF 電源裝置、AC 電源裝置、DC 電源裝置等。

[0342] 作為濺射氣體，適當地使用稀有氣體（典型的是氬）氛圍、氧氛圍、稀有氣體和氧的混合氣體。此外，當採用稀有氣體和氧的混合氣體時，較佳為增高相對於稀有氣體的氧氣體比例。

[0343] 另外，靶材根據所形成的氧化物半導體膜的組成適當地選擇即可。

[0344] 另外，在當形成氧化物半導體膜時例如使用濺射法的情況下，藉由將基板溫度設定為 150℃以上且750℃以下，較佳為設定為 150℃以上且 450℃以下，更佳地設定為 200℃以上且 350℃以下來形成氧化物半導體膜，可以形成 CAAC-OS 膜。

[0345] 另外，為了形成 CAAC-OS 膜，較佳為應用實施方式 1 所示的條件。

[0346] 在此，藉由濺射法，依次形成靶材的金屬元素的原子數比為 In：Ga：Zn=1：3：6 的厚度為 10nm 的氧化物半導體膜及靶材的金屬元素的原子數比為 In：Ga：Zn=3：1：2 的厚度為 35nm 的氧化物半導體膜，然後在該氧化物半導體膜上形成遮罩，對氧化物半導體膜選擇性地進行蝕刻。

[0347] 另外，藉由在高於 350℃且 650℃以下，較佳為 450℃以上且 600℃以下的溫度下進行加熱處理，能夠獲得後述的 CAAC 化率為 70%以上且低於 100%，較佳為80%以上且低於 100%，更佳為 90%以上且低於 100%，進一步較佳為 95%以上且 98%以下的氧化物半導體膜。此

外，能夠獲得水、氫等的含量得到降低的氧化物半導體膜。即，能夠形成雜質濃度低且缺陷態密度低的氧化物半導體膜。

[0348] 接著，如圖 36B 所示，在閘極絕緣膜 15 及第一氧化物半導體膜 81 上形成氧化物半導體膜，然後將其蝕刻為所希望的形狀，由此在圖 36B 中的 A-B 中形成覆蓋第一氧化物半導體膜 81 及第三氧化物半導體膜 83 的第二氧化物半導體膜 82，在 C-D 中形成氧化物半導體膜 84。

[0349] 另外，在該製程中，藉由以覆蓋第三氧化物半導體膜 83 的側面及第一氧化物半導體膜 81 的頂面和側面的方式形成第二氧化物半導體膜 82，在後面的一對電極的形成製程中，可以防止第三氧化物半導體膜 83 及第一氧化物半導體膜 81 被蝕刻。其結果，可以降低第三氧化物半導體膜 83 及第一氧化物半導體膜 81 的電晶體的通道寬度方向上的長度的變動，所以是較佳的。

[0350] 接著，進行加熱處理來實現氧化物半導體膜的脫氫化或脫水化。作為該加熱處理的溫度，典型地為 150℃以上且低於基板的應變點，較佳為 250℃以上且 450℃以下，更佳為 300℃以上且 450℃以下。

[0351] 在此，在 450℃的包含氮及氧的混合氣體氛圍下進行加熱處理，然後在 450℃的氧氛圍下進行加熱處理。

[0352] 另外，也可以在圖 36A 所示的步驟之後進行

同樣的加熱處理代替該加熱處理。

[0353] 接著，如圖 36C 所示，在第二氧化物半導體膜 82 上形成一對電極 19c、20c 且在氧化物半導體膜 84 上形成一對電極 19d、20d。

[0354] 在此，藉由濺射法依次層疊厚度為 50nm 的銅-錳合金膜、厚度為 400nm 的銅膜及厚度為 100nm 的銅-錳合金膜。接著，藉由光微影製程在銅-錳合金膜上形成遮罩，利用該遮罩對銅-錳合金膜、銅膜及銅-錳合金膜進行乾蝕刻，由此形成一對電極 19c、20c 及一對電極 19d、20d。

[0355] 此外，也可以在形成一對電極 19c、20c 及一對電極 19d、20d 之後進行加熱處理。作為該加熱處理，可以使用與形成第二氧化物半導體膜 82 及氧化物半導體膜 84 後進行的加熱處理相同的條件來進行。

[0356] 另外，在形成一對電極 19c、20c 及一對電極 19d、20d 之後，為了去除蝕刻殘渣，較佳為進行洗滌處理。藉由進行該洗滌處理，能夠抑制一對電極 19c、20c 的短路及一對電極 19d、20d 的短路。該洗滌處理可以藉由使用 TMAH 溶液等鹼性溶液、氫氟酸、草酸、磷酸等酸性的溶液或者水進行。

[0357] 接著，如圖 37A 所示，在閘極絕緣膜 15、第二氧化物半導體膜 82、氧化物半導體膜 84 及一對電極 19c、20c 及一對電極 19d、20d 上形成保護膜 21。

[0358] 保護膜 21 可以藉由濺射法、CVD 法、蒸鍍法

等形成。

[0359] 作為保護膜 21 所包括的氧化物絕緣膜 23 及氧化物絕緣膜 25，利用如下條件形成氧化矽膜或氧氮化矽膜：在 180℃以上且 280℃以下，較佳為 200℃以上且 240℃以下的溫度下保持設置在電漿 CVD 設備的抽成真空的處理室內的基板，將源氣體引入處理室內而將處理室內的壓力設定為 100Pa 以上且 250Pa 以下，較佳為 100Pa 以上且 200Pa 以下，並對設置在處理室內的電極供應 0.17W/cm^2 以上且 0.5W/cm^2 以下，較佳為 0.25W/cm^2 以上且 0.35W/cm^2 以下的高頻功率。

[0360] 氮化物絕緣膜 27 可以利用濺射法或 CVD 法等形成。

[0361] 另外，也可以在形成氧化物絕緣膜 25 之後進行加熱處理。該加熱處理溫度典型地為 150℃以上且低於基板的應變點，較佳為 200℃以上且 450℃以下，更佳為 300℃以上且 450℃以下。藉由該加熱處理，可以將氧化物絕緣膜 25 所包含的氧的一部分移動到第一氧化物半導體膜 81、第二氧化物半導體膜 82、第三氧化物半導體膜 83 及氧化物半導體膜 84，而可以降低它們所包含的氧缺陷。

[0362] 在此，在包含氮及氧的混合氣體氛圍下，以 350℃進行 1 小時的加熱處理。

[0363] 另外，可以在形成氮化物絕緣膜 27 之後進行加熱處理而使氫等從保護膜 21 釋放。

[0364] 在此，在包含氮和氧的混合氣體氛圍下以 350℃進行 1 小時的加熱處理。

[0365] 藉由上述步驟，能夠製造臨界電壓漂移得到降低的電晶體。另外，能夠製造電特性變動得到降低的電晶體。

[0366] 另外，如圖 37B 所示，形成具有使電晶體 10nb 的第二氧化物半導體膜 82 上的保護膜 21 的一部分及電晶體 10m 中的電極 20d 的一部分露出的開口部的絕緣膜 95。接著，在保護膜 21 上以與電晶體 10nb 的第二氧化物半導體膜 82 重疊的方式形成導電膜 87，在絕緣膜 95 上形成與電晶體 10m 中的電極 20d 連接的第一電極 86a。

[0367] 在此，使用光敏聚醯亞胺形成絕緣膜 95。

[0368] 接著，如圖 38A 所示，在絕緣膜 95、導電膜 87 及第一電極 86a 上形成絕緣膜 96。絕緣膜 96 可以適當地利用與絕緣膜 95 同樣的方法形成。

[0369] 接著，如圖 38B 所示，在絕緣膜 96 及第一電極 86a 上形成 EL 層 97。

[0370] 藉由上述製程，可以製造具有能夠進行高速工作、由於光照射的劣化少且顯示品質良好的像素部的顯示裝置。

[0371] 另外，在圖 34 及圖 35 等中，在電極 19c、電極 20c、電極 19d、電極 20d 等的下側設置有第一氧化物半導體膜 81、第二氧化物半導體膜 82、第三氧化物半導

體膜 83、氧化物半導體膜 84 等，但是本發明的一個方式不侷限於此。

[0372]

<變形例 8>

實施方式 5 所示的電晶體是通道蝕刻型電晶體，而可以適當地使用通道保護型電晶體。

[0373]

<變形例 9>

實施方式 5 所示的電晶體是底閘極型電晶體，而作為用於像素電路和/或驅動電路的電晶體，如圖 22A 至圖 22C 所示，可以使用底接觸型的頂閘極結構。

[0374]

<變形例 10>

實施方式 5 所示的電晶體是底閘極型電晶體，而作為用於像素電路和/或驅動電路的電晶體，如圖 23A 至圖 23C 所示，可以使用頂接觸型的頂閘極結構。

[0375] 注意，本實施方式所示的結構、方法等可以與其他的實施方式及實施例所示的結構、方法等適當地組合而實施。

[0376]

實施方式 6

在本實施方式中，對其結構的一部分與實施方式 1 及實施方式 5 不同的顯示裝置進行說明。

[0377] 圖 43 是液晶顯示裝置的剖面圖，A-B 示出形

成在驅動電路部中的電晶體，C-D 示出形成在像素部中的電晶體。圖 43 所示的結構與圖 1 及圖 34 所示的結構之間的不同之處在於：形成在驅動電路部中的導電膜 87 的有無。

[0378] 圖 43 中的 A-B 所示的電晶體 10ka 包括：設置在基板 11 上的閘極電極 13c；形成在基板 11 及閘極電極 13c 上的閘極絕緣膜 15；隔著閘極絕緣膜 15 與閘極電極 13c 重疊的第一氧化物半導體膜 81；覆蓋第一氧化物半導體膜 81 的第二氧化物半導體膜 82；以及與第二氧化物半導體膜 82 接觸的一對電極 19c、20c。另外，在閘極絕緣膜 15、第二氧化物半導體膜 82 及一對電極 19c、20c 上形成保護膜 21。在圖 34 中的 A-B 所示的電晶體 10kb 中，在保護膜 21 上形成有導電膜 87，而在圖 43 中的 A-B 所示的電晶體 10ka 中沒有形成導電膜 87，除此之外具有相同的結構。

[0379] 另外，保護膜 21 包括氧化物絕緣膜 23、其氧含量超過化學計量組成的氧化物絕緣膜 25 及氮化物絕緣膜 27。

[0380] 圖 43 的 C-D 所示的電晶體 10mb 包括：設置在基板 11 上的閘極電極 13d；形成在基板 11 及閘極電極 13d 上的閘極絕緣膜 15；隔著閘極絕緣膜 15 與閘極電極 13d 重疊的氧化物半導體膜 84；與氧化物半導體膜 84 接觸的一對電極 19d、20d。另外，在閘極絕緣膜 15、氧化物半導體膜 84 及一對電極 19d、20d 上形成保護膜 21。

此外，也可以在保護膜 21 上形成有機絕緣膜 88。

[0381] 在閘極絕緣膜 15 上形成具有導電性的氧化物半導體膜 85。另外，具有導電性的氧化物半導體膜 85 是如下膜：藉由與第二氧化物半導體膜 82 及氧化物半導體膜 84 同時形成的氧化物半導體膜接觸於氮化物絕緣膜 27，氧缺陷及氫濃度得到提高而導電性得到提高的膜。

[0382] 此外，在保護膜 21 的開口部中，與電晶體 10mb 的電極 20d 連接的像素電極 86 設置在保護膜 21 上。像素電極 86 可以使用具有透光性的導電膜。

[0383] 由具有導電性的氧化物半導體膜 85、氮化物絕緣膜 27 及像素電極 86 構成電容元件 89。因為具有導電性的氧化物半導體膜 85 及像素電極 86 都具有透光性，所以電容元件 89 也具有透光性。因此，可以增大像素中的電容元件 89 的面積。由此，可以製造開口率高且設置有容量值高的電容元件 89 的像素。

[0384] 另外，在保護膜 21、像素電極 86 及有機絕緣膜 88 上設置配向膜 92a。

[0385] 在液晶顯示裝置中設置反基板 90，在基板 11 與反基板 90 之間從反基板 90 一側依次設置反電極 91 和配向膜 92b。

[0386] 此外，在配向膜 92a 與配向膜 92b 之間具有液晶層 93。由像素電極 86、液晶層 93、反電極 91 構成液晶元件 94。

[0387] 本實施方式所示的液晶顯示裝置的特徵在

於：在驅動電路部與像素部中，包括在電晶體中的氧化物半導體膜的結構不同。除了電晶體之外，具有與圖 1 及圖 34 相同的結構，使用相同的元件符號表示相同的部分。

[0388] 第一氧化物半導體膜 81 和第二氧化物半導體膜 82 具有不同的組成。另一方面，第二氧化物半導體膜 82 和氧化物半導體膜 84 具有相同的組成。就是說，第一氧化物半導體膜 81 在與第二氧化物半導體膜 82 及氧化物半導體膜 84 不同的製程中形成，並且第二氧化物半導體膜 82 與氧化物半導體膜 84 在相同的製程中形成。

[0389] 在電晶體 10ka 所包括的第一氧化物半導體膜 81 中形成通道區。因此，第一氧化物半導體膜 81 的厚度大於第二氧化物半導體膜 82 的厚度。

[0390] 第一氧化物半導體膜 81 的厚度為 3nm 以上且 200nm 以下，較佳為 3nm 以上且 100nm 以下，更佳為 30nm 以上且 50nm 以下。第二氧化物半導體膜 82 及氧化物半導體膜 84 的厚度小於第一氧化物半導體膜 81 的厚度，並且為 3nm 以上且 100nm 以下，較佳為 10nm 以上且 100nm 以下，更佳為 30nm 以上且 50nm 以下。

[0391] 作為第一氧化物半導體膜 81、第二氧化物半導體膜 82 及氧化物半導體膜 84，可以使用實施方式 5 所示的材料。

[0392] 在本實施方式所示的液晶顯示裝置中，包括在驅動電路部中的電晶體的通道長度與包括在像素部中的電晶體的通道長度也可以不同。

[0393] 典型地，包括在驅動電路部中的電晶體 10ka 的通道長度小於 2.5μm，較佳為 1.45μm 以上且 2.2μm 以下。另一方面，包括在像素部中的電晶體 10mb 的通道長度為 2.5μm 以上，較佳為 2.5μm 以上且 20μm 以下。

[0394] 藉由將包括在驅動電路部中的電晶體 10ka 的通道長度設定為小於 2.5μm，較佳為設定為 1.45μm 以上且 2.2μm 以下，可以提高場效移動率，而可以增大通態電流。其結果，可以製造能夠進行高速工作的驅動電路部。

[0395] 因為第一氧化物半導體膜 81、第二氧化物半導體膜 82 及氧化物半導體膜 84 的一部分用作電晶體的通道區，所以第一氧化物半導體膜 81、第二氧化物半導體膜 82 及氧化物半導體膜 84 的能隙為 2eV 以上，較佳為 2.5eV 以上，更佳為 3eV 以上。如此，藉由使用能隙寬的氧化物半導體，可以降低電晶體 10ka、10mb 的關態電流。

[0396] 下面，對液晶顯示裝置的其他結構的詳細內容進行說明。液晶顯示裝置的結構的詳細內容可以參照在實施方式 1 中已經說明的內容。下面還說明與實施方式 1 的記載重複的部分。

[0397] 另外，也可以作為基板 11 使用撓性基板並在撓性基板上直接形成電晶體 10ka、10mb。或者，也可以在基板 11 與電晶體 10ka、10mb 之間設置剝離層。剝離層可以在如下情況下使用，即在剝離層上製造半導體裝置的一部分或全部，然後使其從基板 11 分離並轉置到其他基

板上的情況。此時，可以將電晶體 10ka、10mb 轉置到耐熱性低的基板或撓性基板上。另外，作為上述剝離層，例如可以使用鎢膜與氧化矽膜的無機膜的層疊結構或在基板上形成有聚醯亞胺等有機樹脂膜的結構等。

[0398] 閘極絕緣膜 15 的厚度為 5nm 以上且 400nm 以下，較佳為 10nm 以上且 300nm 以下，更佳為 50nm 以上且 250nm 以下。

[0399] 氧化物絕緣膜 23、25 可以適當地使用與閘極絕緣膜同樣的材料。

[0400] 另外，氧化物絕緣膜 23 可以使用包含氮且缺陷量少的氧化物絕緣膜。

[0401] 下面，參照圖 44 對發光裝置的結構進行說明。另外，在圖 35 與圖 44 之間具有較多相同部分，所以在此省略相同部分的說明。在圖 35 中的 A-B 所示的電晶體 10nb 中，在保護膜 21 上形成有導電膜 87，而在圖 44 中的 A-B 所示的電晶體 10na 中沒有形成導電膜 87，除此之外具有相同的結構。

[0402] 圖 44 是發光裝置的剖面圖，A-B 示出形成在驅動電路部中的電晶體 10na，C-D 示出形成在像素部中的電晶體 10m。

[0403]

<顯示裝置的製造方法>

在此，對顯示裝置所包括的電晶體的製造方法進行說明。除了沒有形成導電膜 87 之外，圖 44 的 A-B 所示的電

晶體 10na 具有與圖 35 的 A-B 所示的電晶體 10nb 相同的結構，所以如果不形成導電膜 87，則其製造方法與實施方式 5 所示的製造方法相同。因此，在此省略其說明。

[0404] 另外，在圖 43 及圖 44 等中，在電極 19c、電極 20c、電極 19d、電極 20d 等的下側設置有第一氧化物半導體膜 81、第二氧化物半導體膜 82、第三氧化物半導體膜 83、氧化物半導體膜 84 等，但是本發明的一個方式不侷限於此。也可以在電極 19c、電極 20c、電極 19d、電極 20d 等的上側設置有第一氧化物半導體膜 81、第二氧化物半導體膜 82、第三氧化物半導體膜 83、氧化物半導體膜 84 等。圖 45 和圖 46 示出此時的一個例子。

[0405]

<變形例 11>

圖 43 所示的電晶體是通道蝕刻型電晶體，而可以適當地使用通道保護型電晶體。

[0406]

<變形例 12>

圖 43 所示的電晶體是底閘極型電晶體，而作為用於像素電路和/或驅動電路的電晶體，如圖 22A 至圖 22C 所示，可以使用底接觸型的頂閘極結構。

[0407]

<變形例 13>

圖 43 所示的電晶體是底閘極型電晶體，而作為用於像素電路和/或驅動電路的電晶體，如圖 23A 至圖 23C 所

示，可以使用頂接觸型的頂閘極結構。

[0408] 注意，本實施方式所示的結構、方法等可以與其他的實施方式及實施例所示的結構、方法等適當地組合而實施。

實施例 1

[0409] 在本實施例中說明製造電晶體並對其 V_g-I_d 特性及可靠性進行評價而得到的結果。

[0410]

<樣本的製造>

在本實施例中，製造包括適合於本發明的一個方式的顯示裝置的驅動電路的電晶體的樣本 1 以及包括適合於顯示裝置的像素的電晶體的樣本 2。更明確而言，作為本發明的一個方式的樣本 1，製造相當於圖 1 所示的電晶體 10k 的結構。作為本發明的一個方式的樣本 2，製造相當於圖 1 所示的電晶體 10m 的結構。

[0411]

<樣本 1>

首先，作為基板使用玻璃基板，並且在基板上形成閘極電極。

[0412] 利用濺射法形成厚度為 100nm 的鎢膜，利用光微影製程在該鎢膜上形成遮罩，使用遮罩對鎢膜的一部分進行蝕刻來形成閘極電極。

[0413] 接著，在閘極電極上形成用作閘極絕緣膜的

絕緣膜。

[0414] 作為閘極絕緣膜，形成厚度為 400nm 的氮化矽膜和厚度為 50nm 的氧氮化矽膜的疊層。

[0415] 注意，氮化矽膜具有第一氮化矽膜、第二氮化矽膜和第三氮化矽膜的三層結構。

[0416] 在如下條件下以 50nm 的厚度形成第一氮化矽膜：作為源氣體使用流量為 200sccm 的矽烷、流量為 2000sccm 的氮以及流量為 100sccm 的氨氣體，向電漿 CVD 設備的處理室內供應該源氣體，將處理室內的壓力控制為 100Pa，使用 27.12MHz 的高頻電源供應 2000W 的功率。在如下條件下以 300nm 的厚度形成第二氮化矽膜：作為源氣體使用流量為 200sccm 的矽烷、流量為 2000sccm 的氮以及流量為 2000sccm 的氨氣體，向電漿 CVD 設備的處理室內供應該源氣體，將處理室內的壓力控制為 100Pa，使用 27.12MHz 的高頻電源供應 2000W 的功率。在如下條件下以 50nm 的厚度形成第三氮化矽膜：作為源氣體使用流量為 200sccm 的矽烷以及流量為 5000sccm 的氮，向電漿 CVD 設備的處理室內供應該源氣體，將處理室內的壓力控制為 100Pa，使用 27.12MHz 的高頻電源供應 2000W 的功率。另外，將形成第一氮化矽膜、第二氮化矽膜及第三氮化矽膜時的基板溫度設定為 350℃。

[0417] 氧氮化矽膜在如下條件下形成：作為源氣體使用流量為 20sccm 的矽烷以及流量為 3000sccm 的一氧化

二氮，向電漿 CVD 設備的處理室內供應該源氣體，將處理室內的壓力控制為 40Pa，使用 27.12MHz 的高頻電源供應 100W 的功率。另外，將形成該氧氮化矽膜時的基板溫度設定為 350℃。

[0418] 接著，形成隔著閘極絕緣膜與閘極電極重疊的氧化物半導體膜。

[0419] 在此，藉由濺射法在閘極絕緣膜上形成厚度為 35nm 的氧化物半導體膜。

[0420] 氧化物半導體膜的形成條件如下：使用 In：Ga：Zn=1：1：1（原子數比）的靶材作為濺射靶材，將氧比例為 50%的氬和氧的混合氣體供應到濺射裝置的處理室內，將處理室內的壓力控制為 0.6Pa，並且供應 2.5kW 的功率。另外，將形成氧化物半導體膜時的基板溫度設定為 170℃。

[0421] 接著，形成與氧化物半導體膜接觸的一對電極。

[0422] 首先，在閘極絕緣膜及氧化物半導體膜上形成導電膜。作為該導電膜，在厚度為 50nm 的鎢膜上形成厚度為 400nm 的鋁膜，並在該鋁膜上形成厚度為 100nm 的鈦膜。接著，藉由光微影製程在該導電膜上形成遮罩，使用該遮罩對該導電膜的一部分進行蝕刻，從而形成一對電極。

[0423] 接著，在氧化物半導體膜及一對電極上形成第二閘極絕緣膜。在此，作為第二閘極絕緣膜採用厚度為

50nm 的第一氧化物絕緣膜、厚度為 400nm 的第二氧化物絕緣膜和厚度為 100nm 的氮化物絕緣膜的三層結構。

[0424] 第一氧化物絕緣膜利用電漿 CVD 法在如下條件下形成：使用流量為 20sccm 的矽烷及流量為 3000sccm 的一氧化二氮作為源氣體，將處理室的壓力設定為 200Pa，將基板溫度設定為 350℃，並向平行平板電極供應 100W 的高頻功率。

[0425] 第二氧化物絕緣膜利用電漿 CVD 法在如下條件下形成：使用流量為 160sccm 的矽烷及流量為 4000sccm 的一氧化二氮作為源氣體，將處理室的壓力設定為 200Pa，將基板溫度設定為 220℃，並向平行平板電極供應 1500W 的高頻功率。根據上述條件可以形成含有超過化學計量組成的氧且藉由加熱使氧的一部分脫離的氧氮化矽膜。

[0426] 接著，在進行加熱處理以使水、氮、氫等從第一氧化物絕緣膜及第二氧化物絕緣膜中脫離的同時，使第二氧化物絕緣膜中的氧的一部分供應到氧化物半導體膜。在此，在氮及氧氛圍下以 350℃進行 1 小時的加熱處理。

[0427] 接著，在第二氧化物絕緣膜上形成氮化物絕緣膜。氮化物絕緣膜利用電漿 CVD 法在如下條件下形成：使用流量為 50sccm 的矽烷、流量為 5000sccm 的氮以及流量為 100sccm 的氨氣體作為源氣體，將處理室的壓力設定為 100Pa，將基板溫度設定為 350℃，並向平行平板

電極供應 1000W 的高頻功率。

[0428] 接著，在沒有設置氧化物半導體膜及一對電極的區域中，在閘極絕緣膜及第二閘極絕緣膜的一部分形成到達閘極電極的開口部。藉由光微影製程在第二閘極絕緣膜上形成遮罩並使用該遮罩對閘極絕緣膜及第二閘極絕緣膜的一部分進行蝕刻，來形成該開口部。

[0429] 接著，在第二閘極絕緣膜上形成用作背閘極電極的第二閘極電極。背閘極電極採用藉由設置在閘極絕緣膜及第二閘極絕緣膜的一部分的開口部與閘極電極電連接的結構。

[0430] 在此，作為背閘極電極，藉由濺射法形成厚度為 100nm 的包含氧化矽的氧化銦-氧化錫化合物（ITO-SiO_2）的導電膜。另外，用於該導電膜的靶材的組成為 In_2O_3：SnO_2：SiO_2=85：10：5[wt%]。之後，在氮氛圍下以 250℃進行 1 小時的加熱處理。

[0431] 藉由上述步驟獲得本實施例的樣本 1。

[0432]

<樣本 2>

樣本 2 與樣本 1 之間的不同之處在於：不具有背閘極電極，並且在氮化物絕緣膜上具有厚度為 1.5μm 的丙烯酸樹脂膜。

[0433] 在樣本 2 的製程中，省略上述樣本 1 的製程中的背閘極電極的形成製程。因為除此之外的製程與上述樣本 1 的製程同樣，所以可以援用樣本 1 的記載。

[0434] 注意，作為上述樣本 1 及樣本 2，分別製造通道寬度 W 為 50μm 且通道長度 L 為 2μm、3μm 及 6μm 的三種電晶體。

[0435]

<V_g-I_d 特性>

接著，測量樣本 1 及樣本 2 中的電晶體的初期的 V_g-I_d 特性。在此，在如下條件下測量流過源極與汲極之間的電流（以下，稱為汲極電流或 I_d）的變化特性，即 V_g-I_d 特性：將基板溫度設定為 25℃，將源極與汲極之間的電位差（以下，稱為汲極電壓或 V_d）設定為 1V、10V，並使源極與閘極之間的電位差（以下，稱為閘極電壓或 V_g）在 -15V 至 15V 的範圍內變化。

[0436] 在此，在樣本 1 的電晶體中採用在將閘極電極與背閘極電極電連接的狀態下施加閘極電壓的驅動方法。在這種驅動方法中，閘極電極與背閘極電極之間的閘極電壓始終相等。

[0437] 圖 24A 至圖 24C 示出樣本 2 的 V_g-I_d 特性。圖 24A、圖 24B、圖 24C 分別是關於通道長度 L 為 2μm、3μm、6μm 的電晶體的結果。此外，同樣地，圖 25A 至圖 25C 示出樣本 1 的 V_g-I_d 特性。

[0438] 此外，在圖 24A 至圖 24C、圖 25A 至圖 25C 中，橫軸表示閘極電壓 V_g，第一縱軸表示汲極電流 I_d，第二縱軸表示場效移動率。在此，為了示出飽和區域中的值，作為場效移動率示出當汲極電壓 Vd 為 10V 時算出的

場效移動率。

[0439] 圖 24A 至圖 24C 所示的樣本 2 示出越增大通道長度 L，越抑制臨界電壓的負向漂移的結果。特別是，明確地確認到汲極電壓 V_d 較大時的臨界電壓的負向漂移的抑制效果。另外，還可以知道與通道長度 L 無關地，場效移動率的值幾乎不產生變化。

[0440] 此外，可以確認到與通道長度 L 無關地，圖 25A 至圖 25C 所示的樣本 1 的場效移動率比上述樣本 2 高。再者，還可以知道通道長度 L 越小，場效移動率越得到提高。此外，還可以知道藉由採用在將閘極電極與背閘極電極電連接的狀態下施加閘極電壓的驅動方法，即使在通道長度 L 小的條件（L=2μm）下，相對於汲極電壓 V_d 的臨界電壓的變化也極小。

[0441] 藉由上述結果確認到：在根據本發明的一個方式的電晶體中，藉由採用在將閘極電極與背閘極電極電連接的狀態下施加閘極電壓的驅動方法，通道長度 L 越小，場效移動率越得到提高。因此，在需要高場效移動率的驅動電路的電晶體中使通道長度 L 為小（典型的是 L=2μm）且採用上述驅動方法，且在需要常關閉特性的像素的電晶體中使通道長度 L 大於該驅動電路的電晶體，從而可以提供能夠實現高速驅動及低功耗化的顯示裝置。

實施例 2

[0442] 在本實施例中，說明製造電晶體並對其 V_g-I_d

特性及可靠性進行評價而得到的結果。

[0443]

<樣本的製造>

在本實施例中，製造包括適合於本發明的一個方式的顯示裝置的電晶體的樣本 3 至樣本 6。更具體地，作為本發明的一個方式的樣本 3 至樣本 6，製造相當於圖 1 的驅動電路所示的電晶體 10k 的結構。

[0444] 首先，作為基板使用玻璃基板，在基板上形成閘極電極。

[0445] 藉由濺射法形成厚度為 150nm 的鎢膜，藉由光微影製程在該鎢膜上形成遮罩，使用該遮罩對該鎢膜的一部分進行蝕刻，由此形成閘極電極。

[0446] 接著，在閘極電極上形成用作閘極絕緣膜的絕緣膜。

[0447] 作為閘極絕緣膜，形成厚度為 400nm 的氮化矽膜和厚度為 50nm 的氧氮化矽膜的疊層。另外，閘極絕緣膜藉由電漿 CVD 法形成。

[0448] 接著，形成隔著閘極絕緣膜與閘極電極重疊的氧化物半導體膜。

[0449] 在此，藉由濺射法在閘極絕緣膜上形成氧化物半導體膜。

[0450] 厚度為 35nm 的用於樣本 3 的氧化物半導體膜在如下條件下形成：作為濺射靶材採用 In：Ga：Zn=1：1：1（原子數比）的靶材，將氧比例為 33%的氬和氧的混

合氣體供應到濺射裝置的處理室內，將處理室內的壓力控制為 0.4Pa。另外，將形成氧化物半導體膜時的基板溫度設定為 300℃。

[0451] 厚度為 35nm 的用於樣本 4 的氧化物半導體膜在如下條件下形成：作為濺射靶材採用 In：Ga：Zn=3：1：2（原子數比）的靶材，將氧比例為 33%的氬和氧的混合氣體供應到濺射裝置的處理室內，將處理室內的壓力控制為 0.4Pa。另外，將形成氧化物半導體膜時的基板溫度設定為 300℃。

[0452] 厚度為 35nm 的用於樣本 5 的氧化物半導體膜在如下條件下形成：作為濺射靶材採用 In：Ga：Zn=3：1：3（原子數比）的靶材，將氧比例為 33%的氬和氧的混合氣體供應到濺射裝置的處理室內，將處理室內的壓力控制為 0.4Pa。另外，將形成氧化物半導體膜時的基板溫度設定為 300℃。

[0453] 厚度為 35nm 的用於樣本 6 的氧化物半導體膜在如下條件下形成：作為濺射靶材採用 In：Ga：Zn=3：1：4（原子數比）的靶材，將氧比例為 33%的氬和氧的混合氣體供應到濺射裝置的處理室內，將處理室內的壓力控制為 0.4Pa。另外，將形成氧化物半導體膜時的基板溫度設定為 300℃。

[0454] 接著，形成與氧化物半導體膜接觸的一對電極。

[0455] 首先，在閘極絕緣膜及氧化物半導體膜上形

成導電膜。作為該導電膜，在厚度為 50nm 的鎢膜上形成厚度為 400nm 的鋁膜，並在該鋁膜上形成厚度為 100nm 的鈦膜。接著，藉由光微影製程在該導電膜上形成遮罩，使用該遮罩對該導電膜的一部分進行蝕刻，從而形成一對電極。

[0456] 接著，在氧化物半導體膜及一對電極上形成第二閘極絕緣膜。在此，作為第二閘極絕緣膜採用厚度為 50nm 的第一氧化物絕緣膜、厚度為 400nm 的第二氧化物絕緣膜和厚度為 100nm 的氮化物絕緣膜的三層結構。

[0457] 第一氧化物絕緣膜利用電漿 CVD 法在如下條件下形成：使用流量為 20sccm 的矽烷及流量為 3000sccm 的一氧化二氮作為源氣體，將處理室的壓力設定為 200Pa，將基板溫度設定為 350℃，並向平行平板電極供應 100W 的高頻功率。

[0458] 第二氧化物絕緣膜利用電漿 CVD 法在如下條件下形成：使用流量為 160sccm 的矽烷及流量為 4000sccm 的一氧化二氮作為源氣體，將處理室的壓力設定為 200Pa，將基板溫度設定為 220℃，並向平行平板電極供應 1500W 的高頻功率。根據上述條件可以形成含有超過化學計量組成的氧且藉由加熱使氧的一部分脫離的氧氮化矽膜。

[0459] 接著，在進行加熱處理以使水、氮、氫等從第一氧化物絕緣膜及第二氧化物絕緣膜中脫離的同時，使第二氧化物絕緣膜中的氧的一部分供應到氧化物半導體

膜。在此，在氮及氧氛圍下以 350℃進行 1 小時的加熱處理。

[0460] 接著，在第二氧化物絕緣膜上形成氮化物絕緣膜。氮化物絕緣膜利用電漿 CVD 法在如下條件下形成：使用流量為 50sccm 的矽烷、流量為 5000sccm 的氮以及流量為 100sccm 的氨氣體作為源氣體，將處理室的壓力設定為 100Pa，將基板溫度設定為 350℃，並向平行平板電極供應 1000W 的高頻功率。

[0461] 接著，在沒有設置氧化物半導體膜及一對電極的區域中，在閘極絕緣膜及第二閘極絕緣膜的一部分形成到達閘極電極的開口部。藉由光微影製程在第二閘極絕緣膜上形成遮罩並使用該遮罩對閘極絕緣膜及第二閘極絕緣膜的一部分進行蝕刻，來形成該開口部。

[0462] 接著，在第二閘極絕緣膜上形成用作背閘極電極的第二閘極電極。背閘極電極採用藉由設置在閘極絕緣膜及第二閘極絕緣膜的一部分的開口部與閘極電極電連接的結構。

[0463] 在此，作為背閘極電極，藉由濺射法形成厚度為 110nm 的包含氧化矽的氧化銦-氧化錫化合物（ITO-SiO_2）的導電膜。另外，用於該導電膜的靶材的組成為 In_2O_3：SnO_2：SiO_2=85：10：5[wt%]。

[0464] 接著，在氮氛圍下，以 250℃進行 1 小時的加熱處理。

[0465] 藉由上述製程，得到本實施例的樣本 3、4、

5、6。

[0466] 注意，作為上述樣本 3 至樣本 6，分別製造通道寬度 W 為 50μm 且通道長度 L 為 3μm、6μm 及 10μm 的三種電晶體。

[0467]

<V_g-I_d 特性>

接著，測量樣本 3 至樣本 6 中的電晶體的初期的 V_g-I_d 特性。在此，在如下條件下測量流過源極與汲極之間的電流（以下，稱為汲極電流或 I_d）的變化特性，即 V_g-I_d 特性：將基板溫度設定為 25℃，將源極與汲極之間的電位差（以下，稱為汲極電壓或 V_d）設定為 1V、10V，並使源極與閘極之間的電位差（以下，稱為閘極電壓或 V_g）在 -20V 至 20V 的範圍內變化。

[0468] 圖 39 示出樣本 3 至樣本 6 的 V_g-I_d 特性。

[0469] 另外，在圖 39 中，橫軸表示閘極電壓 V_g，第一縱軸表示汲極電流 I_d，第二縱軸表示場效移動率。在此，為了示出飽和區域中的值，作為場效移動率示出當汲極電壓 Vd 為 10V 時算出的場效移動率。

[0470] 從圖 39 可知，樣本 4 至樣本 6 的電晶體的場效移動率比樣本 3 的電晶體高 2 倍至 3 倍左右。另外可知，樣本 4 的電晶體具有最高的場效移動率。

[0471]

<可靠性>

接著，對樣本 3 至樣本 6 的可靠性進行評價。在光照

射狀態下測量 V_g-I_d 特性，對可靠性進行評價。V_g-I_d 特性的測量方法參照上述 V_g-I_d 特性的測量方法的記載。

[0472] 另外，在光照射中使用氙氣燈，從與樣本垂直的方向對樣本照射 400nm、450nm 及 500nm 的波長的光。

[0473] 圖 40 示出樣本 3 至樣本 6 的光照射狀態下的 V_g-I_d 特性。

[0474] 從圖 40 可知，在銦的比例高的樣本 4 至樣本 6 中，光照射狀態下的關態電流的增大比樣本 3 大。另一方面，在樣本 3 中，在照射可見光區的波長為 500nm 的光的狀態下，觀察不到關態電流的增大。

[0475] 從上述結果可知，樣本 3 的電晶體適合於有可能被照射光的像素中的電晶體。另外可知，樣本 4 至樣本 6 的電晶體適合於能夠遮光的驅動電路中的電晶體，因為雖然在光照射狀態下觀察到關態電流的增大，但是它們具有高場效移動率。

實施例 3

[0476] 在本實施例中，製造包括適合於本發明的一個方式的顯示裝置的像素的電晶體的樣本 8 以及包括適合於顯示裝置的驅動電路的電晶體的樣本 7。更具體地，作為本發明的一個方式的樣本 8，製造相當於圖 34 的像素所示的電晶體 10m 的結構。另外，作為本發明的一個方式的樣本 7，製造相當於圖 34 的驅動電路所示的電晶體

10kb 的結構。在此，電晶體 10kb 不包括第二氧化物半導體膜 82。

[0477] 首先，作為基板使用玻璃基板，在基板上形成閘極電極。

[0478] 藉由濺射法形成厚度為 100nm 的鎢膜，藉由光微影製程在該鎢膜上形成遮罩，使用該遮罩對該鎢膜的一部分進行蝕刻，由此形成閘極電極。

[0479] 接著，在閘極電極上形成用作閘極絕緣膜的絕緣膜。

[0480] 層疊厚度為 50nm 的氮化矽膜、厚度為 300nm 的氧氮化矽膜、厚度為 50nm 的氧氮化矽膜，由此形成閘極絕緣膜。另外，藉由電漿 CVD 法形成閘極絕緣膜。

[0481] 接著，形成隔著閘極絕緣膜與閘極電極重疊的氧化物半導體膜。

[0482] 在此，藉由濺射法在閘極絕緣膜上形成氧化物半導體膜。

[0483] 厚度為 35nm 的用於樣本 7 的氧化物半導體膜在如下條件下形成：作為濺射靶材使用 In：Ga：Zn=1：1：1（原子數比）的靶材，將氧比例 50%的氬和氧的混合氣體供應到濺射裝置的處理室內，將處理室內的壓力控制為 0.6Pa，供應 2.5kW 的直流功率。另外，將形成氧化物半導體膜時的基板溫度設定為 170℃。

[0484] 厚度為 35nm 的用於樣本 8 的氧化物半導體膜在如下條件下形成：作為濺射靶材使用 In：Ga：Zn=3：

1：2（原子數比）的靶材，將氧比例 50%的氬和氧的混合氣體供應到濺射裝置的處理室內，將處理室內的壓力控制為 0.6Pa，供應 5kW 的直流功率。另外，將形成氧化物半導體膜時的基板溫度設定為 170℃。

[0485] 接著，形成與氧化物半導體膜接觸的一對電極。

[0486] 首先，在閘極絕緣膜及氧化物半導體膜上形成導電膜。作為該導電膜，在厚度為 50nm 的鎢膜上形成厚度為 400nm 的鋁膜，並在該鋁膜上形成厚度為 100nm 的鈦膜。接著，藉由光微影製程在該導電膜上形成遮罩，使用該遮罩對該導電膜的一部分進行蝕刻，從而形成一對電極。

[0487] 接著，在氧化物半導體膜及一對電極上形成第二閘極絕緣膜。在此，作為第二閘極絕緣膜採用厚度為 50nm 的第一氧化物絕緣膜、厚度為 400nm 的第二氧化物絕緣膜和厚度為 100nm 的氮化物絕緣膜的三層結構。

[0488] 第一氧化物絕緣膜利用電漿 CVD 法在如下條件下形成：使用流量為 30sccm 的矽烷及流量為 4000sccm 的一氧化二氮作為源氣體，將處理室的壓力設定為 200Pa，將基板溫度設定為 350℃，並向平行平板電極供應 150W 的高頻功率。

[0489] 第二氧化物絕緣膜利用電漿 CVD 法在如下條件下形成：使用流量為 200sccm 的矽烷及流量為 4000sccm 的一氧化二氮作為源氣體，將處理室的壓力設

定為 200Pa，將基板溫度設定為 220℃，並向平行平板電極供應 1500W 的高頻功率。根據上述條件可以形成含有超過化學計量組成的氧且藉由加熱使氧的一部分脫離的氧氮化矽膜。

[0490] 接著，在進行加熱處理以使水、氮、氫等從第一氧化物絕緣膜及第二氧化物絕緣膜中脫離的同時，使第二氧化物絕緣膜中的氧的一部分供應到氧化物半導體膜。在此，在氮及氧氛圍下以 350℃進行 1 小時的加熱處理。

[0491] 接著，在第二氧化物絕緣膜上形成氮化物絕緣膜。氮化物絕緣膜利用電漿 CVD 法在如下條件下形成：使用流量為 50sccm 的矽烷、流量為 5000sccm 的氮以及流量為 100sccm 的氨氣體作為源氣體，將處理室的壓力設定為 100Pa，將基板溫度設定為 350℃，並向平行平板電極供應 1000W 的高頻功率。

[0492] 接著，在沒有設置氧化物半導體膜及一對電極的區域中，在閘極絕緣膜及第二閘極絕緣膜的一部分形成到達閘極電極的開口部。藉由光微影製程在第二閘極絕緣膜上形成遮罩並使用該遮罩對閘極絕緣膜及第二閘極絕緣膜的一部分進行蝕刻，來形成該開口部。

[0493] 接著，在第二閘極絕緣膜上形成用作背閘極電極的第二閘極電極。背閘極電極採用藉由設置在閘極絕緣膜及第二閘極絕緣膜的一部分的開口部與閘極電極電連接的結構。

[0494] 在此，作為背閘極電極，藉由濺射法形成厚度為 100nm 的包含氧化矽的氧化銦-氧化錫化合物（ITO-SiO_2）的導電膜。另外，用於該導電膜的靶材的組成為 In_2O_3：SnO_2：SiO_2=85：10：5[wt%]。

[0495] 接著，在氮氛圍下，以 250℃進行 1 小時的加熱處理。

[0496] 藉由上述製程，得到本實施例的樣本 7 及樣本 8。在樣本 8 的製程中，省略上述製程中的背閘極電極的形成製程。

[0497] 另外，作為上述樣本 7 及樣本 8，分別製造通道寬度 W 為 50μm 且通道長度 L 為 3μm、6μm 的兩種電晶體。

[0498]

<可靠性>

接著，對樣本 7 及樣本 8 的電晶體的可靠性進行評價。利用閘極偏壓應力測試進行可靠性的評價。

[0499] 說明正閘極 BT 壓力測試（正 BT）的測量方法。為了測量成為正閘極 BT 壓力測試的對象的電晶體的初期（施加壓力之前）的電特性，在基板溫度為 60℃且汲極電壓 Vd 為 1V 或 10V 的條件下測量對於閘極電壓 V_g 的汲極電流 I_d 的變化特性，即 V_g-I_d 特性。

[0500] 接著，在保持 60℃的基板溫度的狀態下，將電晶體的汲極電壓 Vd 設定為 0V。然後，施加閘極電壓 V_g+30V 並保持 1 小時。

[0501] 另外，在負閘極 BT 壓力測試（負 BT）時施加閘極電壓-30V。

[0502] 此外，在暗態下（Dark）進行正閘極 BT 壓力測試及負閘極 BT 壓力測試。

[0503] 圖 41 及圖 42 示出樣本 7 及樣本 8 的閘極 BT 壓力測試前後的 V_g-I_d 特性。另外，以實線示出測試之前的 V_g-I_d 特性，以虛線示出測試之後的 V_g-I_d 特性。此外，表 1 及表 2 表示臨界電壓的變化（ΔV_{th}）及漂移值的變化（ΔShift）。注意，臨界電壓（V_{th}）是指形成有通道時的閘極電壓（源極與閘極之間的電壓）。臨界電壓（V_{th}）是作為如下閘極電壓（V_g）算出的：在由橫軸表示閘極電壓（V_g）且由縱軸表示汲極電流（I_d）的平方根，而標繪出其資料來形成的曲線（V_g–$\sqrt{I_d}$ 特性）中，將具有最大傾斜度的切線外推時的直線與汲極電流（I_d）的平方根為 0 處（I_d 是 0A）時的直線的交叉點的閘極電壓（V_g）。另外，在示出 V_g-I_d 特性的曲線中，漂移值是作為如下閘極電壓（V_g）算出的：將具有最大傾斜度的切線外推時的直線與汲極電流（I_d）為 1×10^{-12}A 時的直線的交叉點的閘極電壓（V_g）。

[0504]

[表 1]

正閘極 BT 測試

	樣本 7		樣本 8	
	ΔV_{th} [V]	ΔShift [V]	ΔV_{th} [V]	ΔShift [V]
L=3μm	1.95	1.95	-0.38	-1.07
L=6μm	2.34	2.48	0.24	0.16

[0505]

[表 2]

負閘極 BT 測試

	樣本 7		樣本 8	
	ΔV_{th} [V]	ΔShift [V]	ΔV_{th} [V]	ΔShift [V]
L=3μm	0.06	0.17	-0.26	-0.34
L=6μm	0.08	0.22	0.03	0.04

[0506] 從上述結果確認到：在根據本發明的一個方式的電晶體中，藉由採用在將閘極電極與背閘極電極電連接的狀態下施加閘極電壓的驅動方法，場效移動率得到提高，並且具有高可靠性。

實施例 4

[0507] 在本實施例中，說明對所製造的電晶體的 V_g-I_d 特性及可靠性進行評價而得到的結果。

[0508]

<樣本的製造>

在本實施例中，製造包括適合於本發明的一個方式的顯示裝置的像素的電晶體的樣本 9 以及包括適合於顯示裝置的驅動電路的電晶體的樣本 10。更具體地，作為本發

明的一個方式的樣本 9，製造相當於圖 43 的像素所示的電晶體 10mb 的結構。另外，作為本發明的一個方式的樣本 10，製造相當於圖 43 的驅動電路所示的電晶體 10ka 的結構。

[0509] 首先，作為基板使用玻璃基板，在基板上形成閘極電極。

[0510] 藉由濺射法形成厚度為 100nm 的鎢膜，藉由光微影製程在該鎢膜上形成遮罩，使用該遮罩對該鎢膜的一部分進行蝕刻，由此形成閘極電極。

[0511] 接著，在閘極電極上形成用作閘極絕緣膜的絕緣膜。

[0512] 作為閘極絕緣膜，形成厚度為 50nm 的氮化矽膜和厚度為 200nm 的氧氮化矽膜的疊層。另外，閘極絕緣膜藉由電漿 CVD 法形成。

[0513] 接著，形成隔著閘極絕緣膜與閘極電極重疊的氧化物半導體膜。

[0514] 在此，藉由濺射法在閘極絕緣膜上形成氧化物半導體膜。

[0515] 氧化物半導體膜具有單層結構的樣本為樣本 9。在樣本 9 中，厚度為 35nm 的氧化物半導體膜在如下條件下形成：使用 In：Ga：Zn=1：1：1（原子數比）的靶材作為濺射靶材，將氧比例為 50%的氬和氧的混合氣體供應到濺射裝置的處理室內，將處理室內的壓力控制為 0.6Pa，並且供應 2.5kW 的直流功率。另外，將形成氧化

物半導體膜時的基板溫度設定為 170℃。

[0516] 氧化物半導體膜具有疊層結構的樣本為樣本 10。在樣本 10 中，氧化物半導體膜包括：使用 In：Ga：Zn=3：1：2（原子數比）的靶材作為靶材，將氧比例為 50%的氬和氧的混合氣體供應到濺射裝置的處理室內，將處理室內的壓力控制為 0.6Pa，並且供應 2.5kW 的功率，由此形成的厚度為 10nm 的第一層；以及使用 In：Ga：Zn=1：1：1（原子數比）的靶材作為靶材，將氧比例為 50%的氬和氧的混合氣體供應到濺射裝置的處理室內，將處理室內的壓力控制為 0.6Pa，並且供應 5kW 的直流功率，由此形成的厚度為 10nm 的第二層。另外，將形成氧化物半導體膜時的基板溫度設定為 170℃。

[0517] 接著，形成與氧化物半導體膜接觸的一對電極。

[0518] 首先，在閘極絕緣膜及氧化物半導體膜上形成導電膜。作為該導電膜，在厚度為 50nm 的鎢膜上形成厚度為 400nm 的鋁膜，並在該鋁膜上形成厚度為 100nm 的鈦膜。接著，藉由光微影製程在該導電膜上形成遮罩，使用該遮罩對該導電膜的一部分進行蝕刻，從而形成一對電極。

[0519] 接著，在氧化物半導體膜及一對電極上形成保護絕緣膜。在此，作為保護絕緣膜採用厚度為 10nm 的第一氧化物絕緣膜及厚度為 390nm 的第二氧化物絕緣膜的兩層結構。

[0520] 第一氧化物絕緣膜利用電漿 CVD 法在如下條件下形成：使用流量為 20sccm 的矽烷及流量為 3000sccm 的一氧化二氮作為源氣體，將處理室的壓力設定為 200Pa，將基板溫度設定為 350℃，並向平行平板電極供應 100W 的高頻功率。

[0521] 第二氧化物絕緣膜利用電漿 CVD 法在如下條件下形成：使用流量為 160sccm 的矽烷及流量為 4000sccm 的一氧化二氮作為源氣體，將處理室的壓力設定為 200Pa，將基板溫度設定為 220℃，並向平行平板電極供應 1500W 的高頻功率。根據上述條件可以形成含有超過化學計量組成的氧且藉由加熱使氧的一部分脫離的氧氮化矽膜。

[0522] 接著，在進行加熱處理以使水、氮、氫等從第一氧化物絕緣膜及第二氧化物絕緣膜中脫離的同時，使第二氧化物絕緣膜中的氧的一部分供應到氧化物半導體膜。在此，在氮及氧氛圍下以 350℃進行 1 小時的加熱處理。

[0523] 接著，在沒有設置氧化物半導體膜及一對電極的區域中，在閘極絕緣膜及保護絕緣膜的一部分形成到達閘極電極的開口部。藉由光微影製程在保護絕緣膜上形成遮罩，使用該遮罩對閘極絕緣膜及保護絕緣膜的一部分進行蝕刻，由此形成該開口部。

[0524] 接著，在氮氛圍下，以 250℃進行 1 小時的加熱處理。

[0525] 藉由上述製程，得到本實施例的樣本 9 及樣本 10。

[0526] 另外，作為上述樣本 9 及樣本 10，分別製造通道寬度 W 為 50μm 且通道長度 L 為 2μm、3μm 及 6μm 的三種電晶體。

[0527]

<V_g-I_d 特性>

接著，測量樣本 9 及樣本 10 中的電晶體的初期的 V_g-I_d 特性。在此，在如下條件下測量流過源極與汲極之間的電流（以下，稱為汲極電流或 I_d）的變化特性，即 V_g-I_d 特性：將基板溫度設定為 25℃，將源極與汲極之間的電位差（以下，稱為汲極電壓或 V_d）設定為 1V、10V，並使源極與閘極之間的電位差（以下，稱為閘極電壓或 V_g）在-20V 至 15V 或 -15V 至 10V 的範圍內變化。

[0528] 圖 47 示出樣本 9 及樣本 10 的 V_g-I_d 特性。

[0529] 另外，在圖 47 中，橫軸表示閘極電壓 V_g，第一縱軸表示汲極電流 I_d，第二縱軸表示場效移動率。在此，為了示出飽和區域中的值，作為場效移動率示出當汲極電壓 Vd 為 10V 時算出的場效移動率。

[0530] 從圖 47 可知，樣本 10 的電晶體的場效移動率比樣本 9 的電晶體高 3 倍左右。

[0531] 從上述結果可知，藉由使用銦的比例高的氧化物半導體膜，場效移動率得到提高。因此，在需要高場效移動率的驅動電路的電晶體中，藉由使用銦的比例高的

氧化物半導體膜，可以提供一種能夠實現高清晰化的顯示裝置。

【符號說明】

[0532]

10：電晶體

10k：電晶體

10ka：電晶體

10kb：電晶體

10k_1：電晶體

10k_2：電晶體

10k_3：電晶體

10k_4：電晶體

10m：電晶體

10mb：電晶體

10m_1：電晶體

10m_2：電晶體

10m_3：電晶體

10m_4：電晶體

10n：電晶體

10na：電晶體

10nb：電晶體

11：基板

12：基底絕緣膜

13：閘極電極

13c：閘極電極

13d：閘極電極

15：閘極絕緣膜

19：電極

19c：電極

19d：電極

20：電極

20c：電極

20d：電極

21：保護膜

23：氧化物絕緣膜

25：氧化物絕緣膜

27：氮化物絕緣膜

80：氧化物半導體膜

80a：氧化物半導體膜

80b：氧化物半導體膜

81：氧化物半導體膜

81a：氧化物半導體膜

82：氧化物半導體膜

83：氧化物半導體膜

83a：氧化物半導體膜

84：氧化物半導體膜

85：氧化物半導體膜

86：像素電極

86a：電極

87：導電膜

88：有機絕緣膜

89：電容元件

90：反基板

91：反電極

92a：配向膜

92b：配向膜

93：液晶層

94：液晶元件

95：絕緣膜

96：絕緣膜

97：EL 層

98：電極

99：有機 EL 元件

310：電子槍室

312：光學系統

314：樣本室

316：光學系統

318：拍攝裝置

320：觀察室

322：膠片室

324：電子

328：物質

332：螢光板

900：基板

901：像素部

902：掃描線驅動電路

903：掃描線驅動電路

904：信號線驅動電路

910：電容佈線

912：閘極佈線

913：閘極佈線

914：電極

916：電晶體

917：電晶體

918：液晶元件

919：液晶元件

920：像素

921：開關電晶體

922：驅動電晶體

923：電容元件

924：發光元件

925：信號線

926：掃描線

927：電源線

928：共用電極

1001：主體

1002：外殼

1003a：顯示部

1003b：顯示部

1004：鍵盤按鈕

1021：主體

1022：固定部

1023：顯示部

1024：操作按鈕

1025：外部儲存槽

1030：外殼

1031：外殼

1032：顯示裝置

1033：揚聲器

1034：麥克風

1035：操作鍵

1036：指向裝置

1037：照相機用透鏡

1038：外部連接端子

1040：太陽能電池

1041：外部儲存槽

1050：電視機

1051：外殼

1052：儲存介質再現錄影部

1053：顯示部

1054：外部連接端子

1055：支架

1056：外部記憶體

5100：顆粒

5120：基板

5161：區域

8000：顯示模組

8001：上蓋

8002：下蓋

8003：FPC

8004：觸控面板

8005：FPC

8006：顯示裝置單元

8007：背光單元

8008：光源

8009：框架

8010：印刷電路板

8011：電池

申請專利範圍

【請求項 1】

一種顯示裝置，具有：像素部、驅動電路；

其中，該像素部具有第一電晶體；

該驅動電路具有第二電晶體；

該第一電晶體具有第一氧化物半導體膜；

該第二電晶體具有第二氧化物半導體膜；

該第一氧化物半導體膜具有第三氧化物半導體膜、該第三氧化物半導體膜上的第四氧化物半導體膜；

該第二氧化物半導體膜具有第五氧化物半導體膜、該第五氧化物半導體膜上的第六氧化物半導體膜；

該第三氧化物半導體膜、該第四氧化物半導體膜、該第五氧化物半導體膜、及該第六氧化物半導體膜包含 In、Ga、及 Zn；

該第三氧化物半導體膜具有 In 的原子數比較該第四氧化物半導體膜還高的區域；

該第五氧化物半導體膜具有 In 的原子數比較該第六氧化物半導體膜還高的區域；

氧化物絕緣膜位於該第一氧化物半導體膜上及該第二氧化物半導體膜上；

氮化物絕緣膜位於該氧化物絕緣膜上；

島狀的有機絕緣物位於該氮化物絕緣膜上；

並且，該島狀的有機絕緣物具有與該第一氧化物半導體膜的通道區域重疊的區域。

【請求項 2】

一種顯示裝置，具有：像素部、驅動電路；

其中，該像素部具有第一電晶體、與該第一電晶體電連接的液晶元件；

該驅動電路具有第二電晶體；

該第一電晶體具有第一氧化物半導體膜；

該第二電晶體具有第二氧化物半導體膜；

該第一氧化物半導體膜具有第三氧化物半導體膜、該第三氧化物半導體膜上的第四氧化物半導體膜；

該第二氧化物半導體膜具有第五氧化物半導體膜、該第五氧化物半導體膜上的第六氧化物半導體膜；

該第三氧化物半導體膜、該第四氧化物半導體膜、該第五氧化物半導體膜、及該第六氧化物半導體膜包含 In、Ga、及 Zn；

該第三氧化物半導體膜具有 In 的原子數比較該第四氧化物半導體膜還高的區域；

該第五氧化物半導體膜具有 In 的原子數比較該第六氧化物半導體膜還高的區域；

氧化物絕緣膜位於該第一氧化物半導體膜上及該第二氧化物半導體膜上；

氮化物絕緣膜位於該氧化物絕緣膜上；

島狀的有機絕緣物位於該氮化物絕緣膜上；

該液晶元件的像素電極位於該氮化物絕緣膜上；

並且，該島狀的有機絕緣物具有與該第一氧化物半導

體膜的通道區域重疊的區域。

圖式

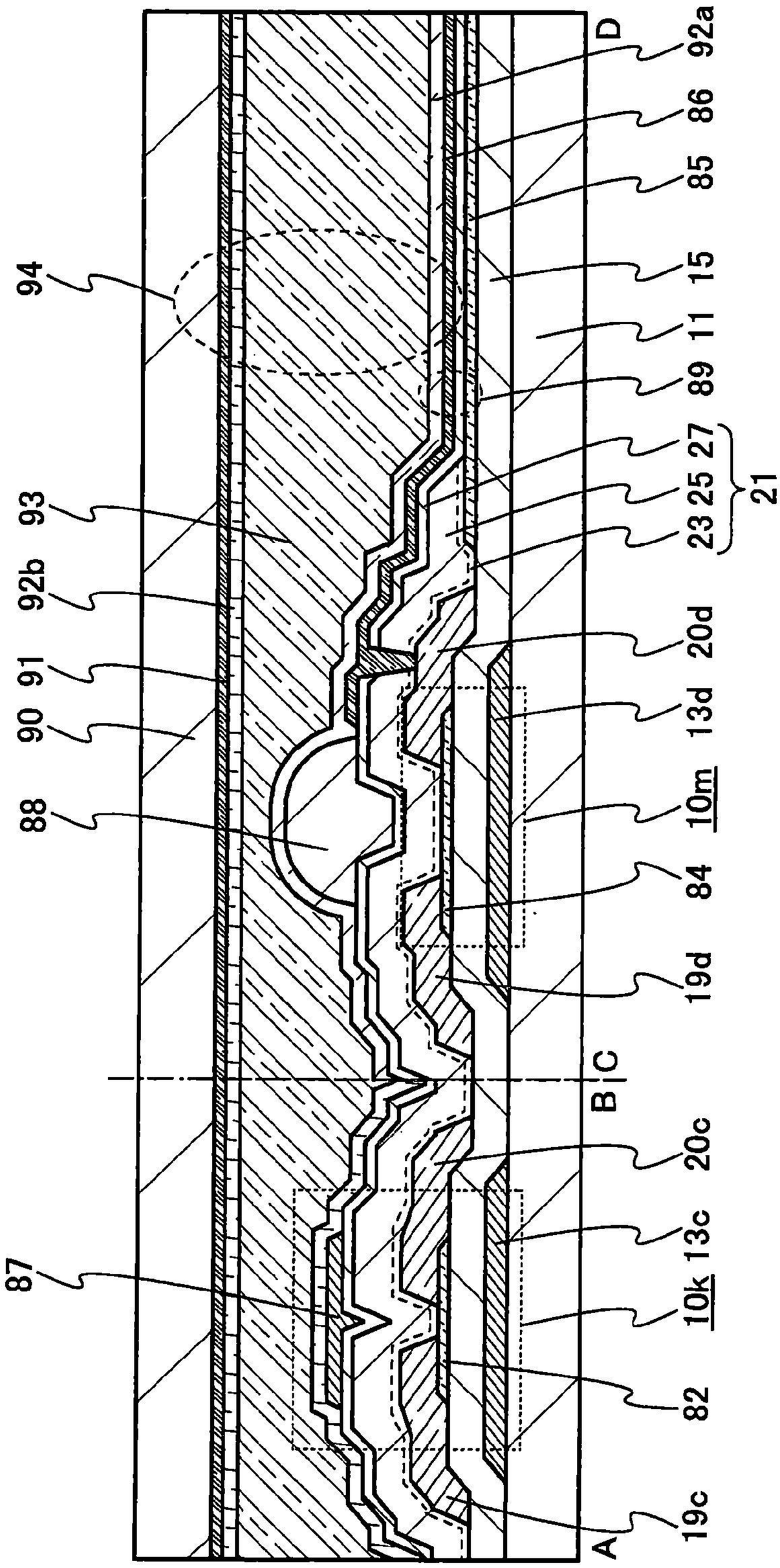

D
92a
86
85
94
15
11
89
27
25
23
21
93
92b
20d
91
13d
90
10m
88
84
19d
B
C
20c
87
13c
10k
82
A
19c

圖 1

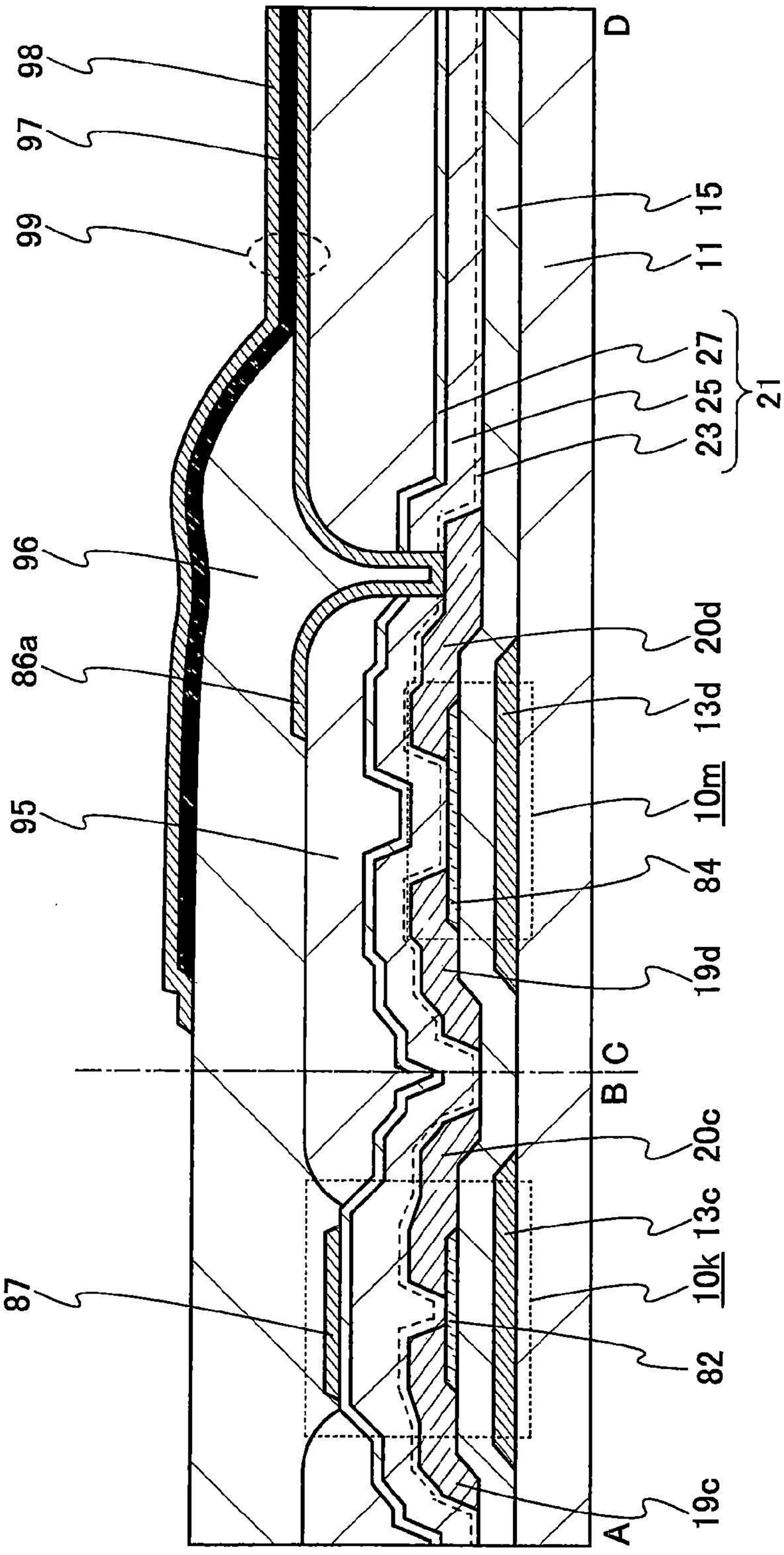

98
97
99
96
86a
95
87
D
15
11
27
25
23
21
20d
13d
10m
84
19d
B
C
20c
13c
10k
82
A
19c

圖 2

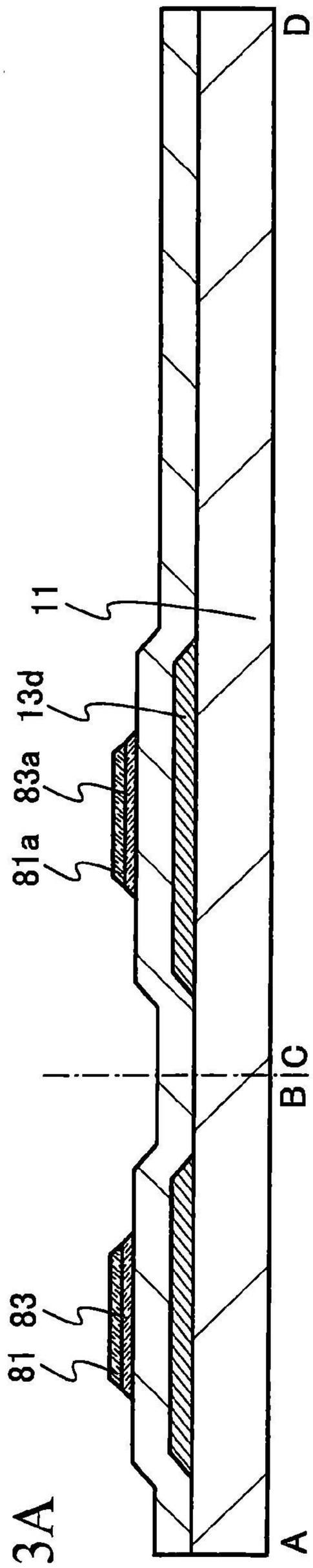


圖 3A

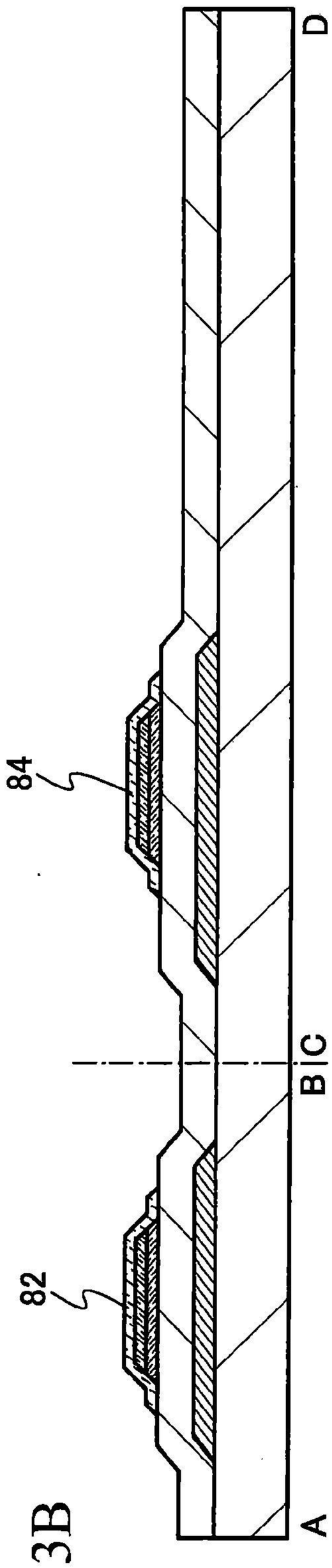


圖 3B

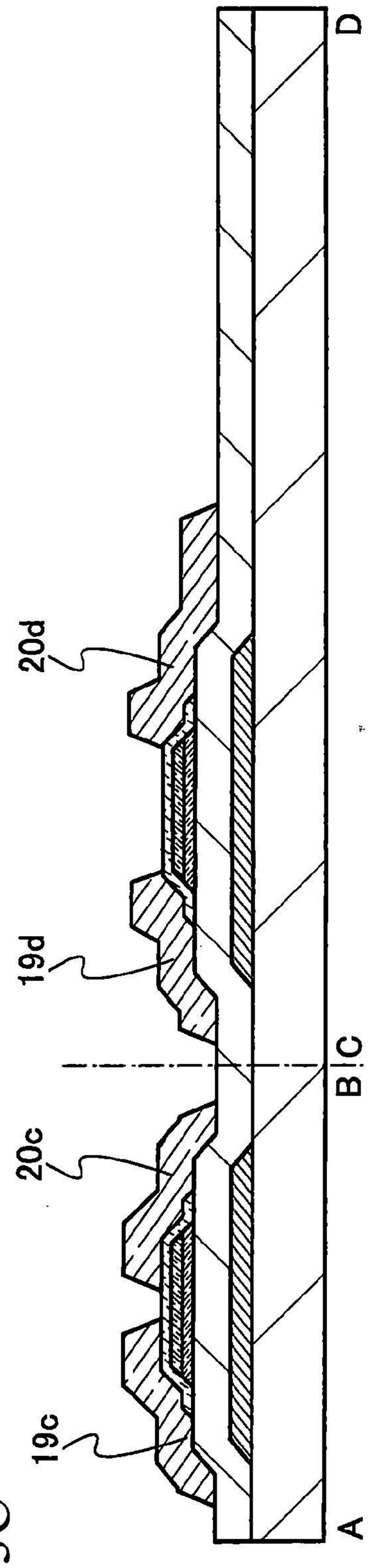


圖 3C

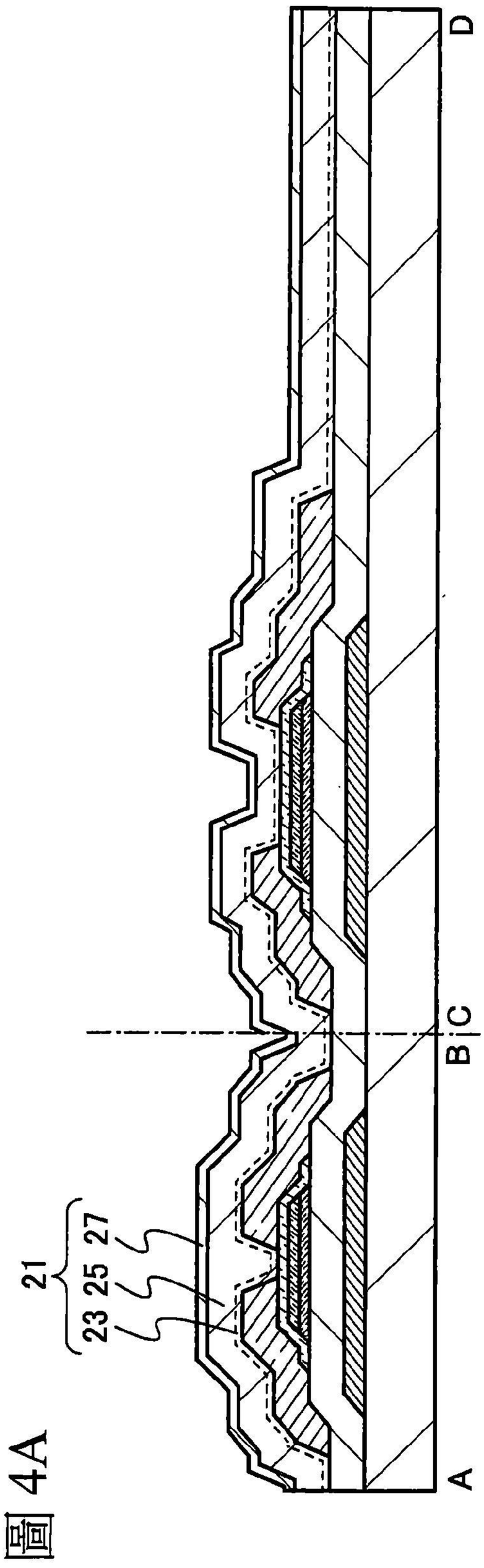


圖 4A

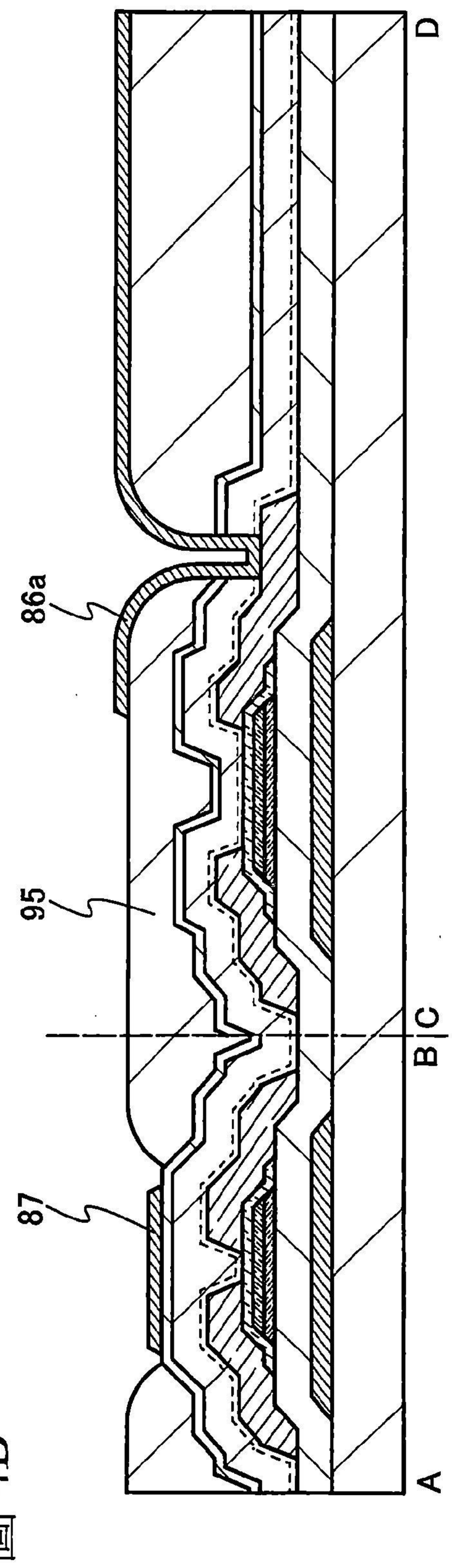


圖 4B

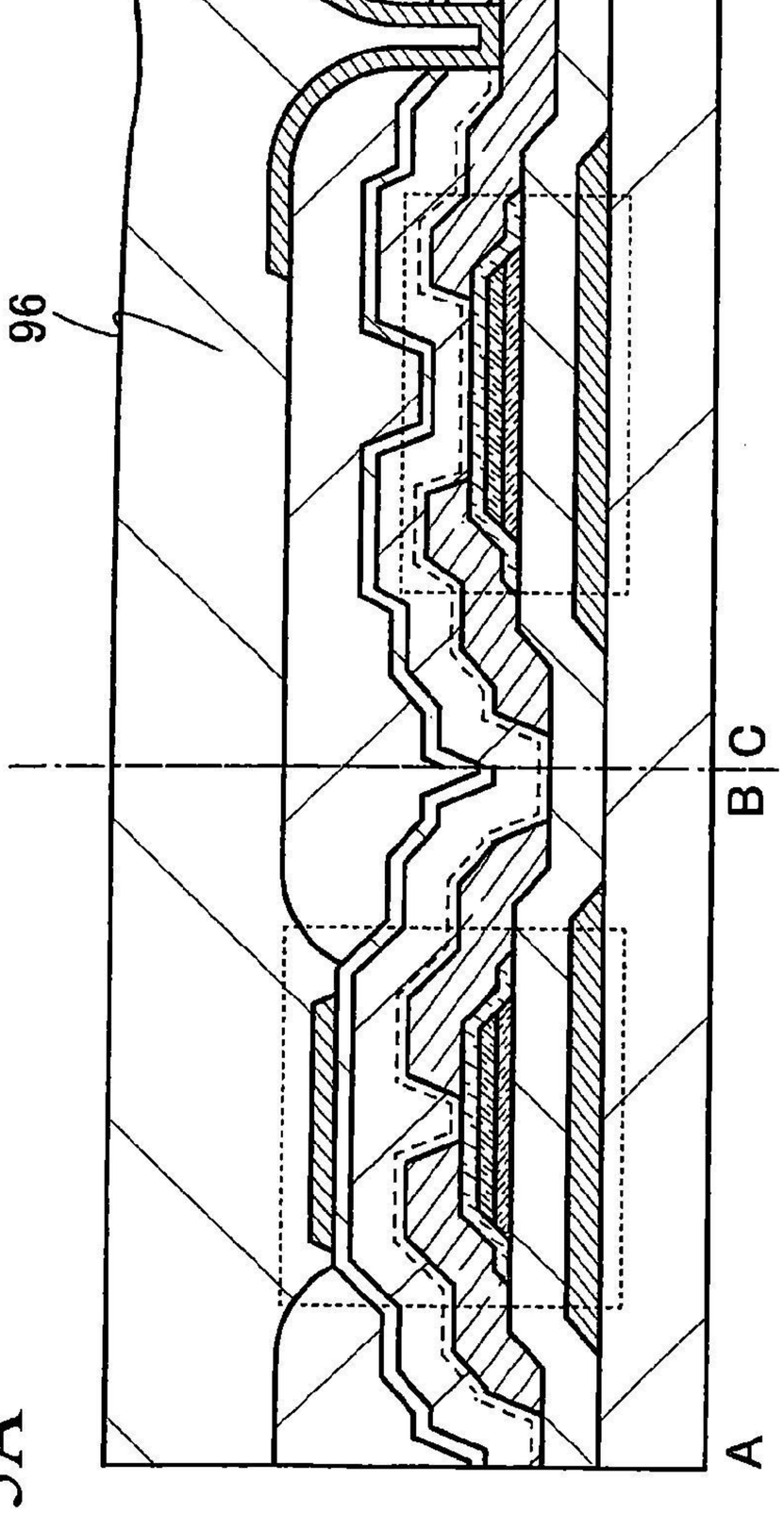


圖 5A

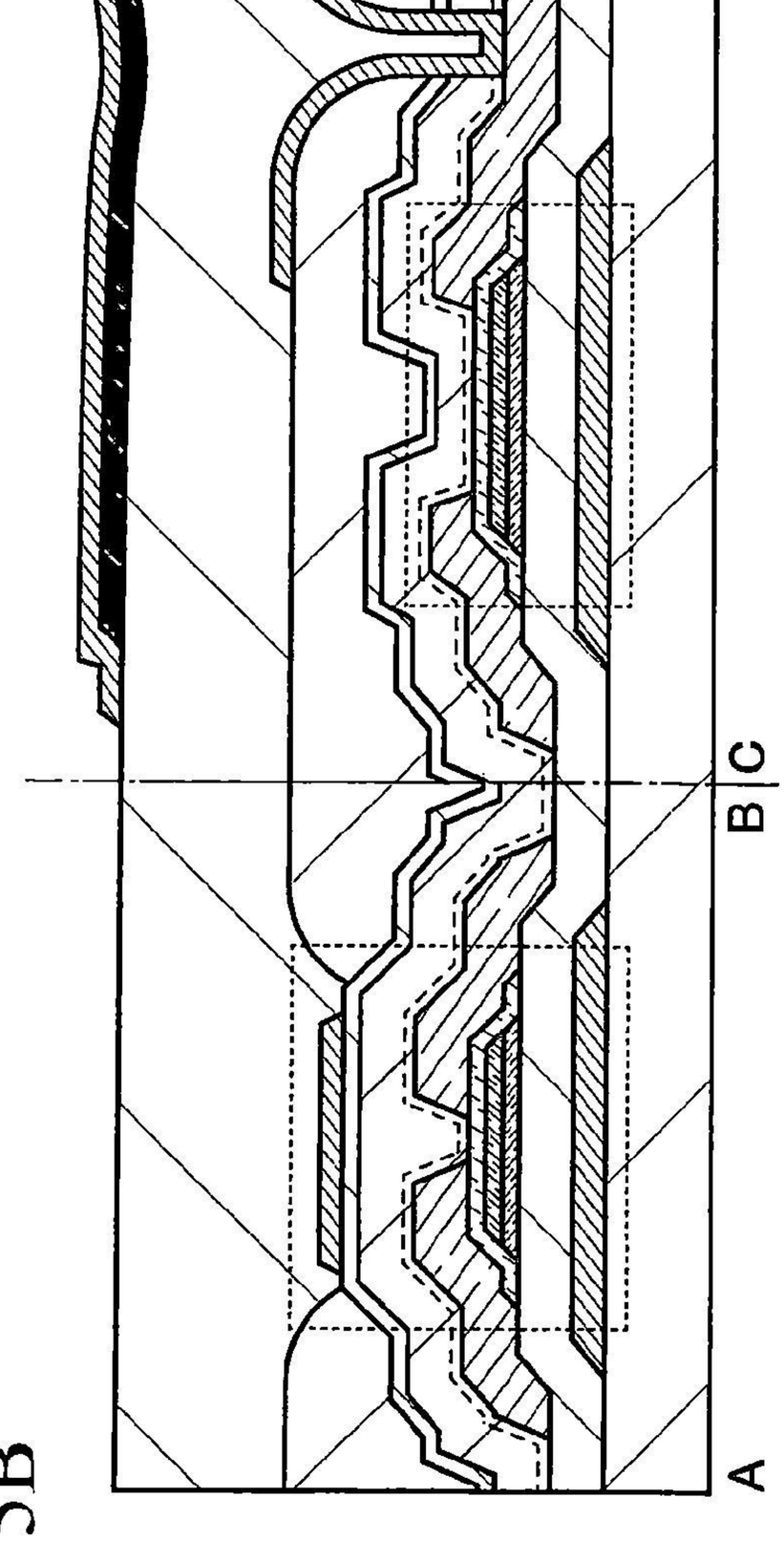


圖 5B

圖 6A

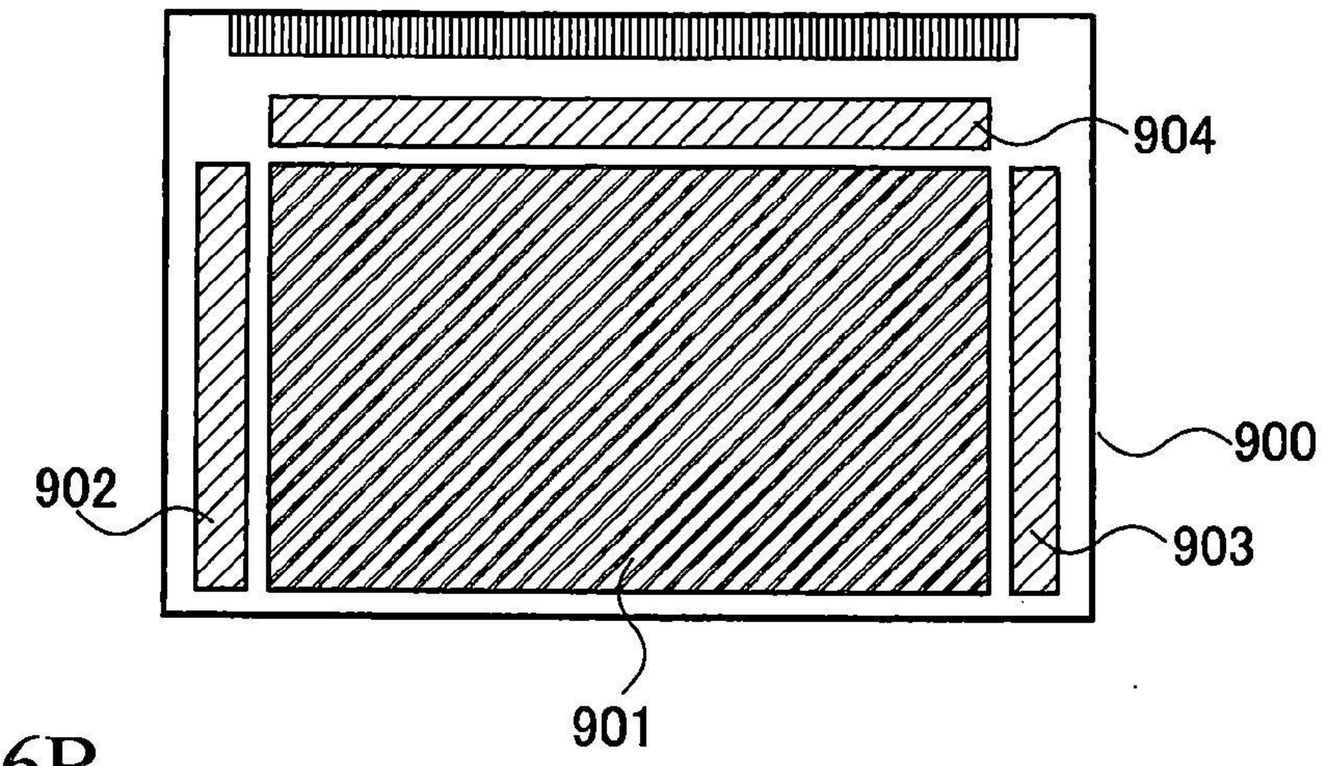

904
900
902
903
901

圖 6B

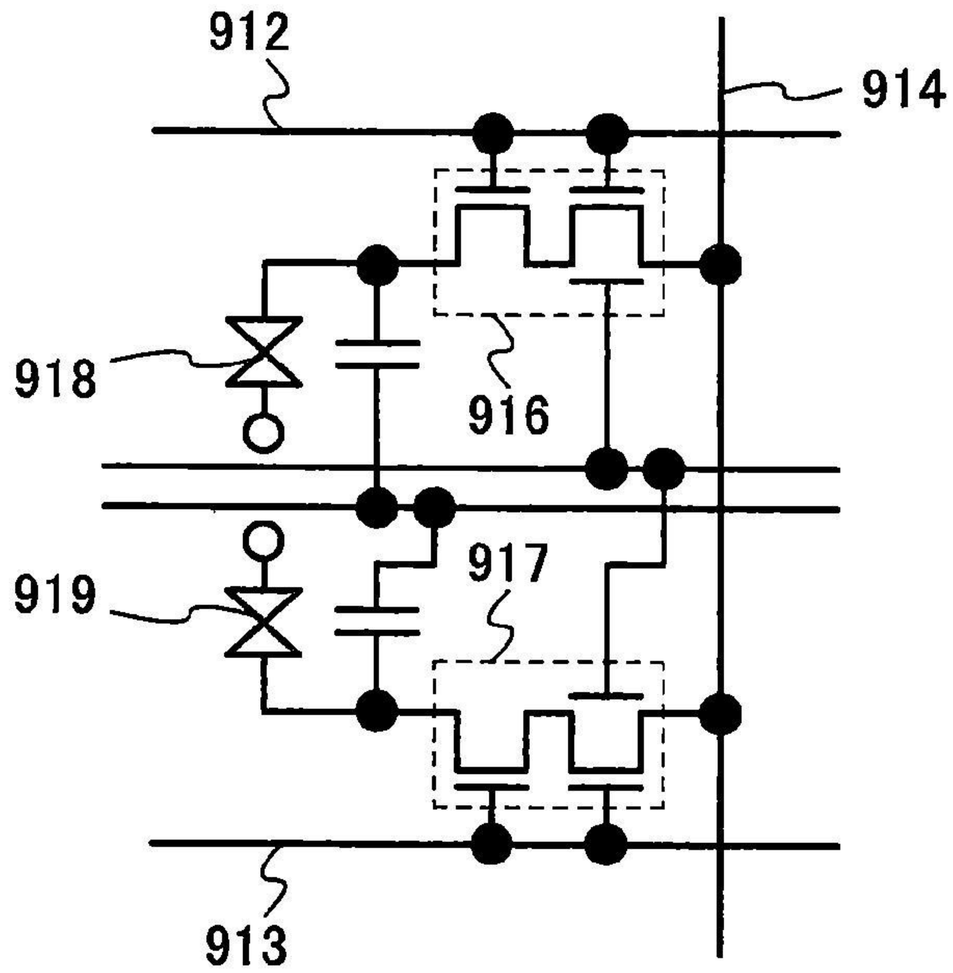

912
914
918
916
917
919
913

圖 6C

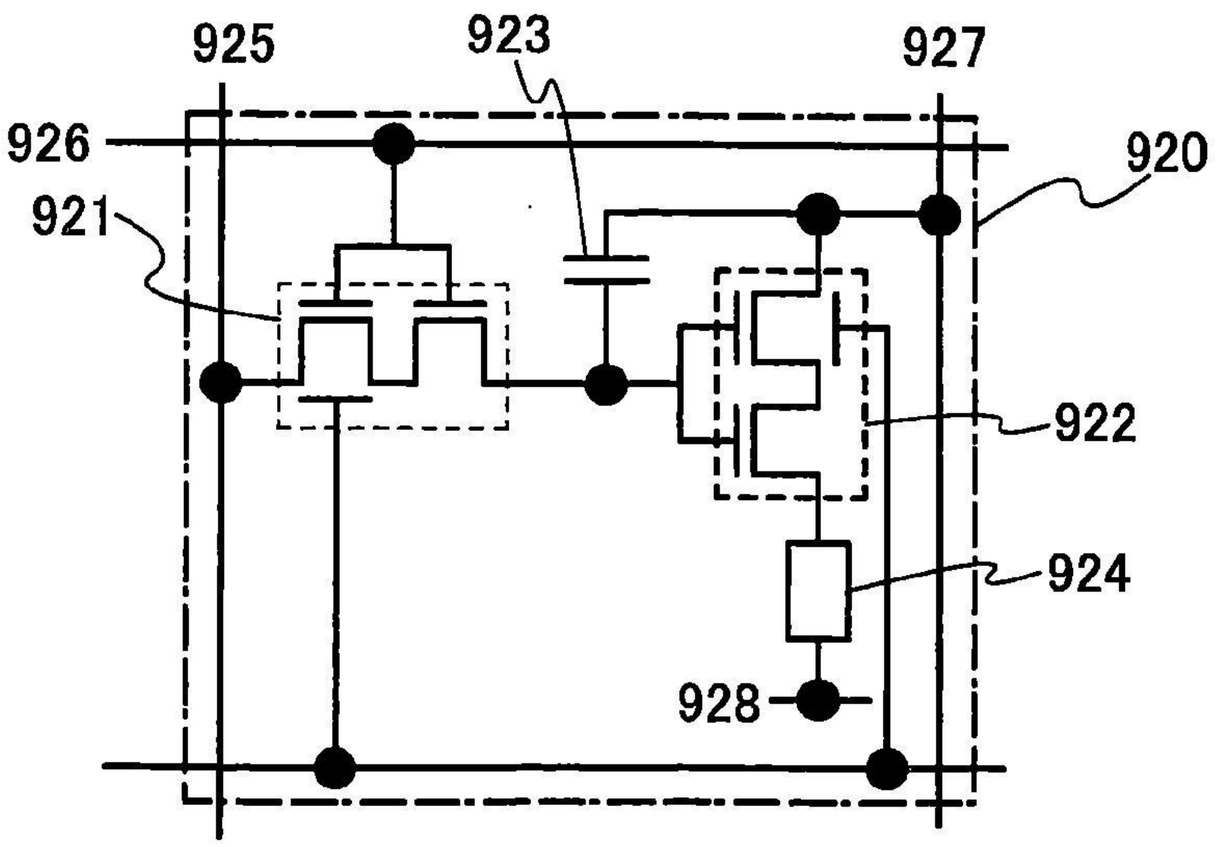

925
923
927
926
920
921
922
924
928

圖 7A

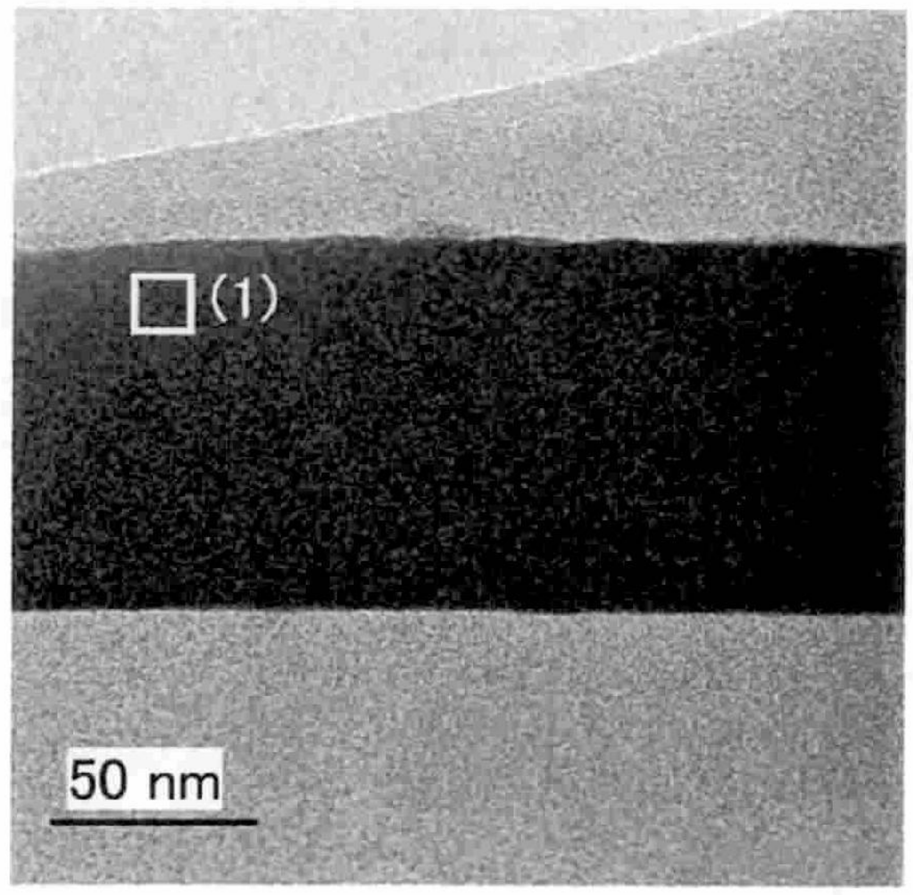


圖 7B

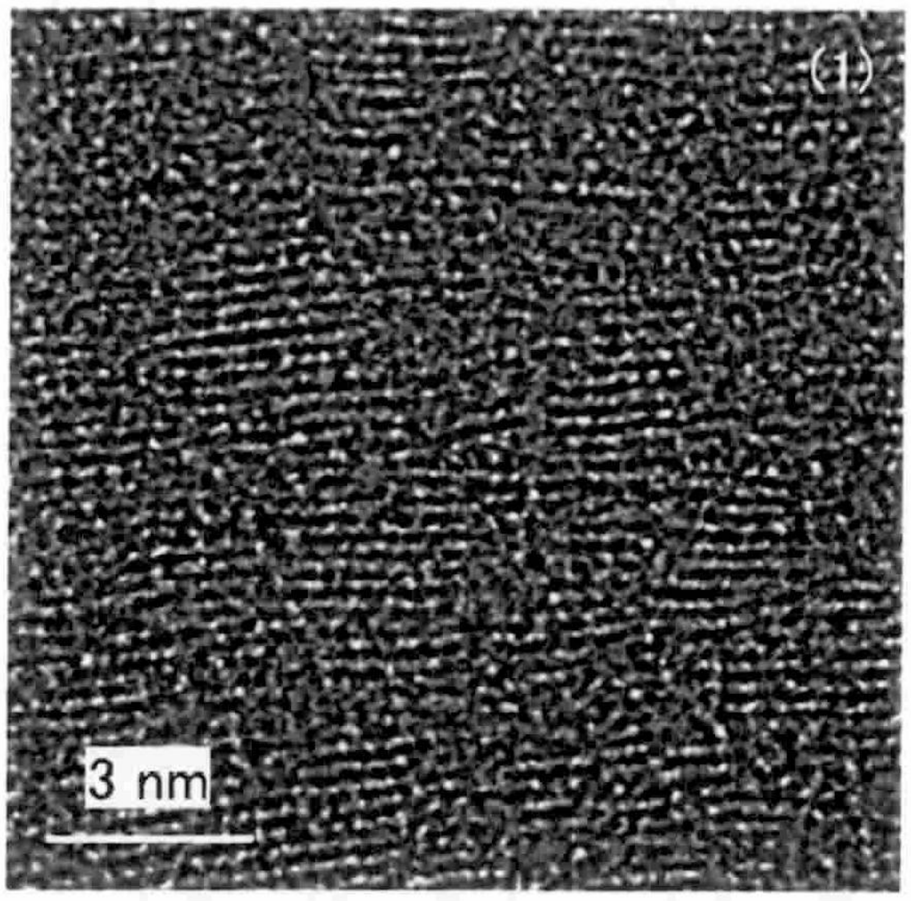


圖 7C

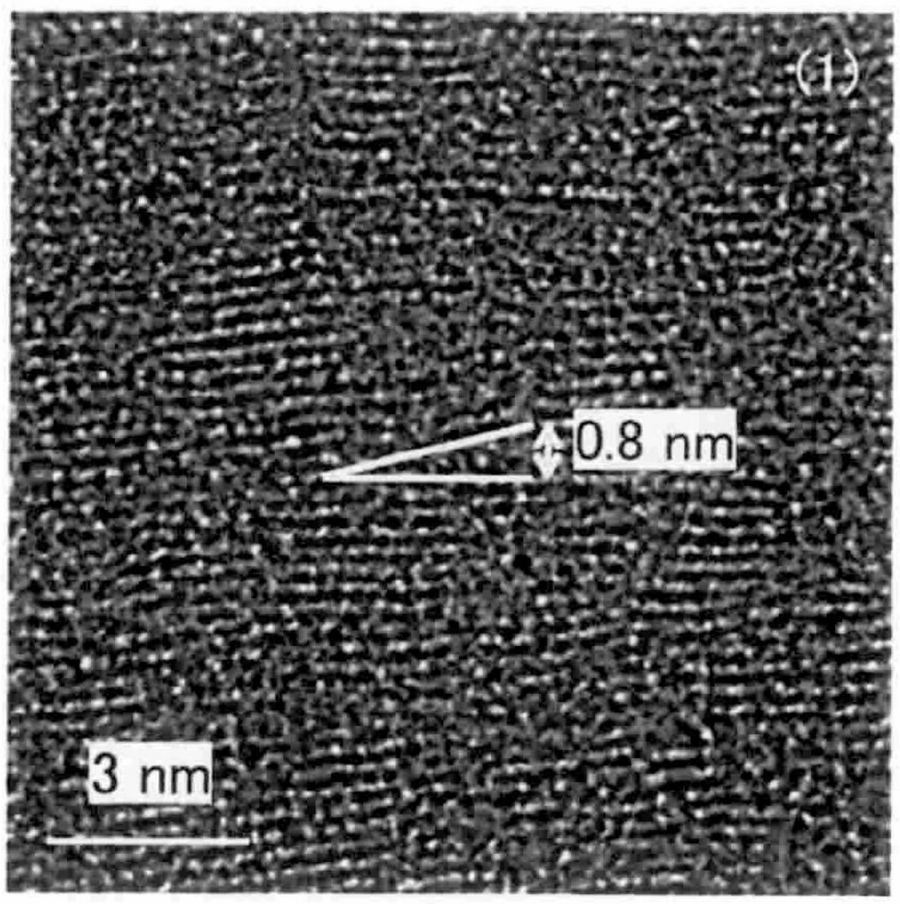


圖 7D

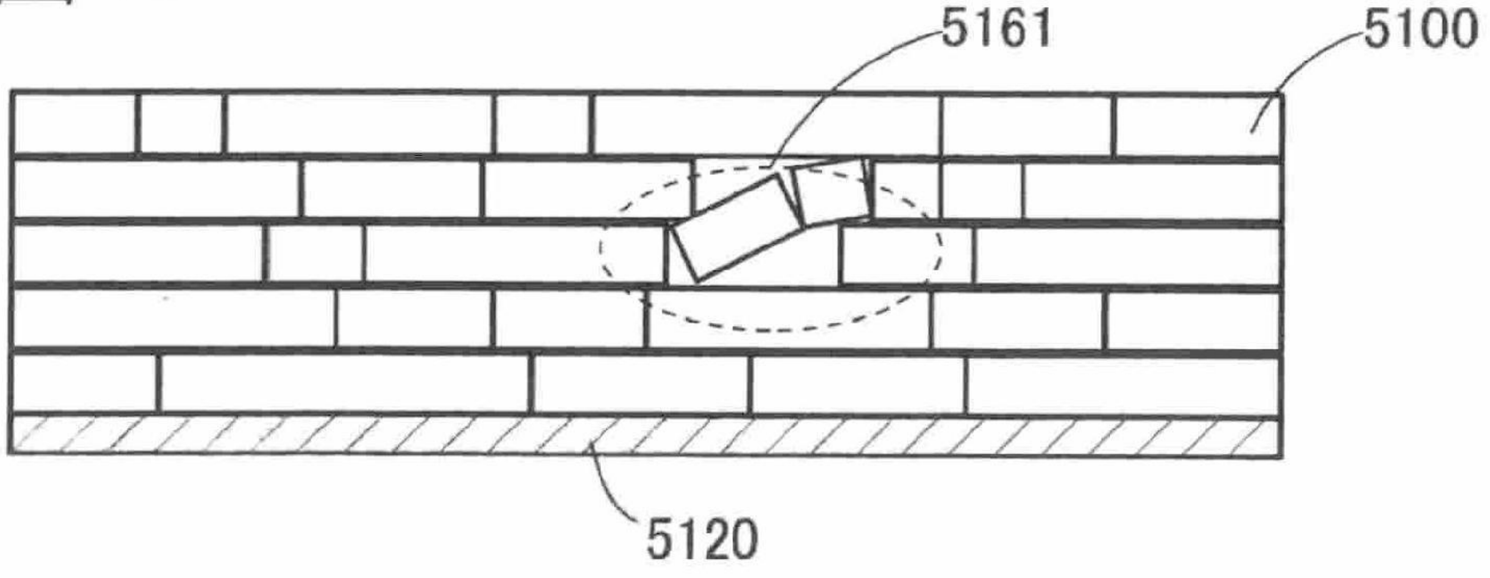
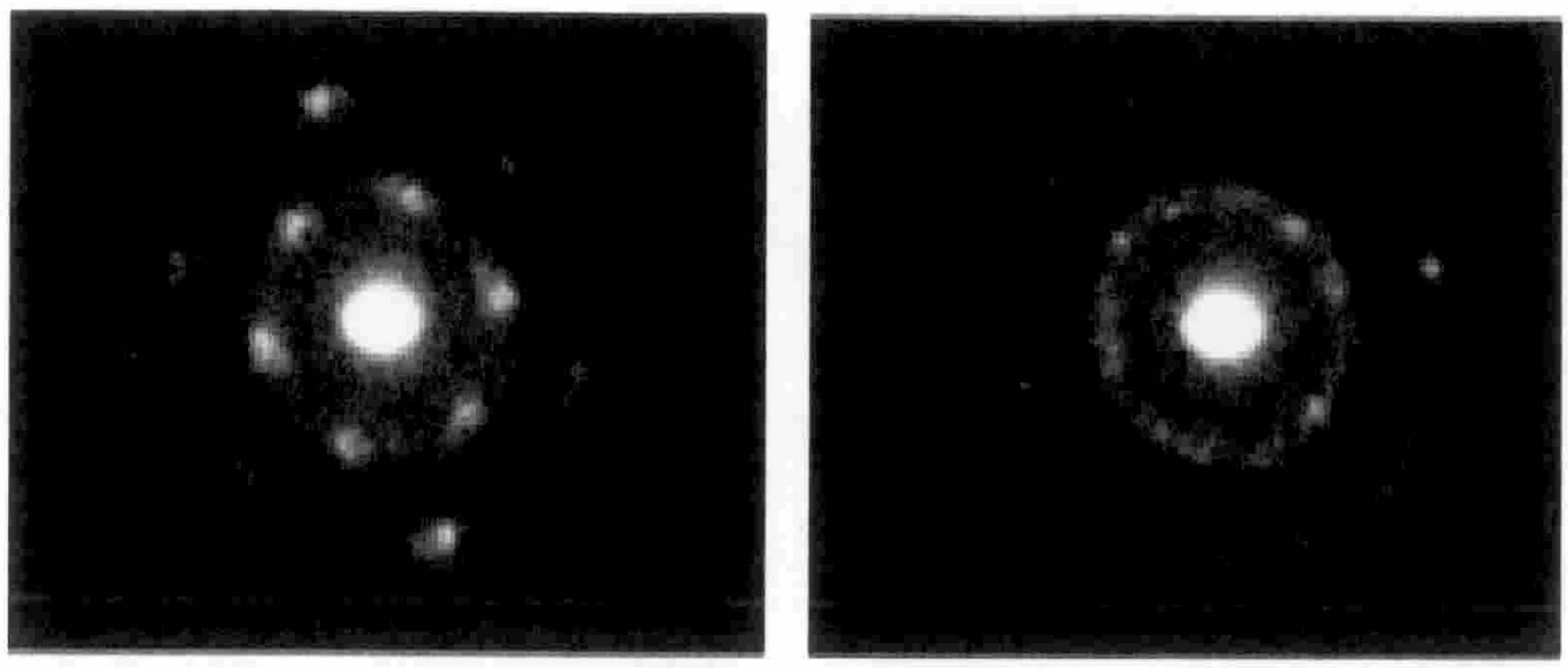


圖 8A

圖 8B



CAAC-OS

nc-OS

圖 8C

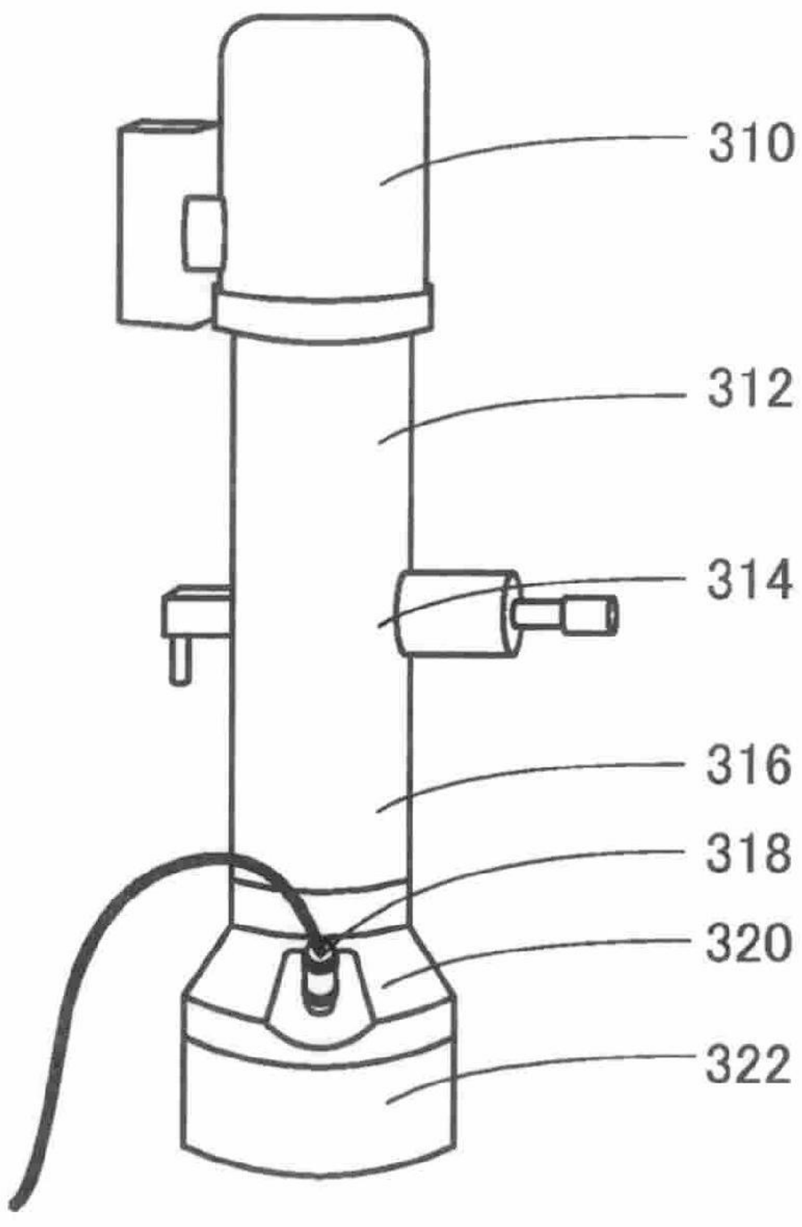


圖 8D

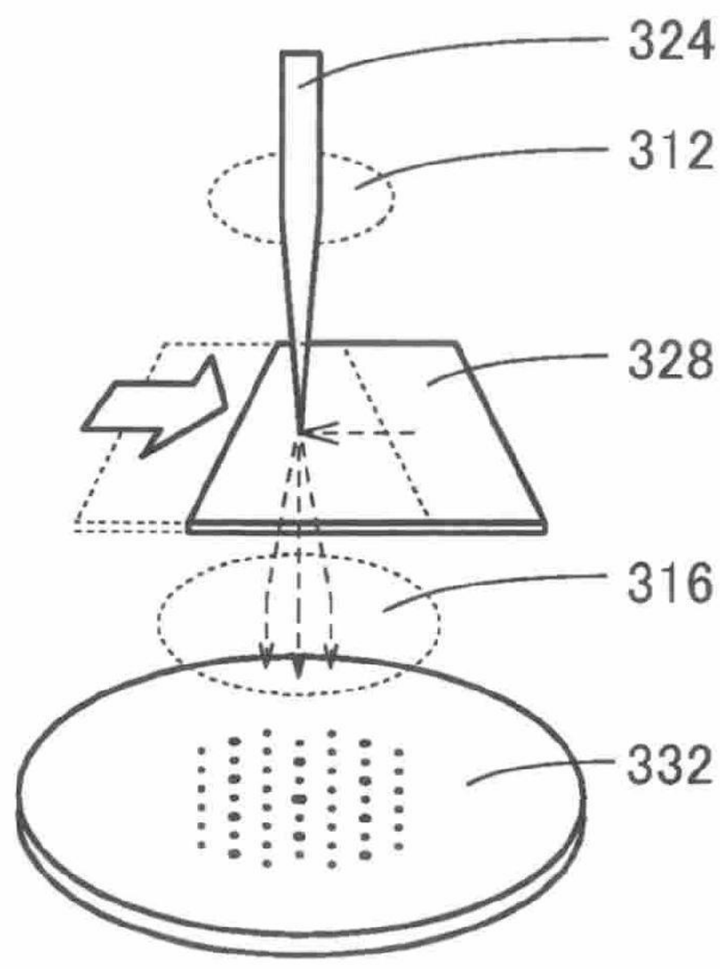


圖 9A

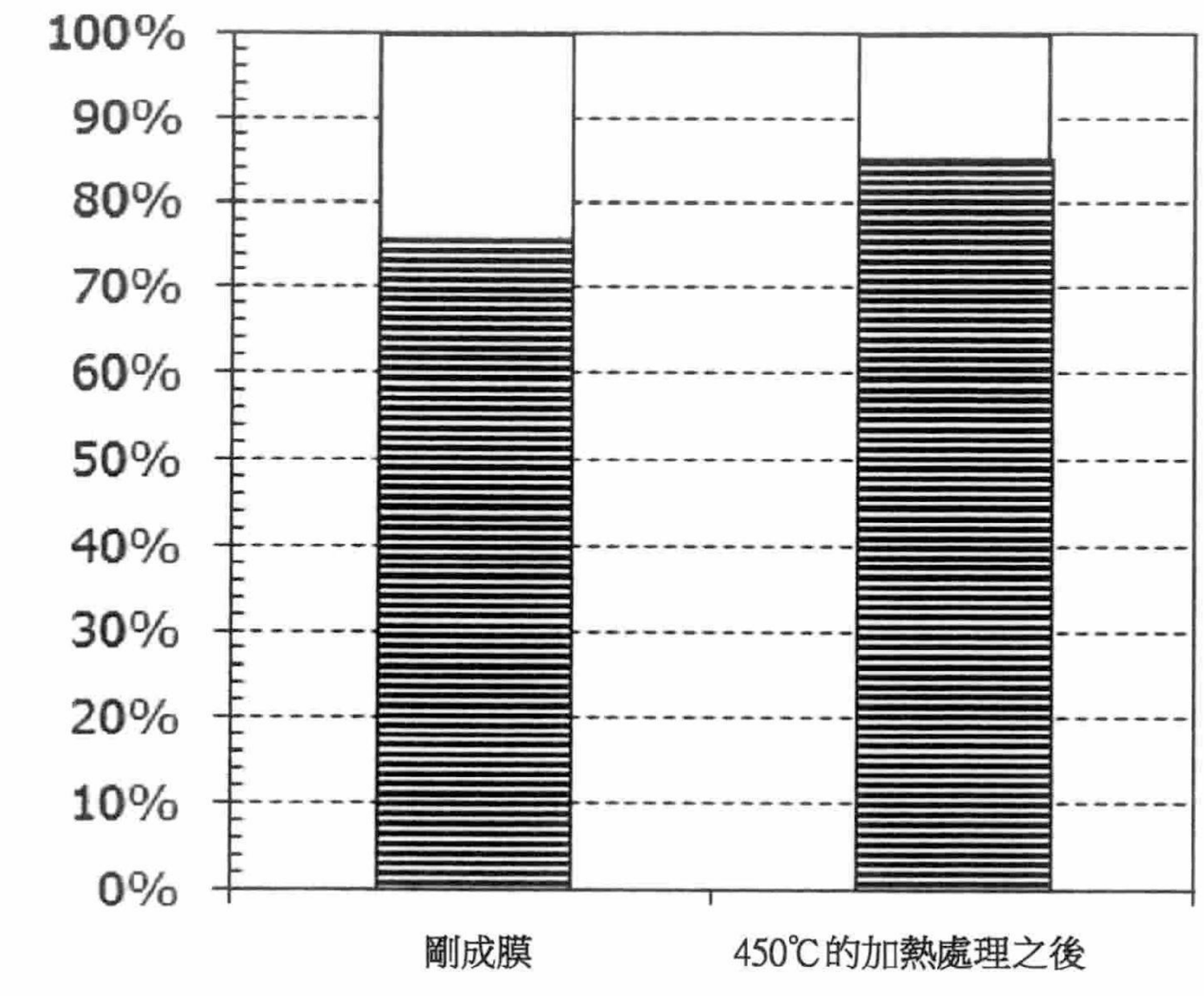
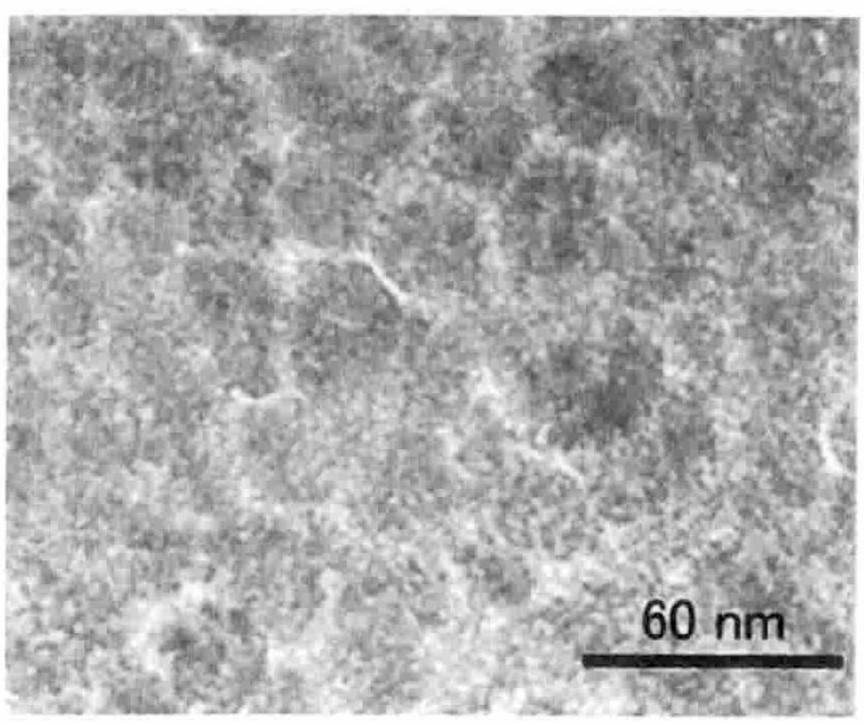
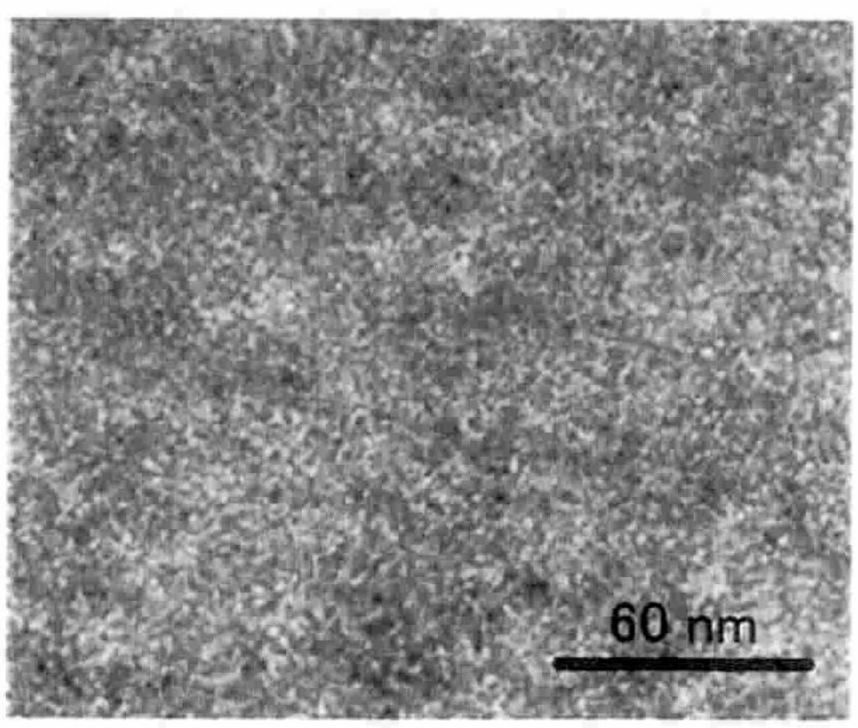


圖 9B



剛成膜

圖 9C



450℃的加熱處理之後

圖 10

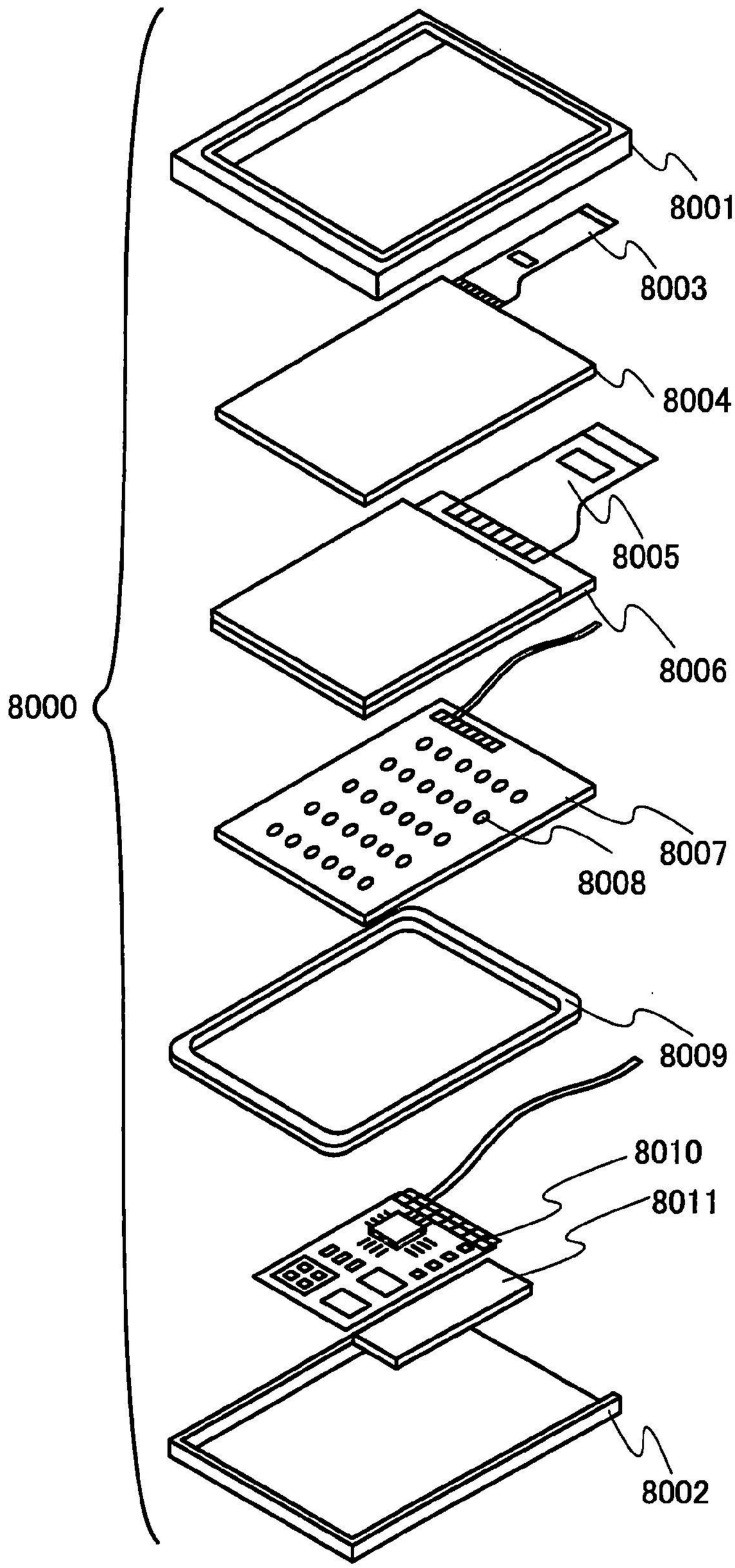


圖 11A

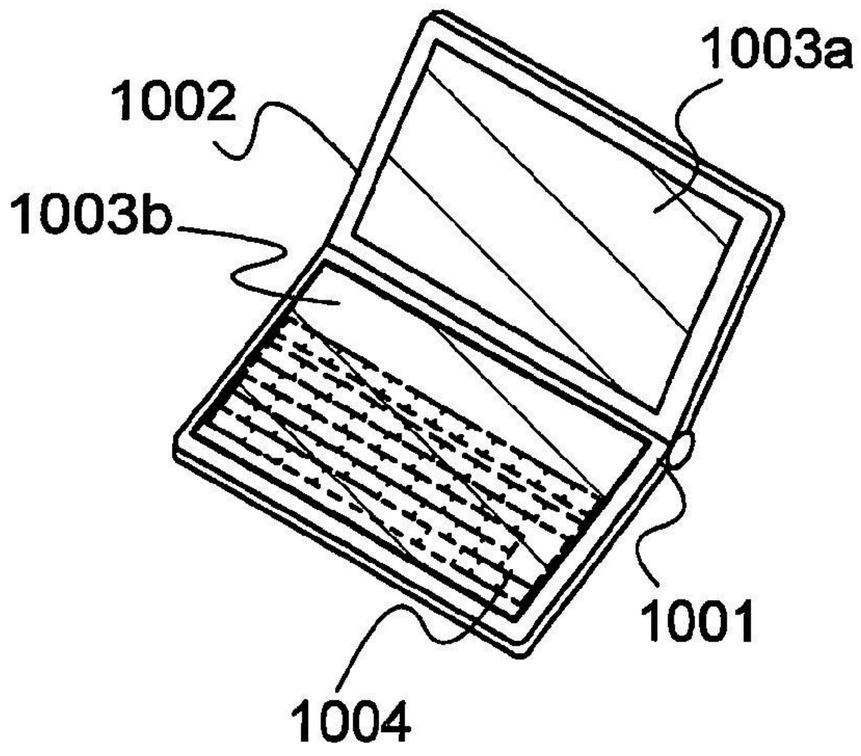


圖 11B

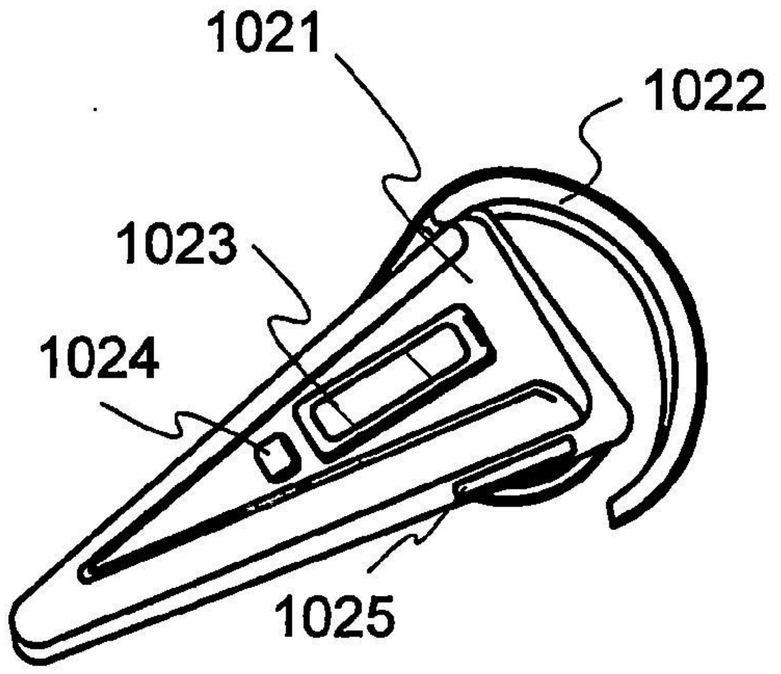


圖 11C

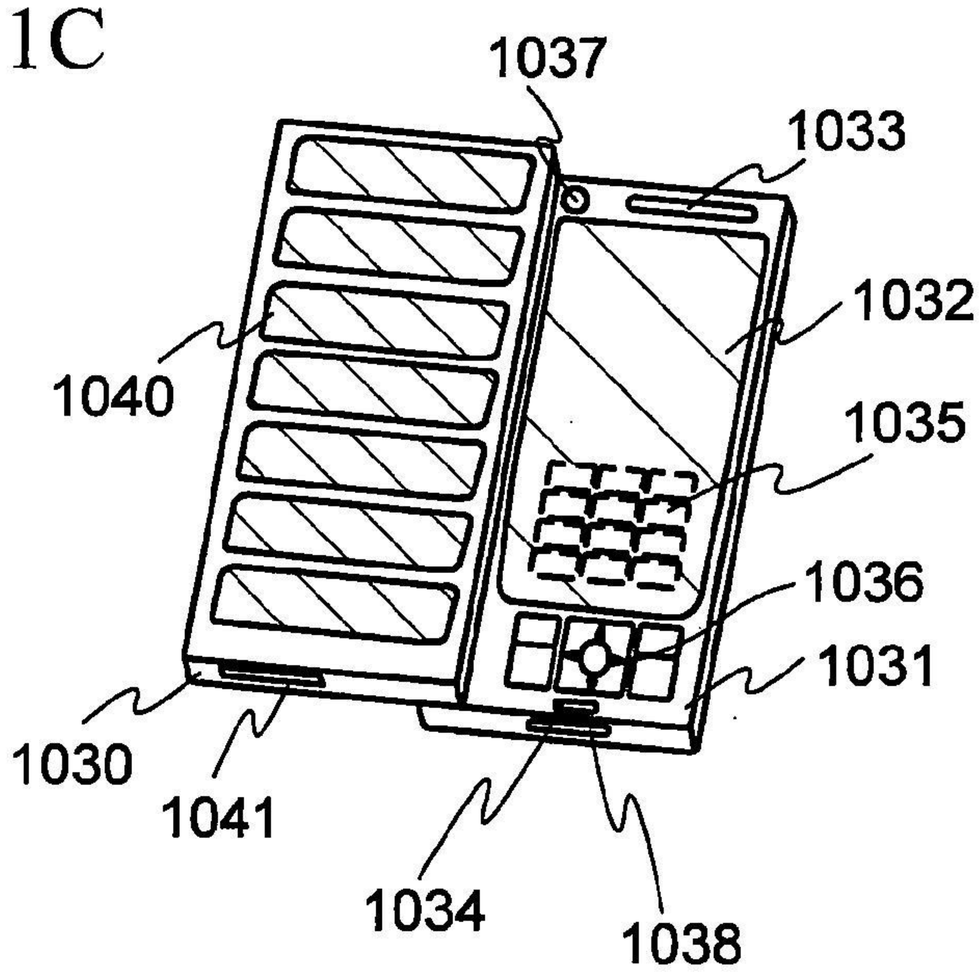
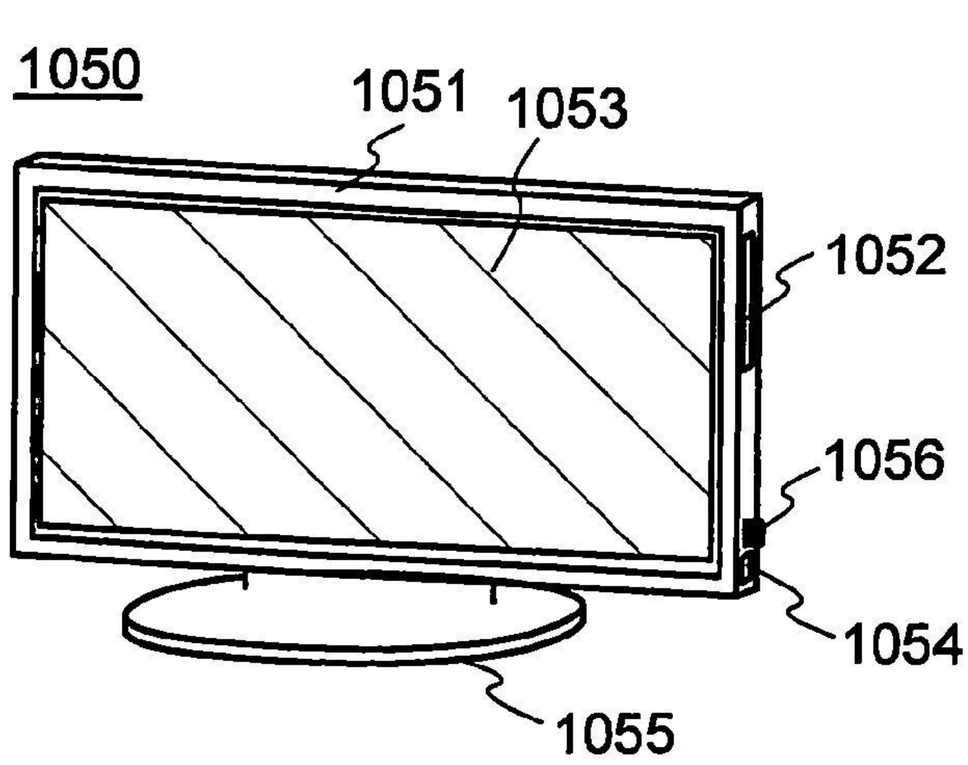


圖 11D



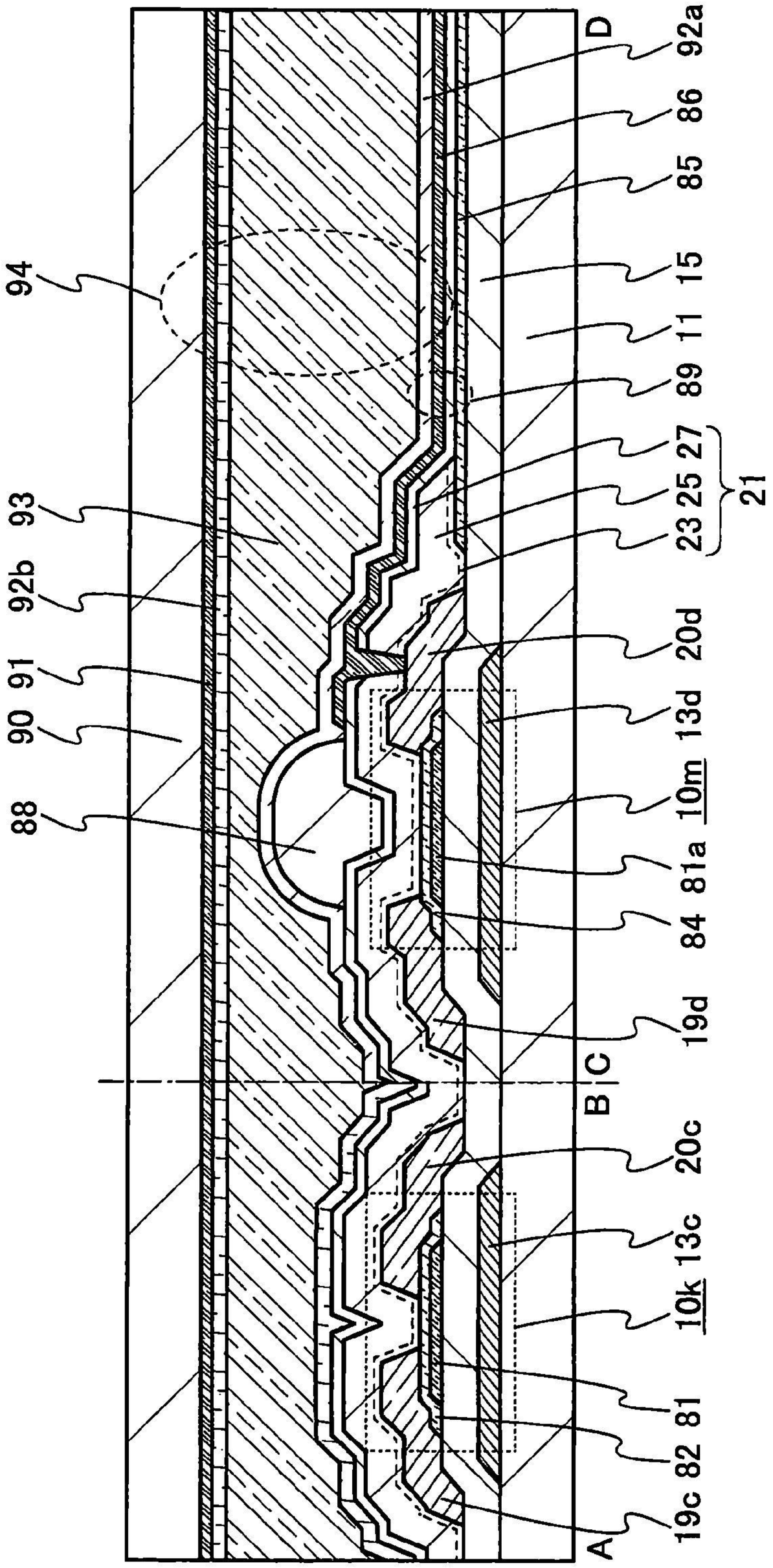

D
92a
86
85
15
11
89
27
25
23
21
20d
13d
10m
81a
84
19d
B
C
20c
13c
10k
19c
82
81
A
94
93
92b
91
90
88

圖 12

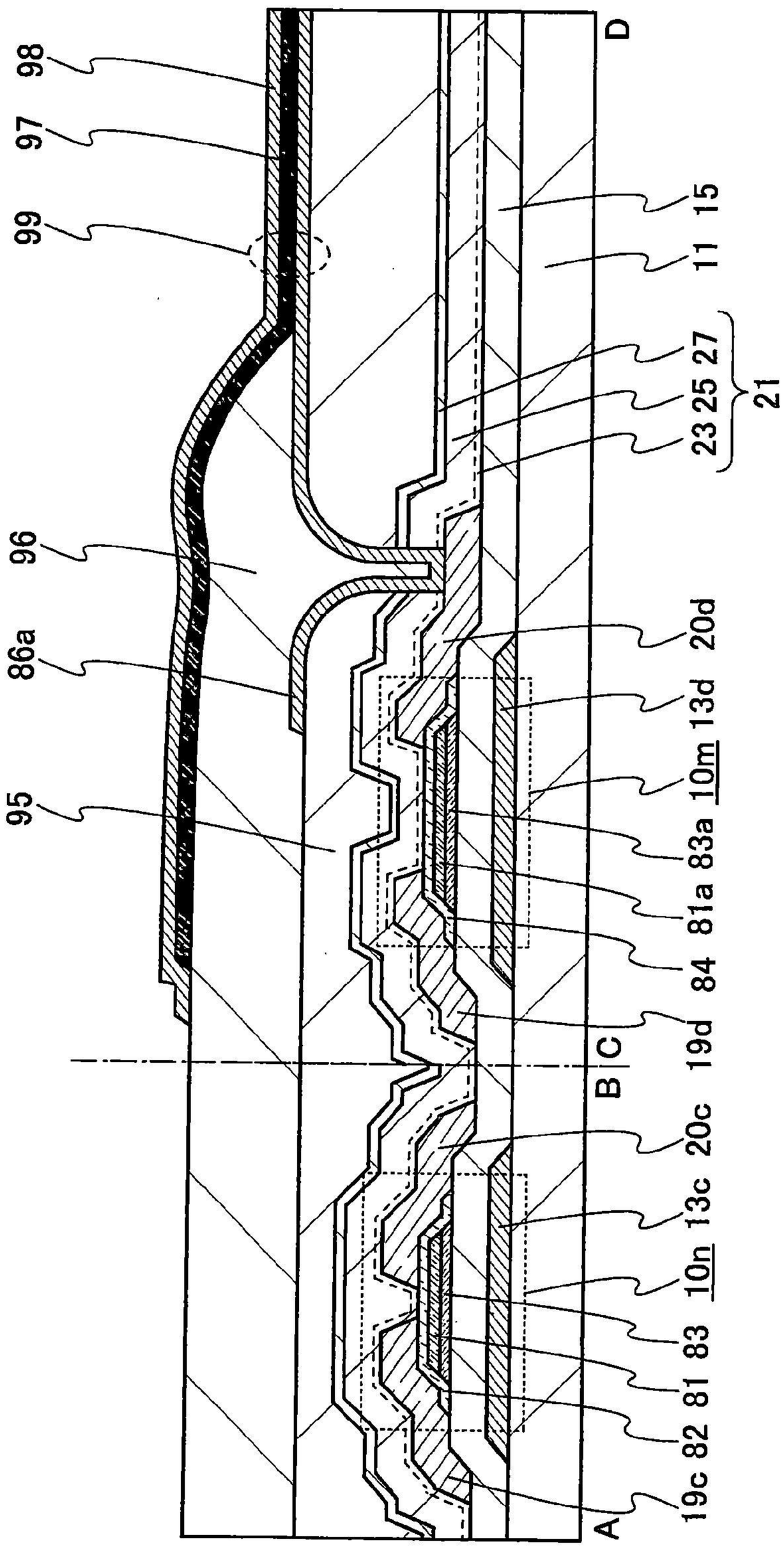

98
97
99
96
86a
95
D
15
11
27
25
23
21
20d
13d
10m
83a
81a
84
19d
C
B
20c
13c
10n
83
81
82
19c
A

圖 13

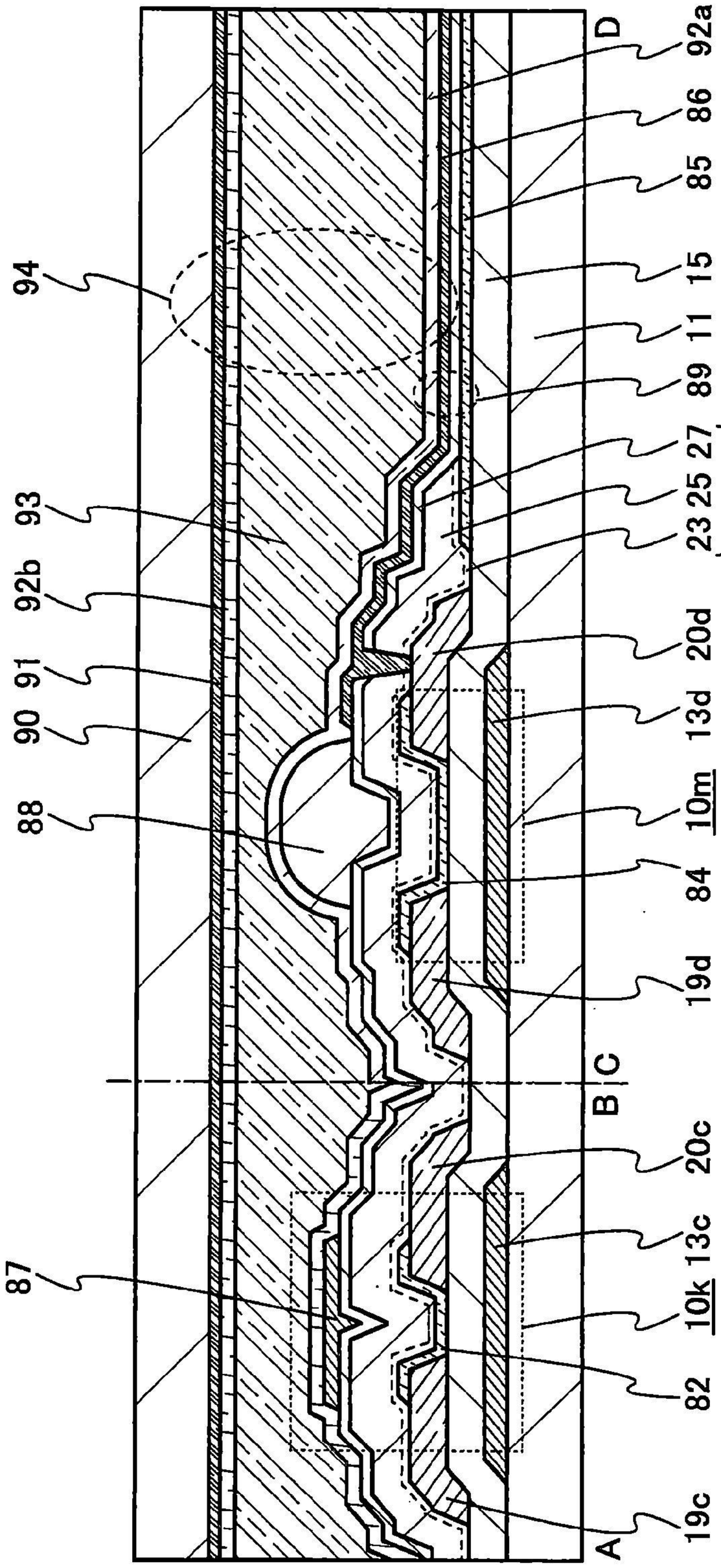

D
92a
86
85
94
15
11
89
27
25
23
21
93
92b
20d
91
13d
90
10m
88
84
19d
B
C
20c
87
13c
10k
82
19c
A

圖 14

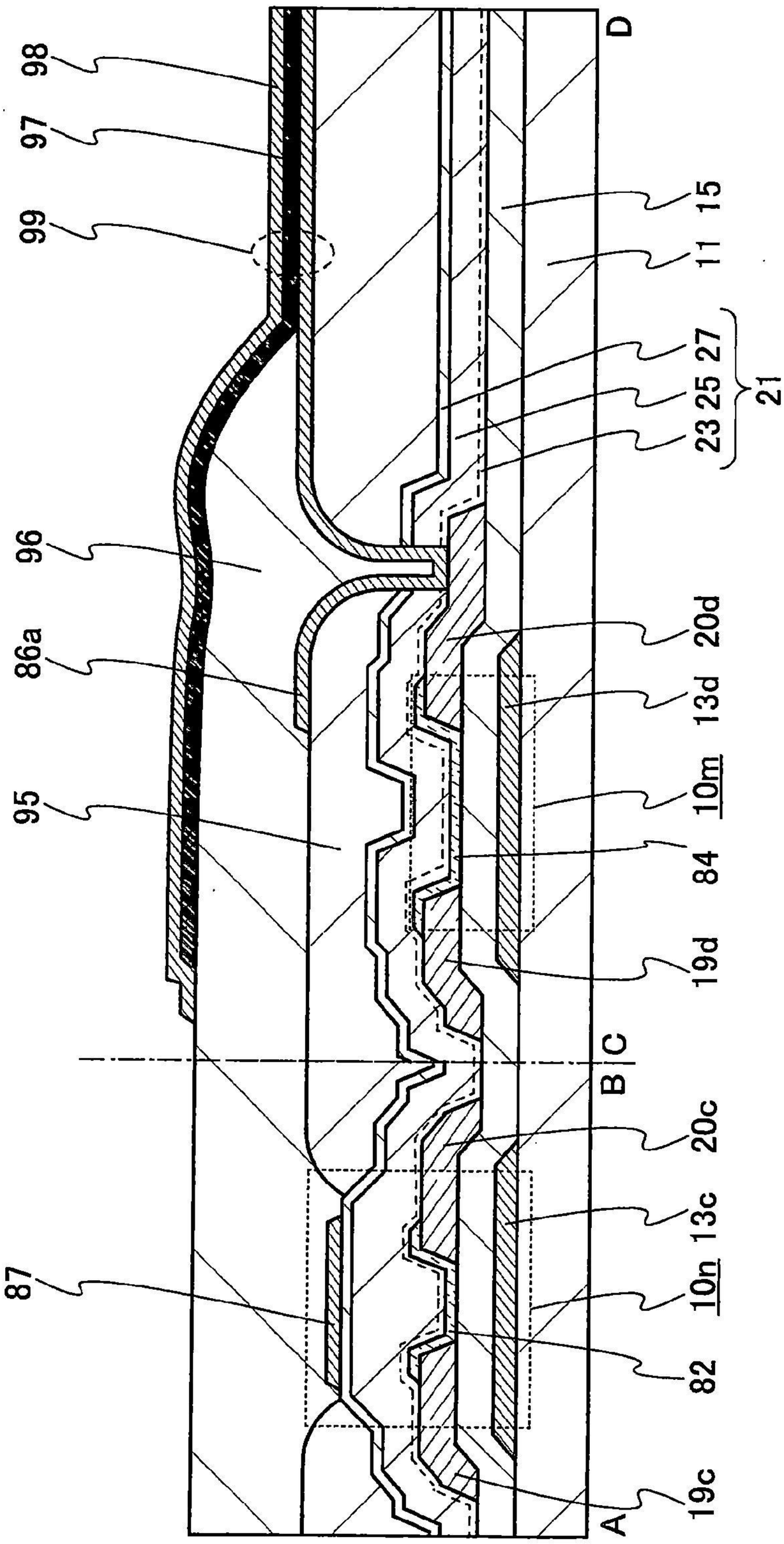

98
97
99
96
86a
95
87
D
15
11
27
25
23
21
20d
13d
10m
84
19d
B
C
20c
13c
10n
82
19c
A

圖 15

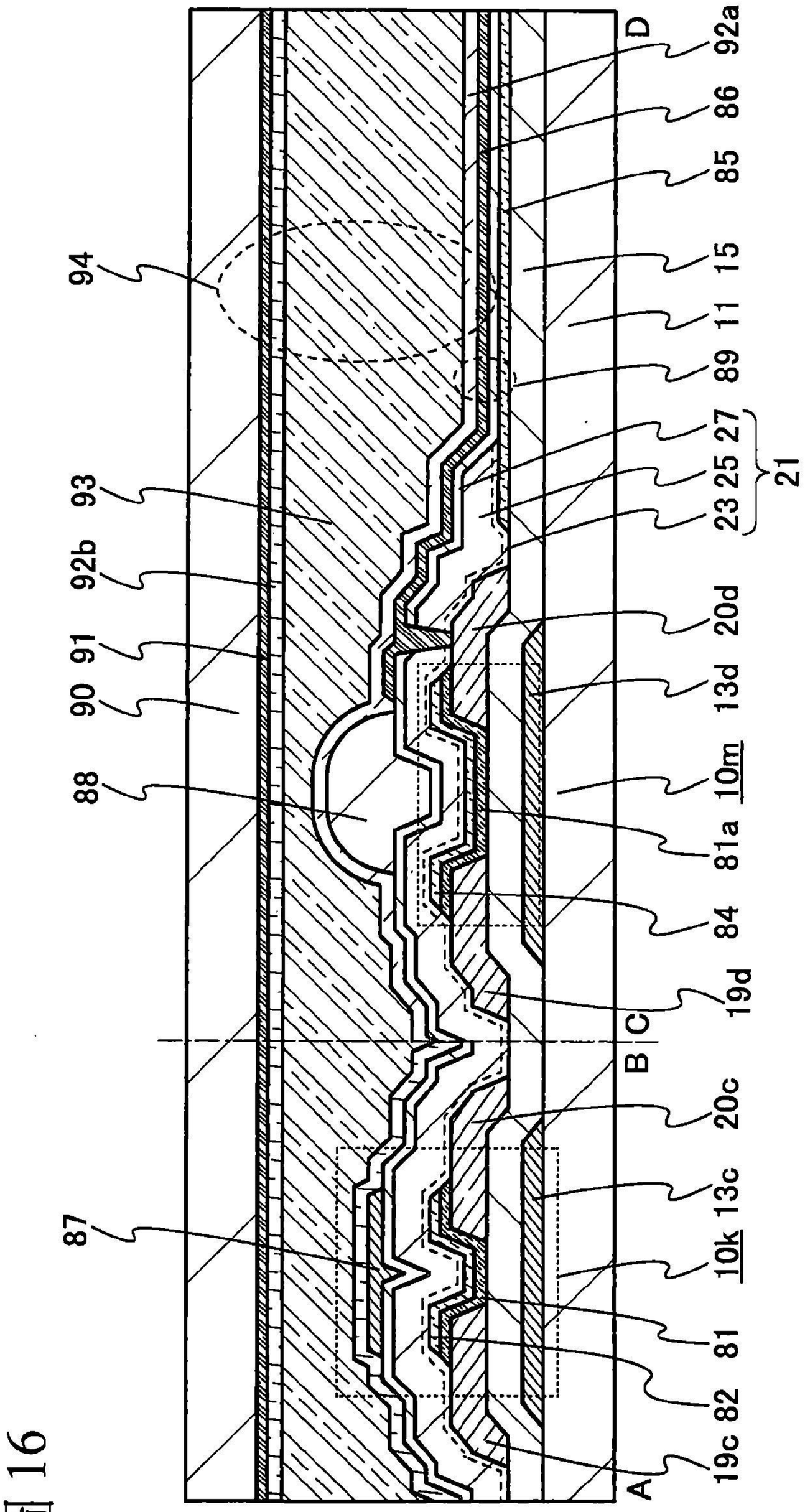

D
92a
86
85
94
15
11
89
27
25
23
21
93
92b
20d
91
13d
90
10m
88
81a
84
19d
C
B
20c
13c
87
10k
81
19c
82
A

圖 16

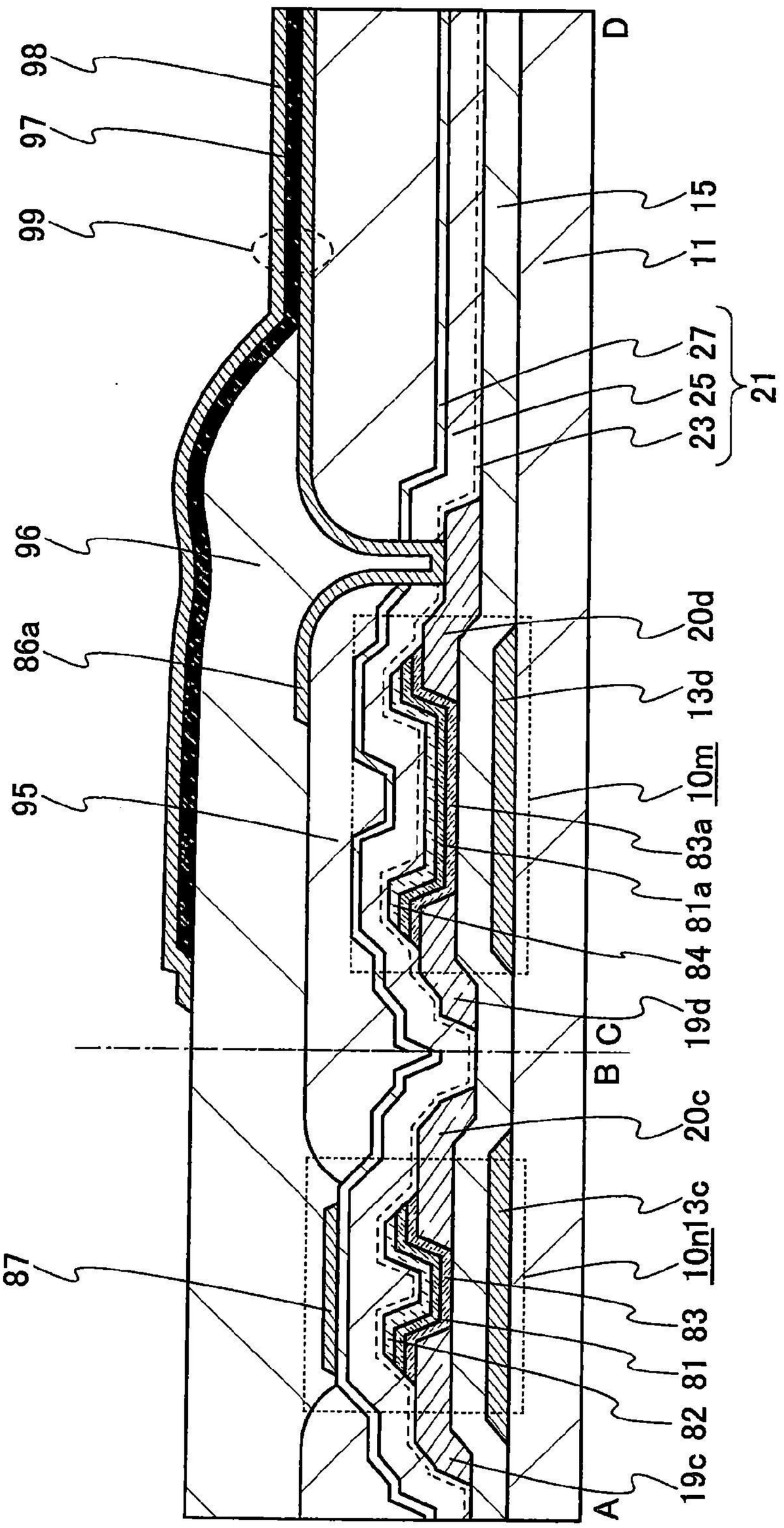

98
97
99
96
86a
95
87
D
15
11
27
25
23
21
20d
13d
10m
83a
81a
84
19d
C
B
20c
13c
10n
83
81
82
19c
A

圖 17

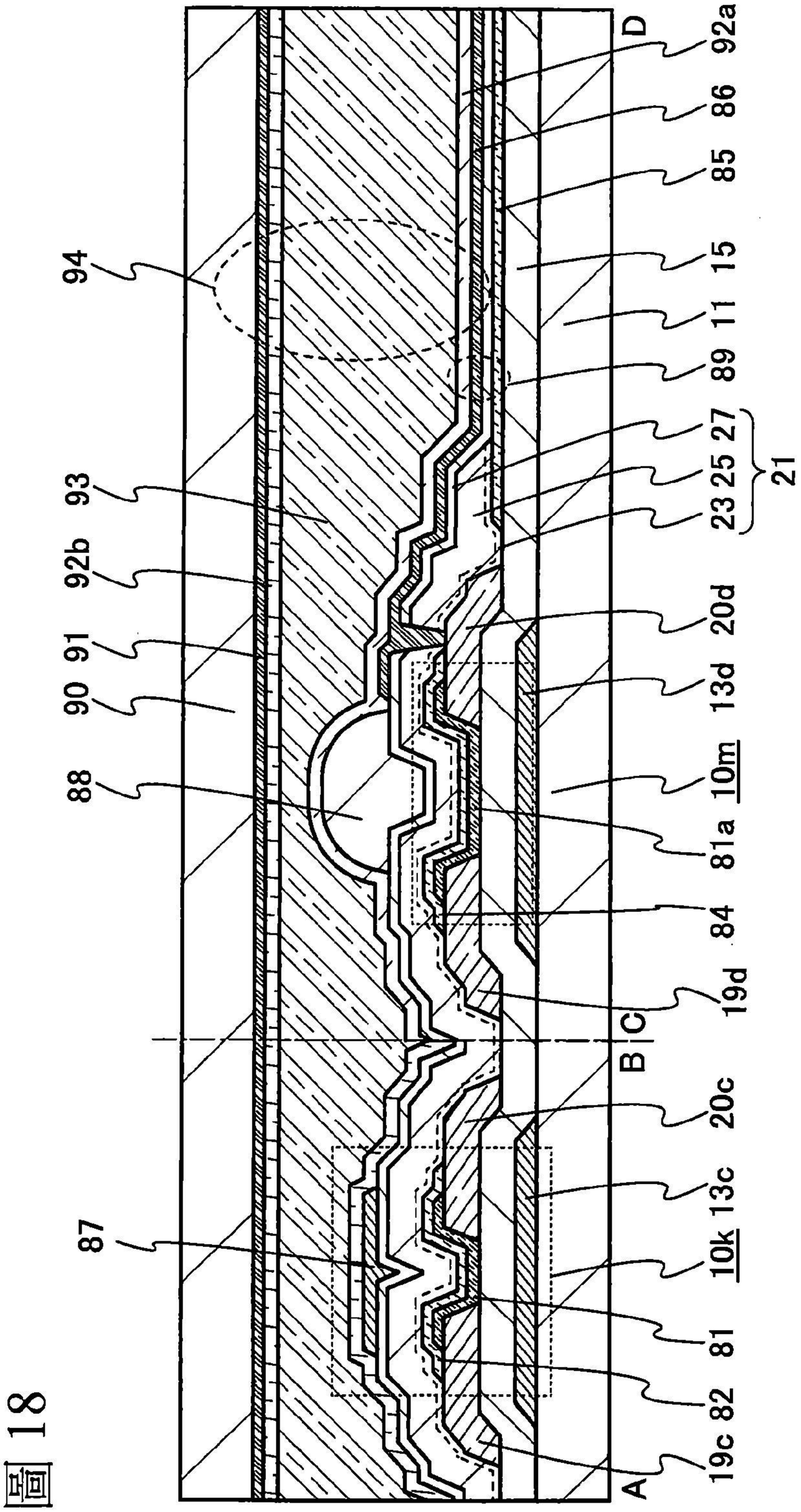

D
92a
86
85
15
11
89
27
25
23
21
20d
13d
10m
81a
84
19d
C
B
20c
13c
10k
81
82
19c
A
94
93
92b
91
90
88
87

圖 18

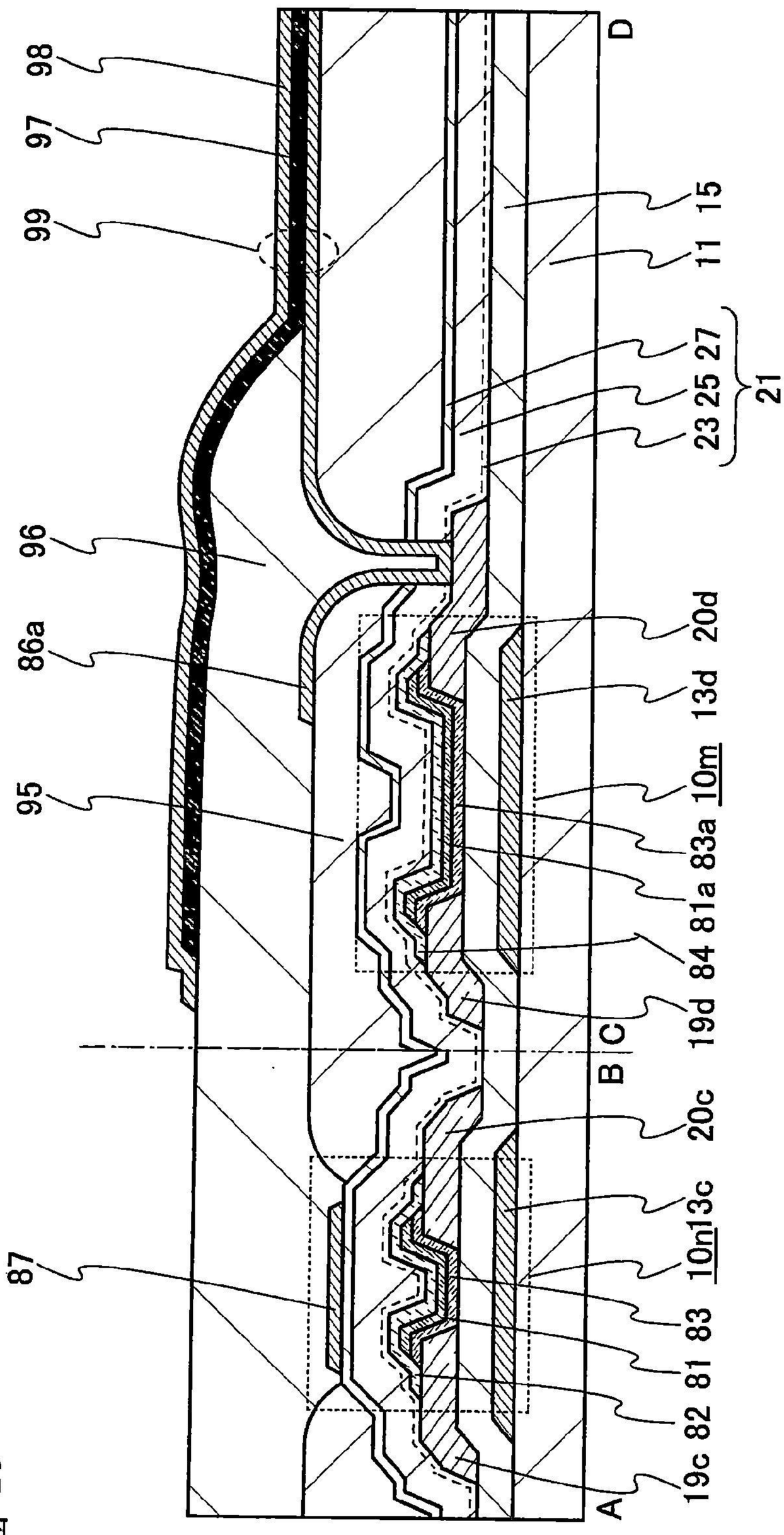

98
97
99
96
86a
95
87
D
15
11
27
25
23
21
20d
13d
10m
83a
81a
84
19d
C
B
20c
13c
10n
83
81
82
19c
A

圖 19

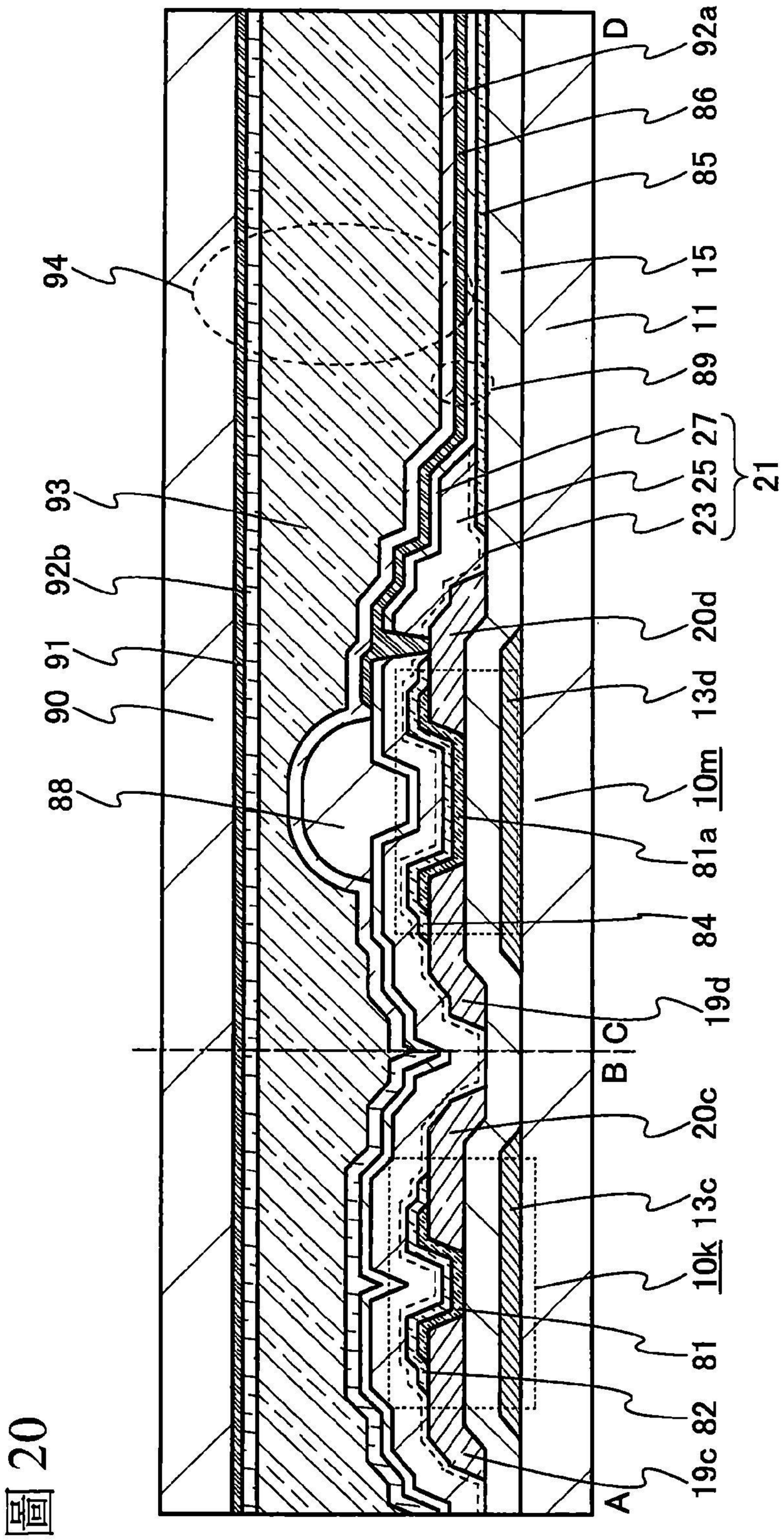

D
92a
86
85
94
15
11
89
27
25
23
21
93
92b
91
20d
13d
90
10m
88
81a
84
19d
C
B
20c
13c
10k
81
82
19c
A

圖 20

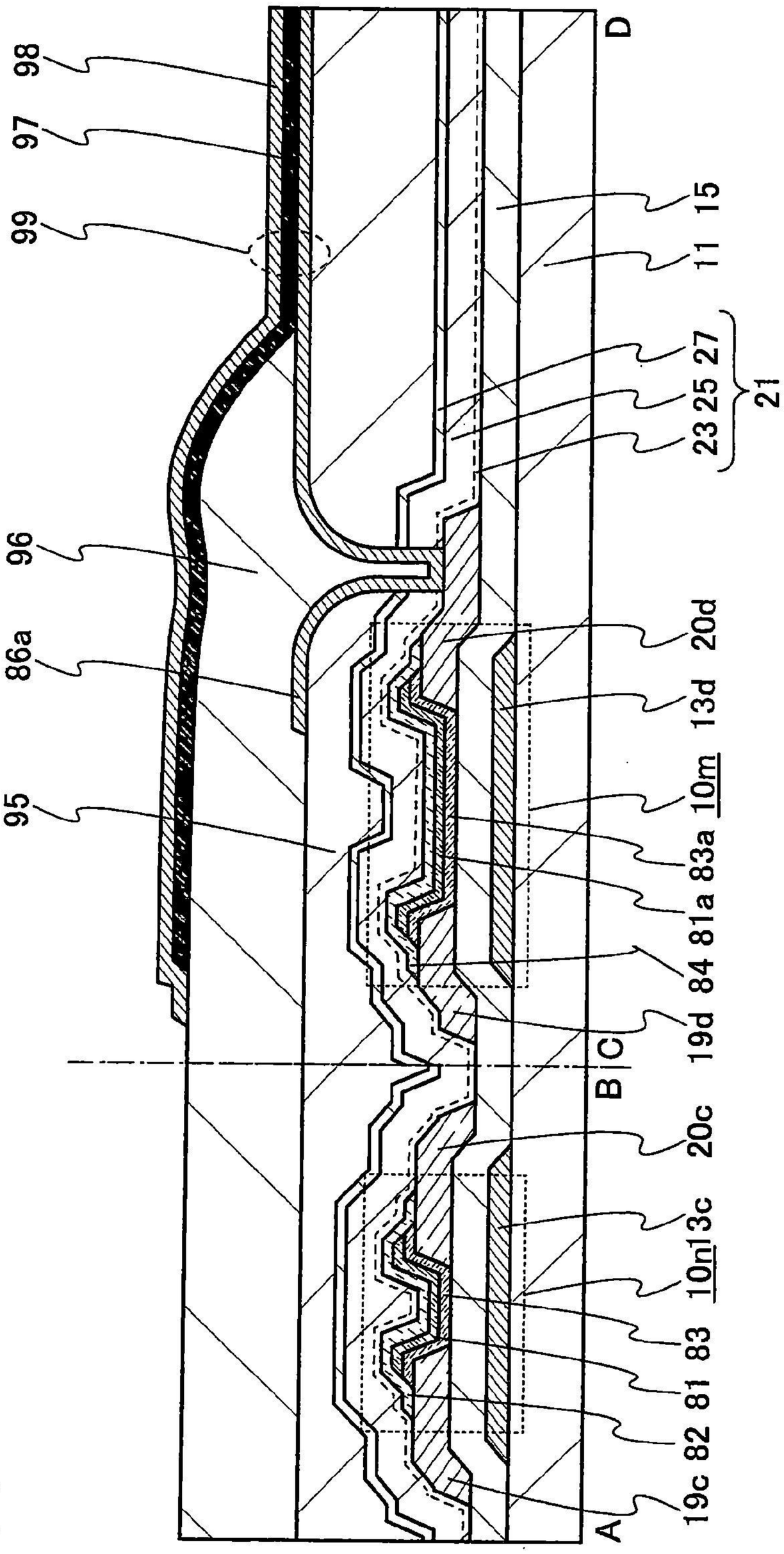

98
97
99
96
86a
95
D
15
11
27
25
23
21
20d
13d
10m
83a
81a
84
19d
C
B
20c
13c
10n
83
81
19c
82
A

圖 21

圖 22A

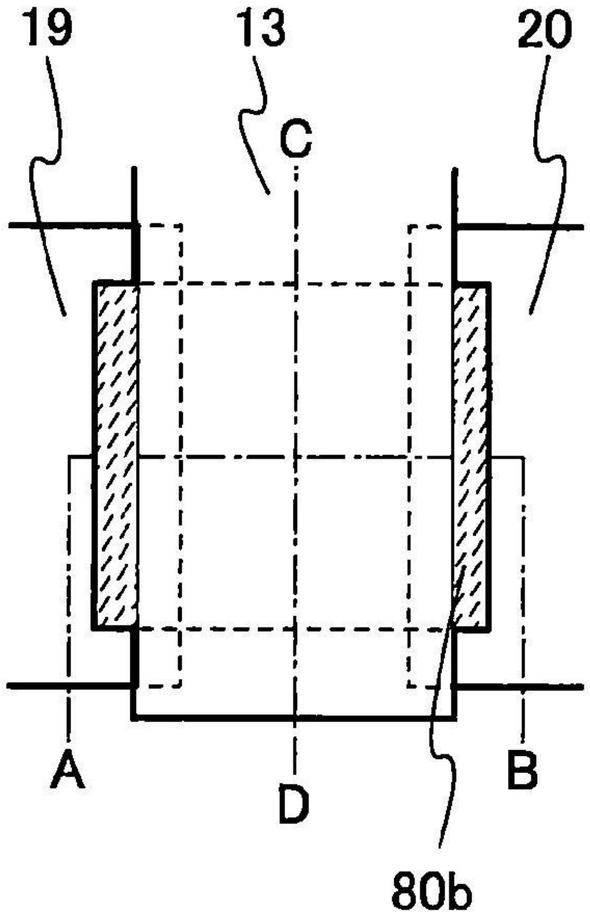


圖 22C

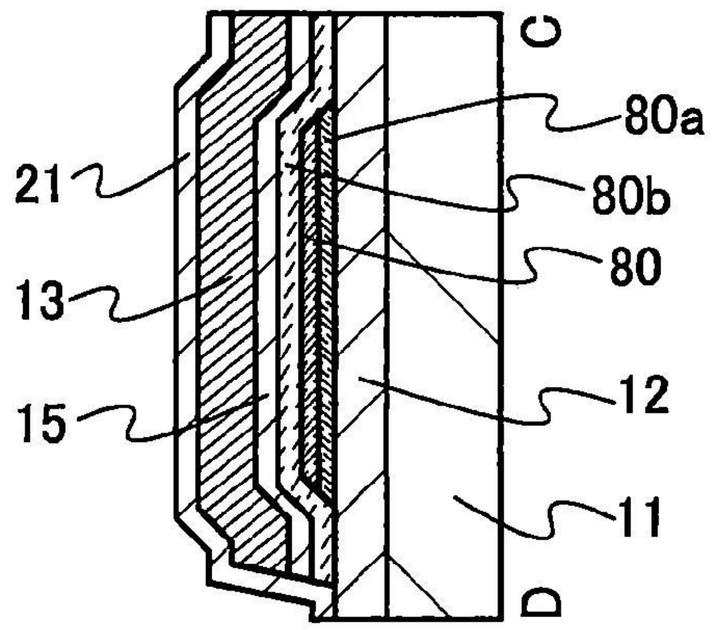


圖 22B

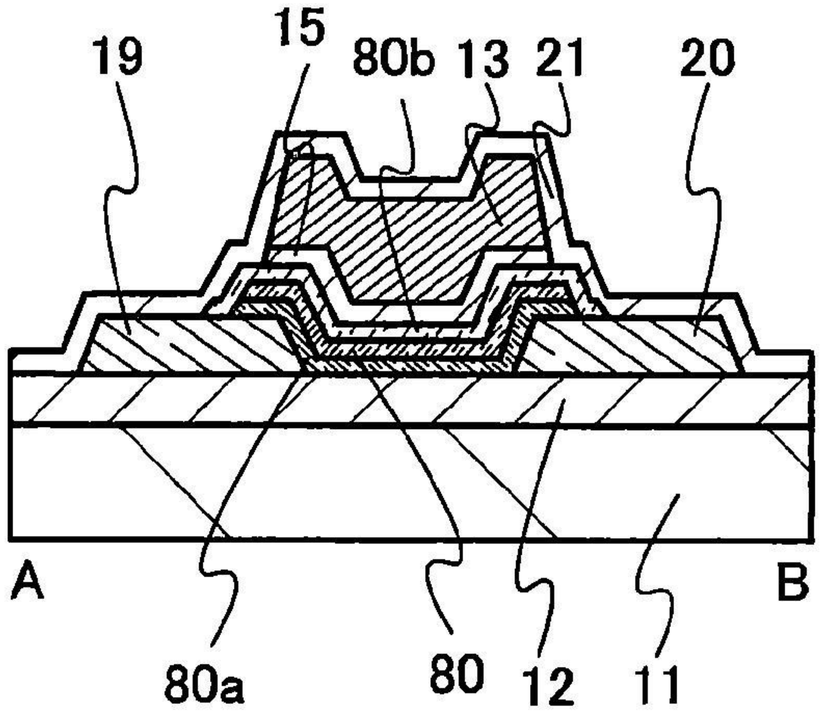


圖 23A

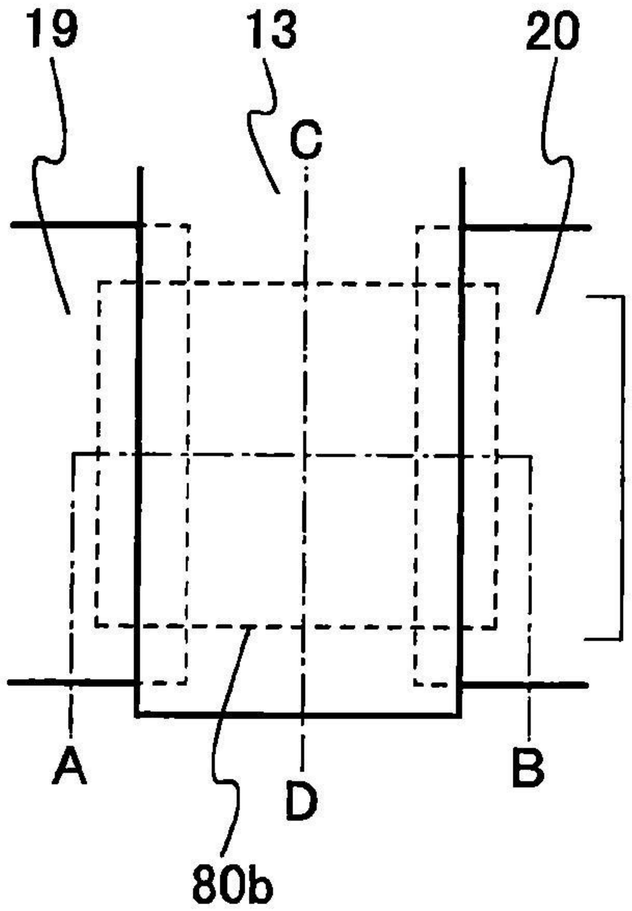


圖 23C

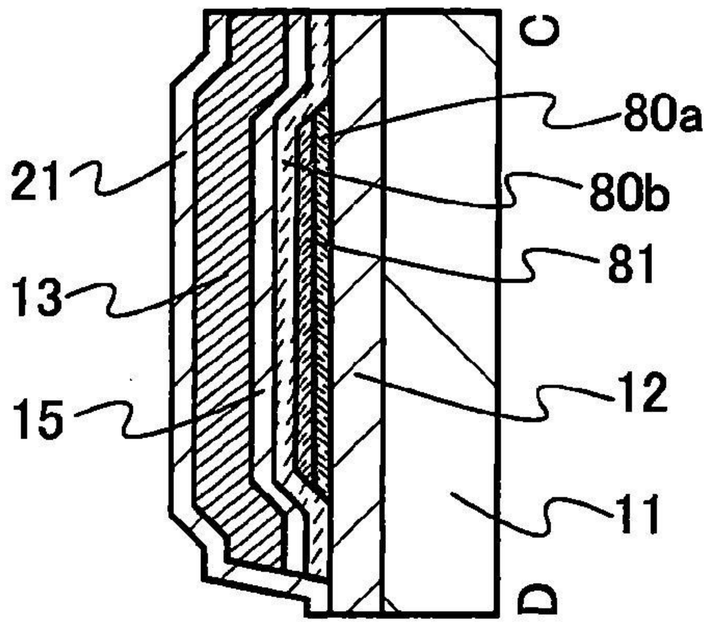


圖 23B

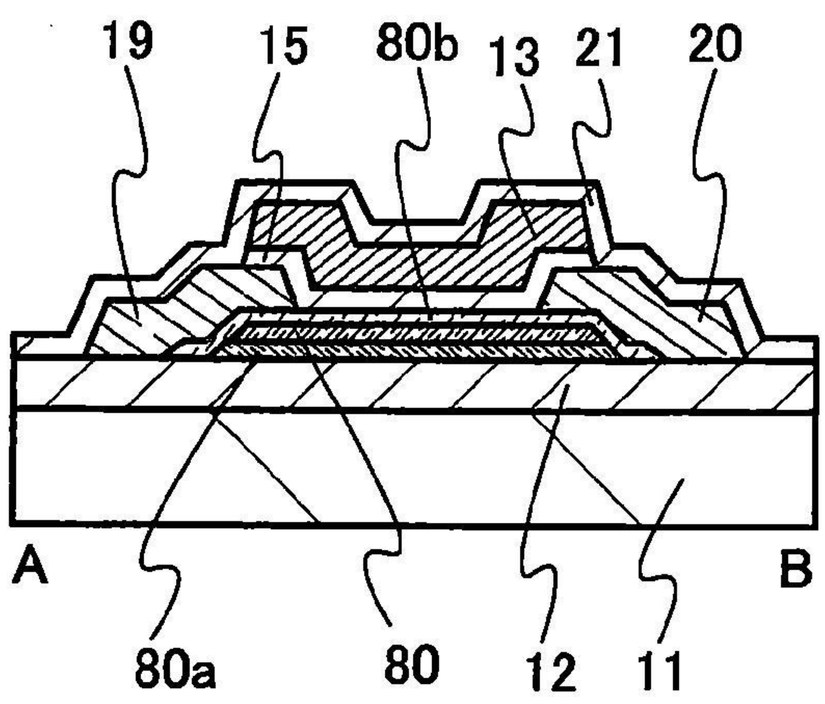


圖 24A

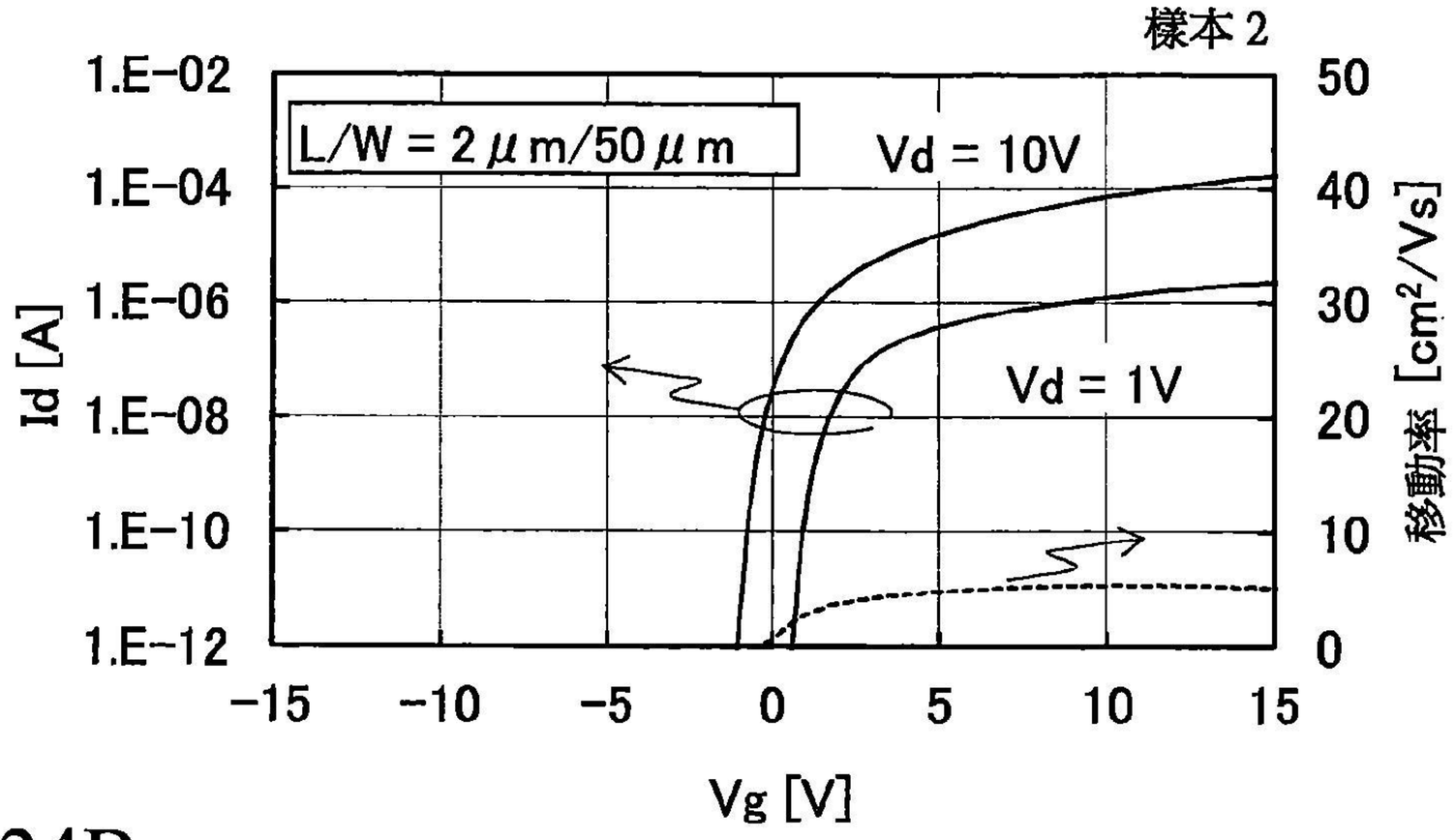


圖 24B

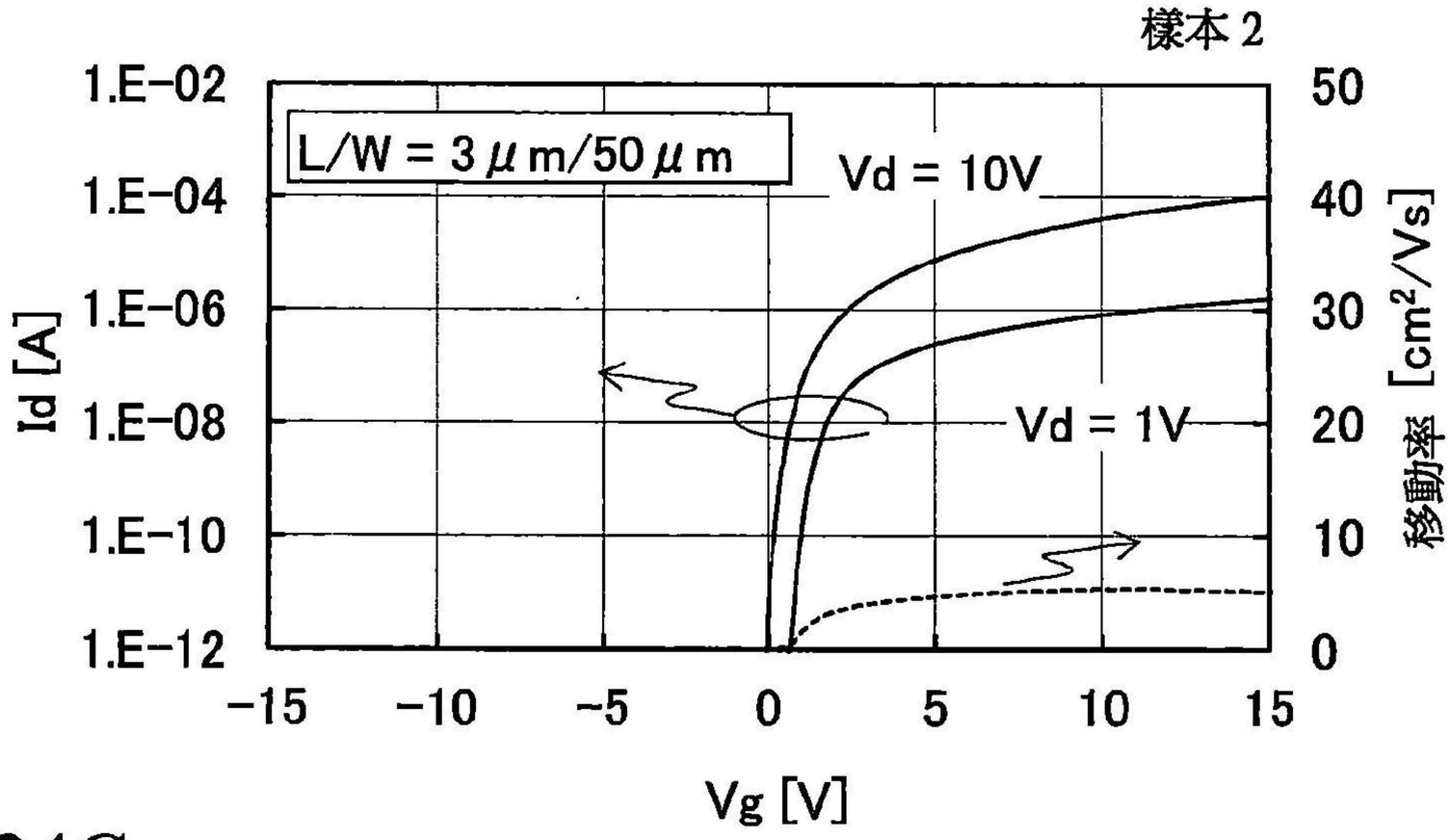


圖 24C

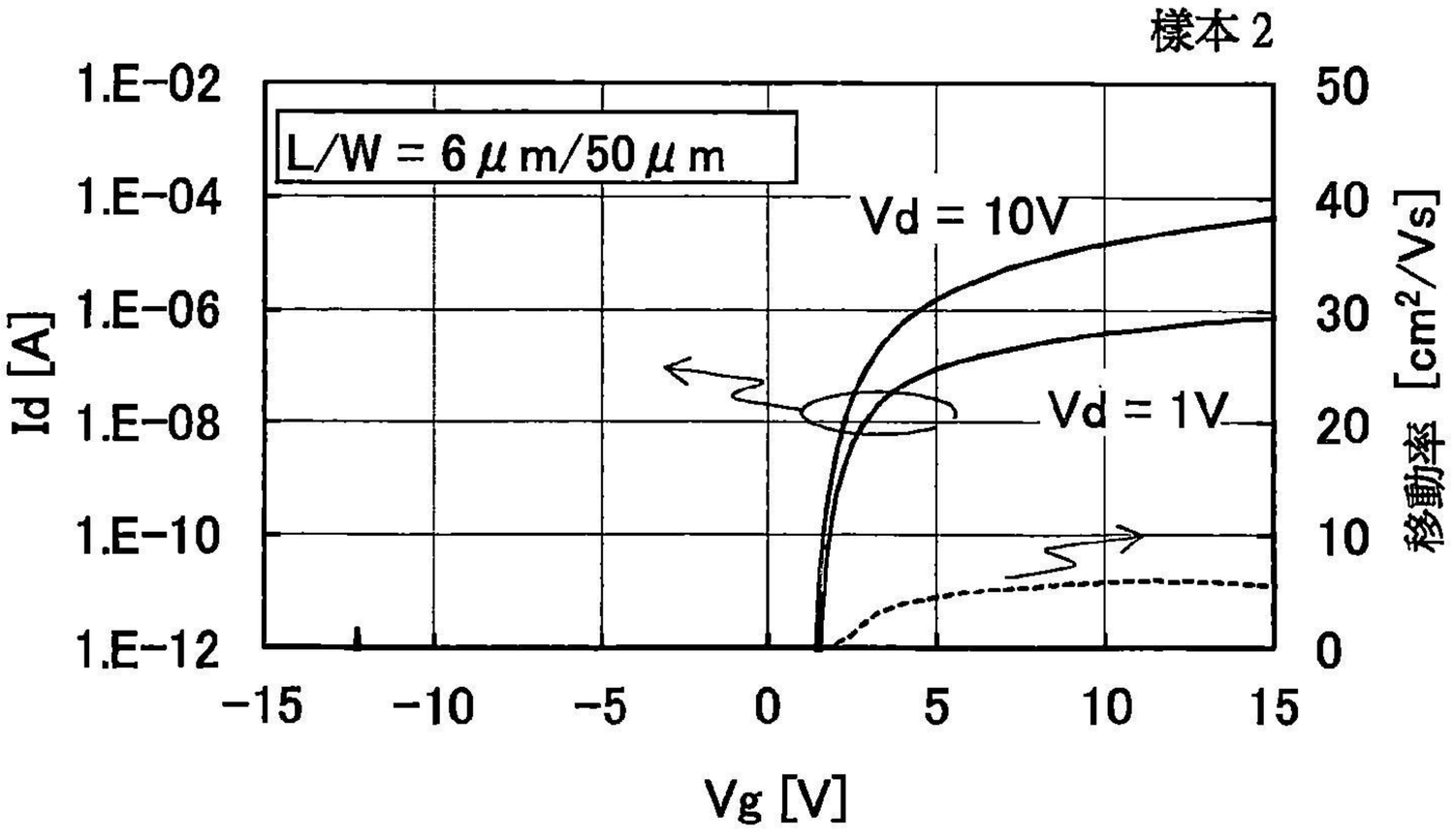


圖 25A

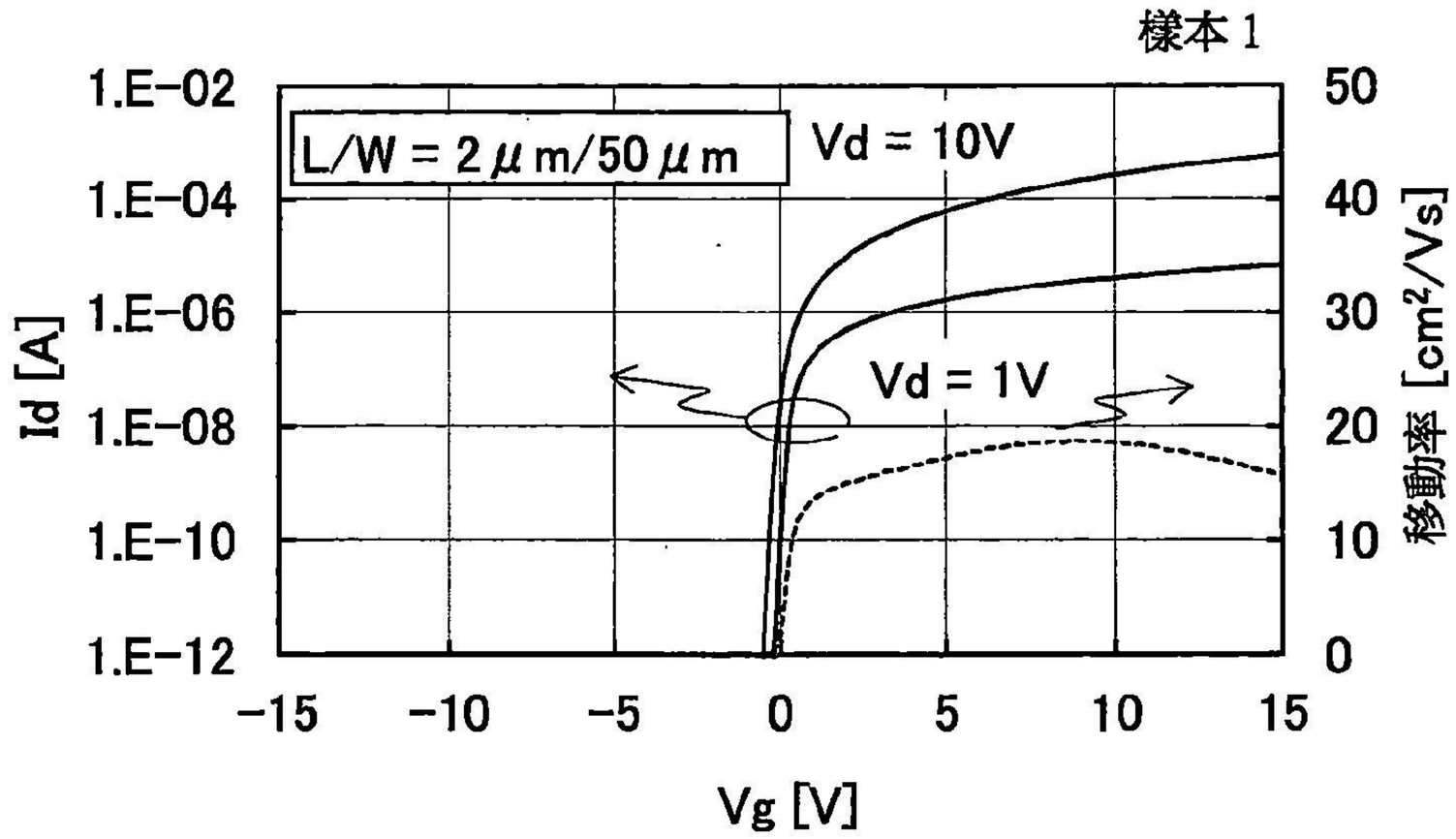


圖 25B

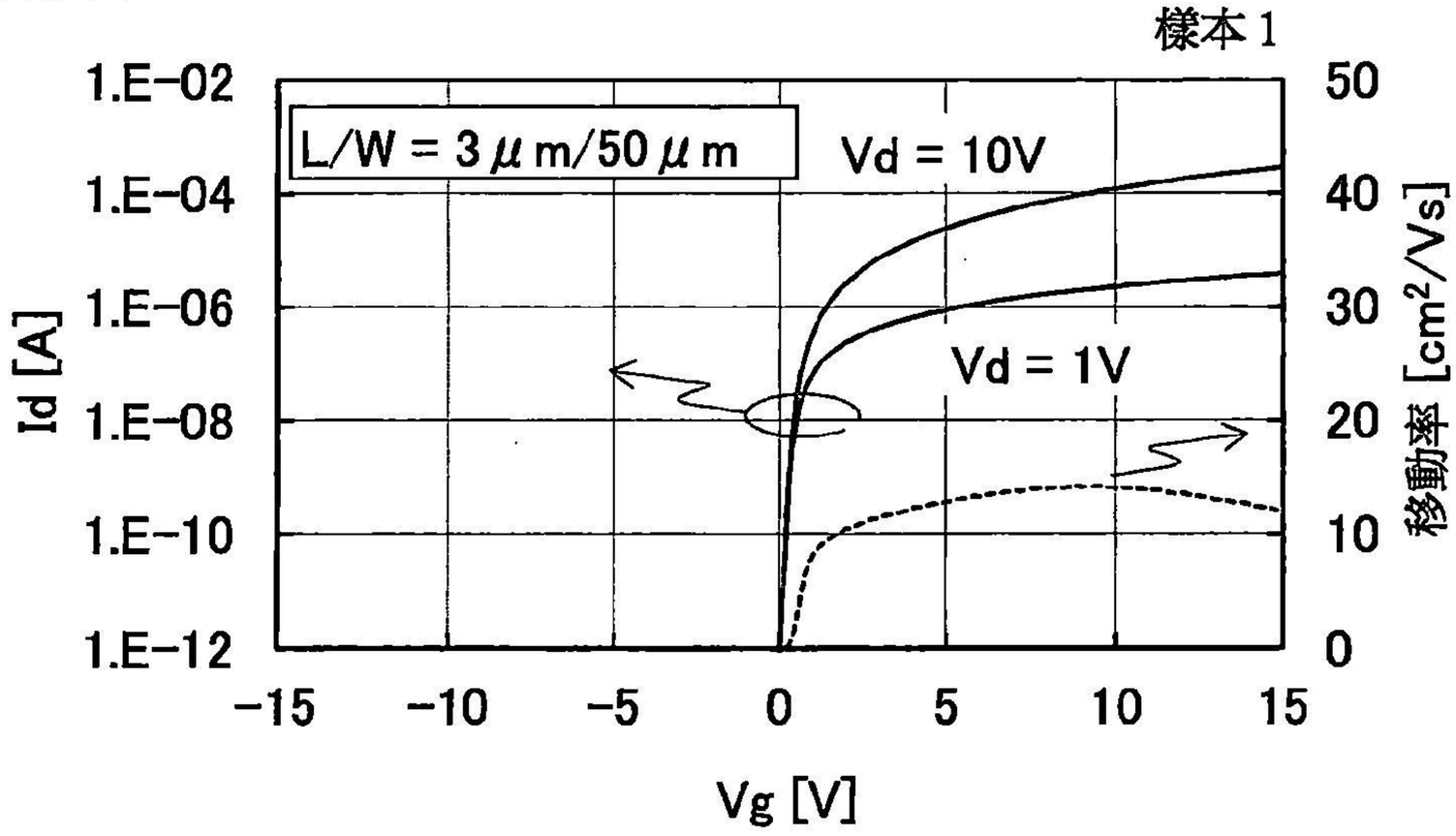
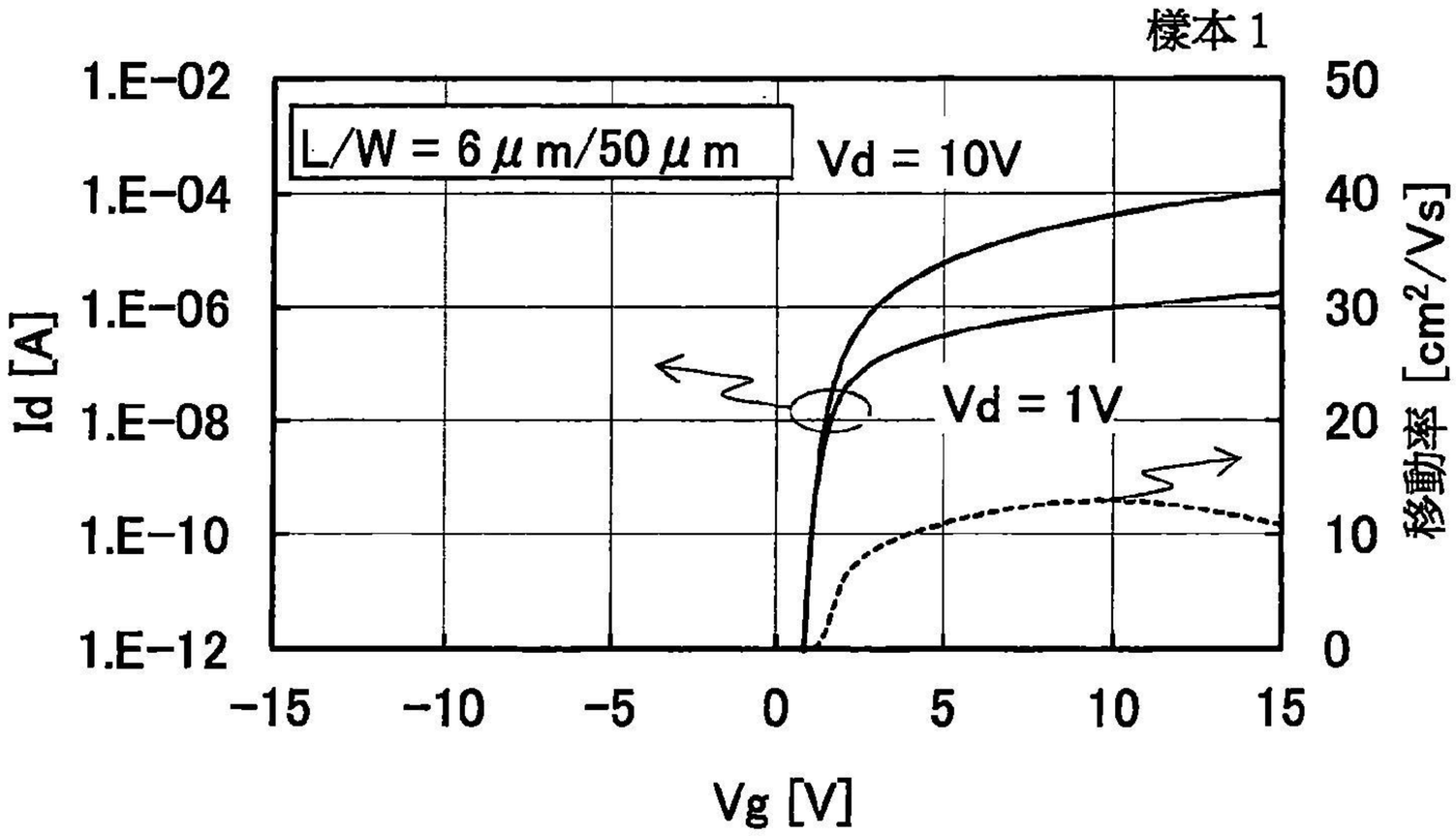


圖 25C



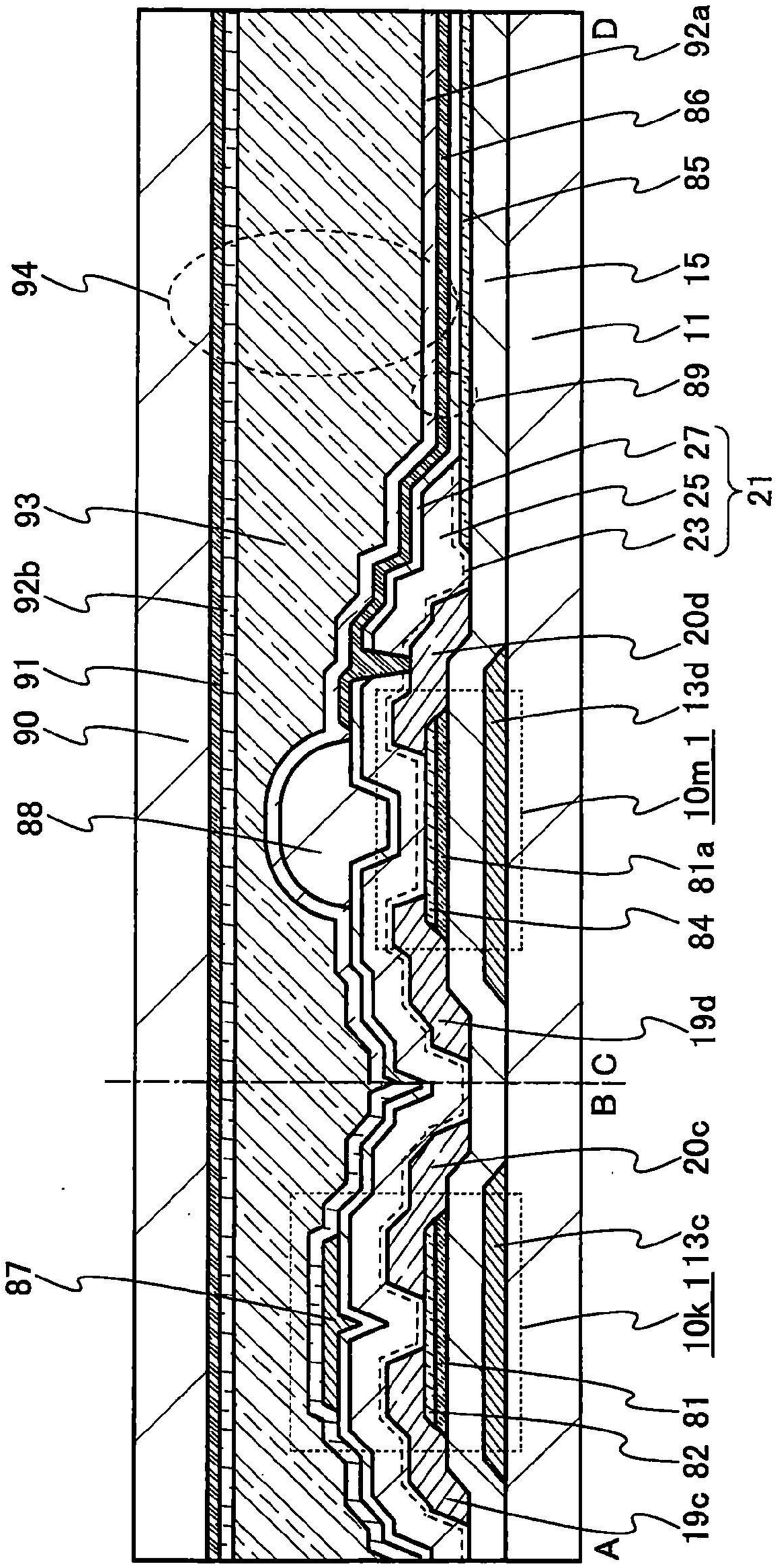

D
92a
86
85
94
15
11
89
93
27
25
23
21
92b
20d
91
13d
90
10m 1
88
81a
84
19d
B
C
20c
87
13c
10k 1
19c
82
81
A

圖 26

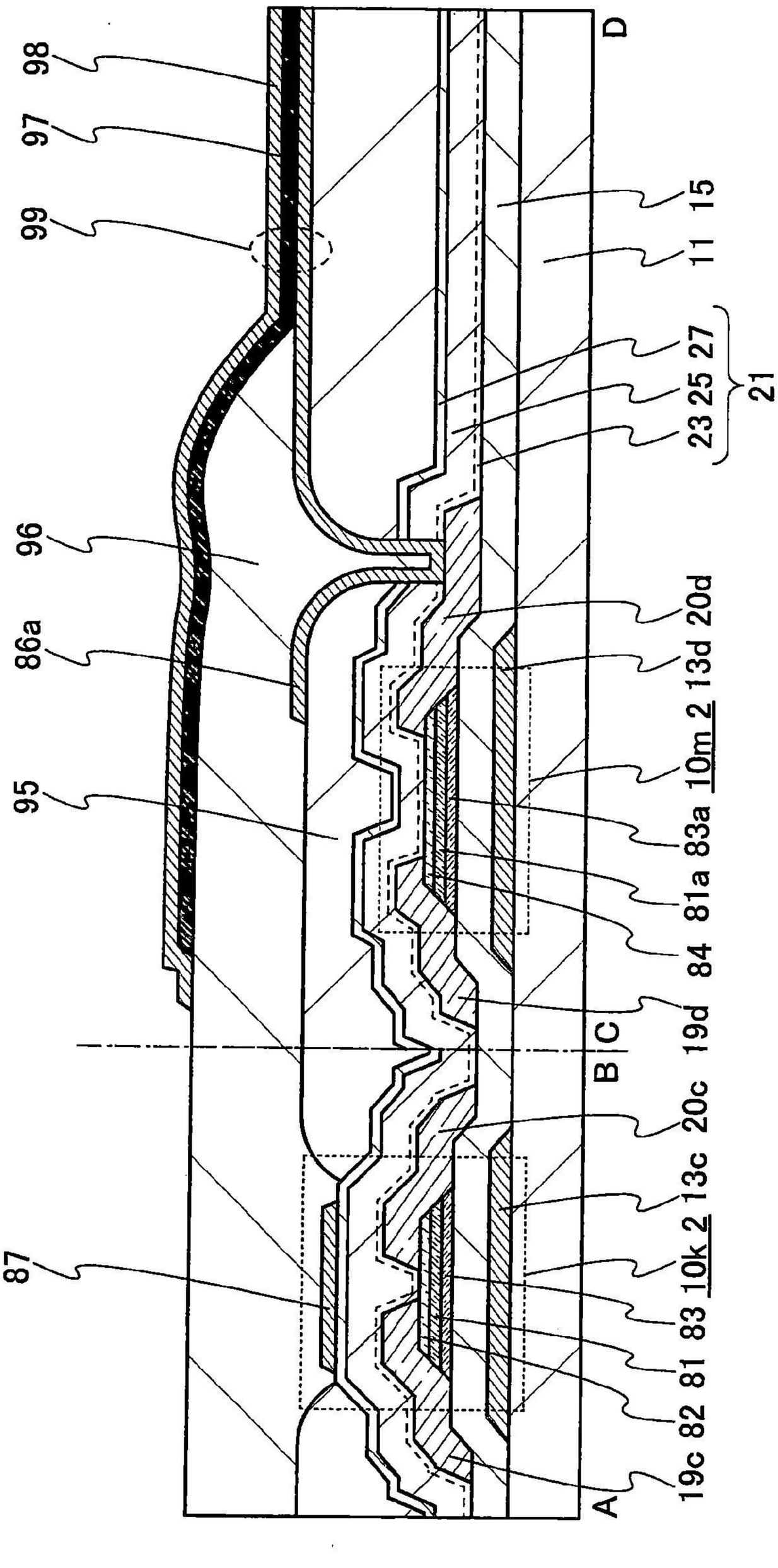

98
97
99
96
86a
95
87
D
15
11
27
25
23
21
20d
13d
10m 2
83a
81a
84
19d
C
B
20c
13c
10k 2
83
81
82
19c
A

圖 27

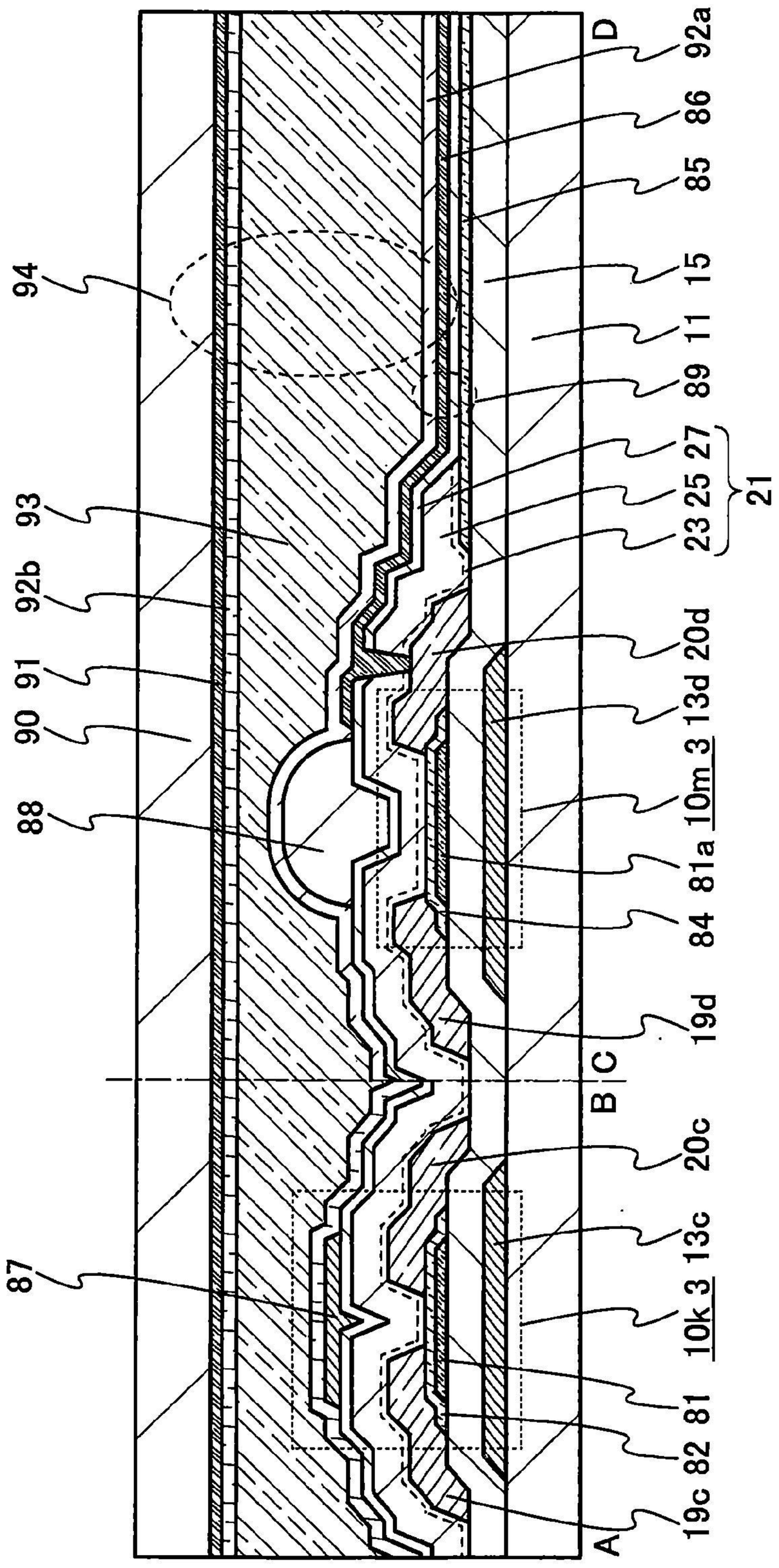

D
92a
86
85
15
11
89
27
25
23
21
94
93
92b
91
90
20d
13d
3
10m
88
81a
84
19d
B
C
20c
13c
87
10k
3
81
82
19c
A

圖 28

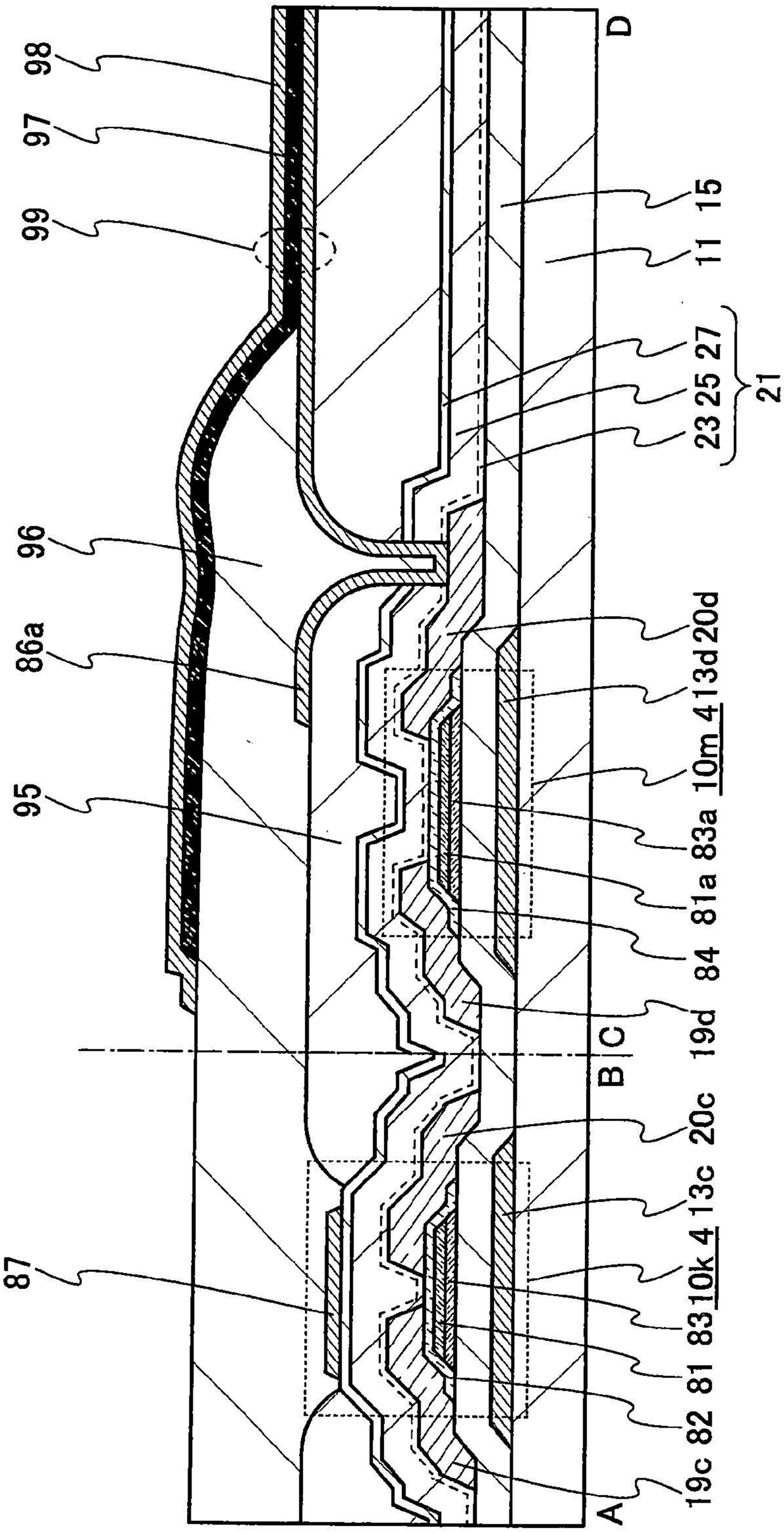

D
98
97
99
15
11
27
25
23
21
96
86a
95
20d
13d
10m
4
83a
81a
84
19d
B
C
20c
13c
87
10k
83
81
82
19c
A

圖 29

圖 30A

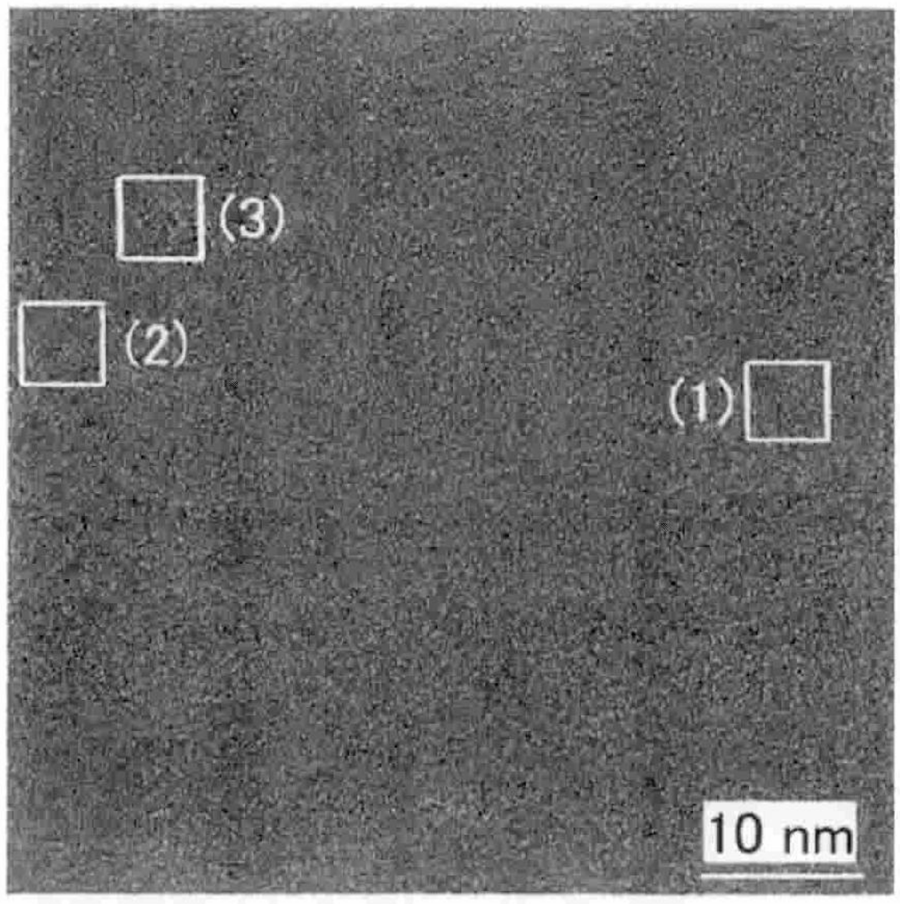


圖 30B

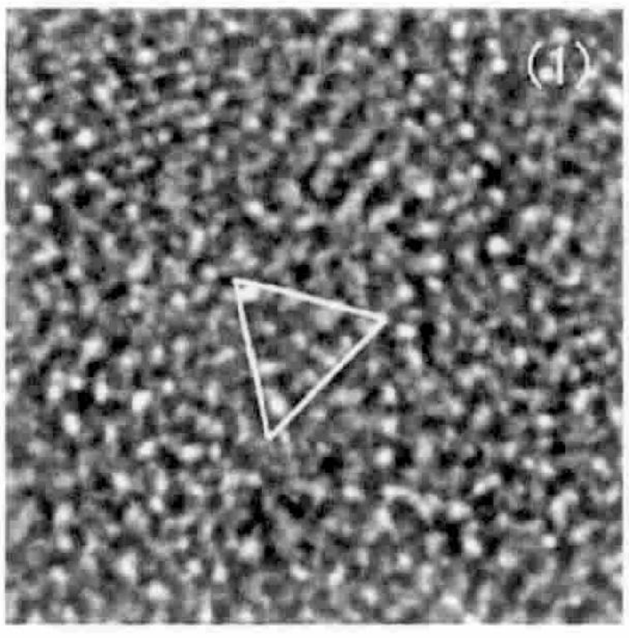


圖 30C

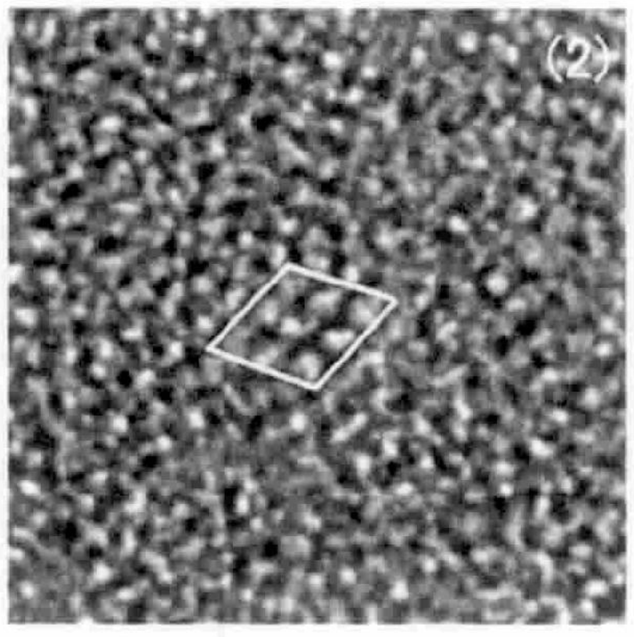


圖 30D

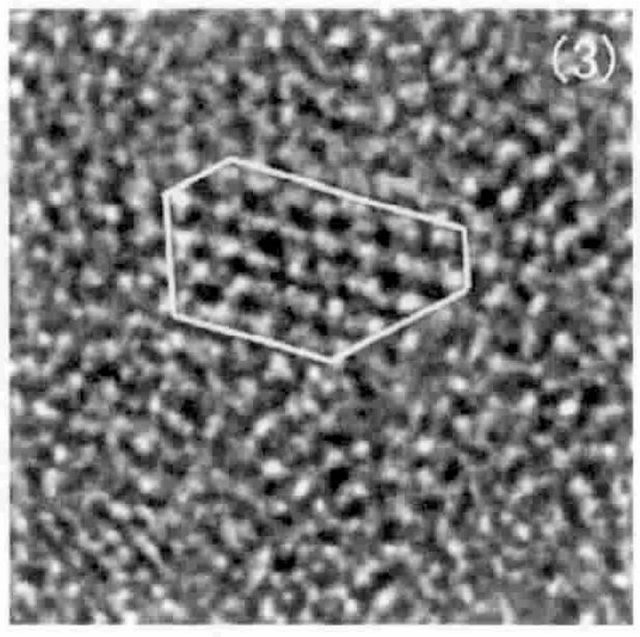


圖 31A

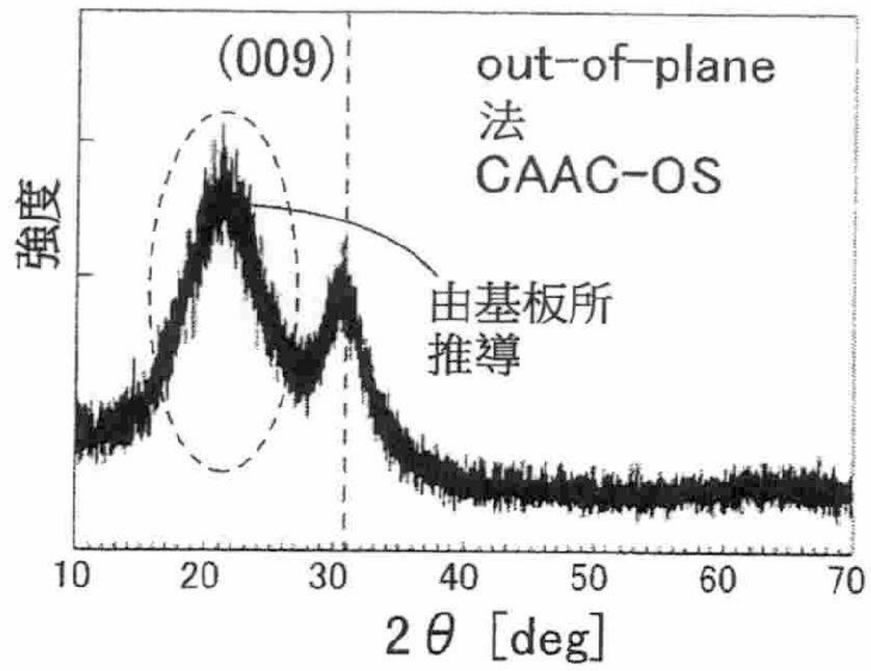


圖 31B

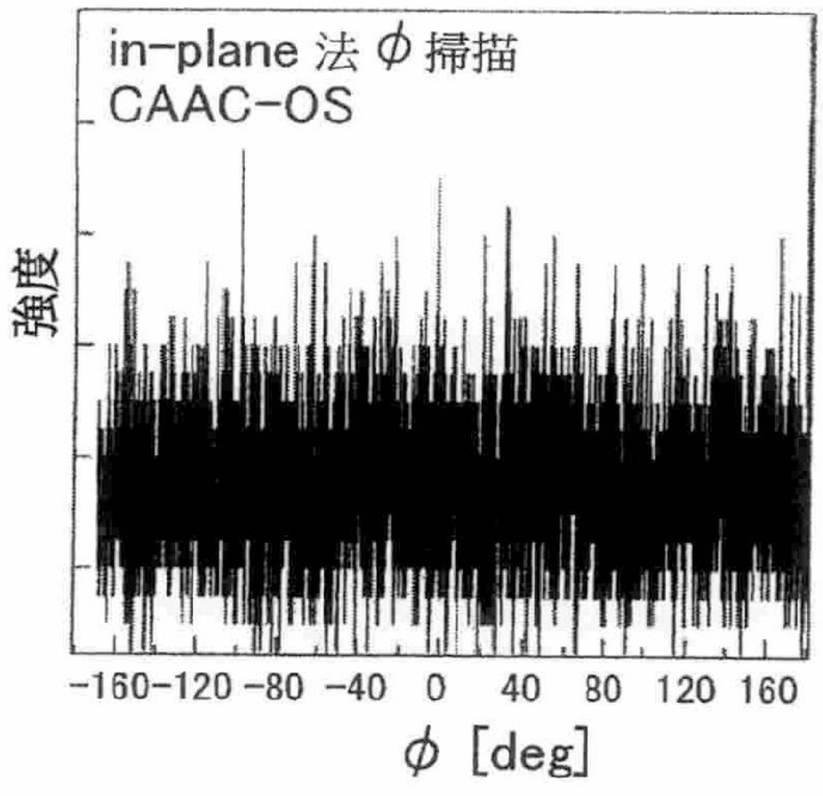


圖 31C

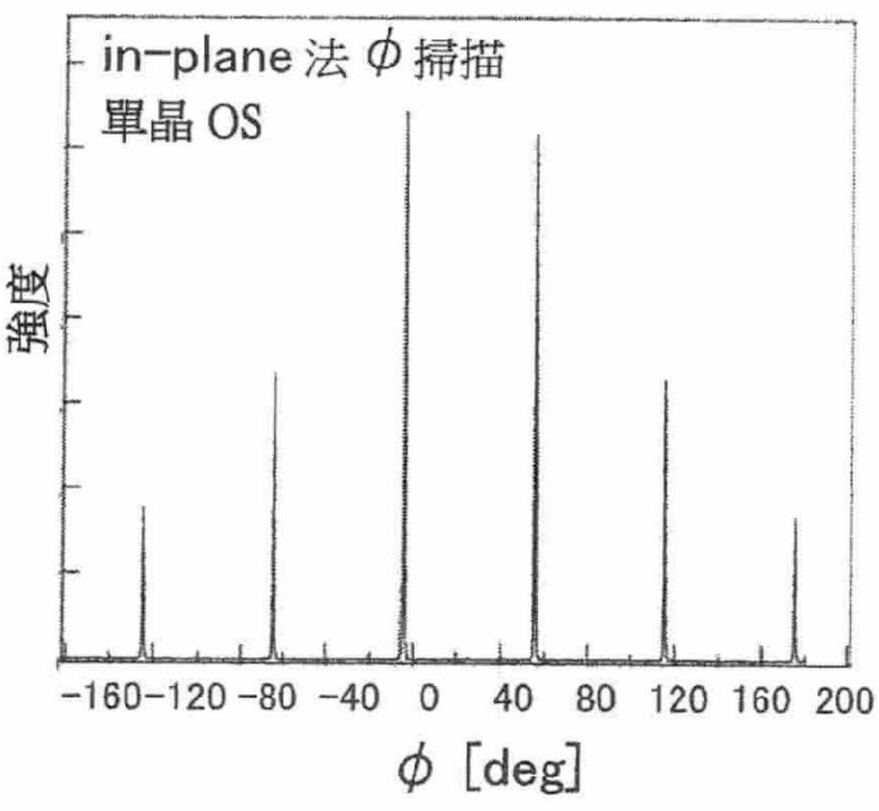


圖 32A

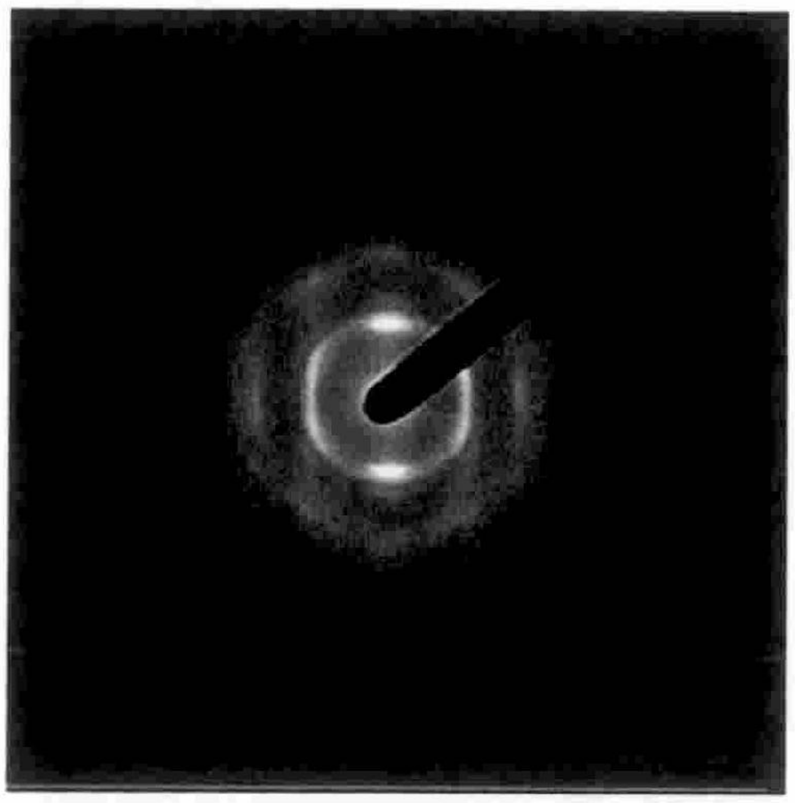


圖 32B

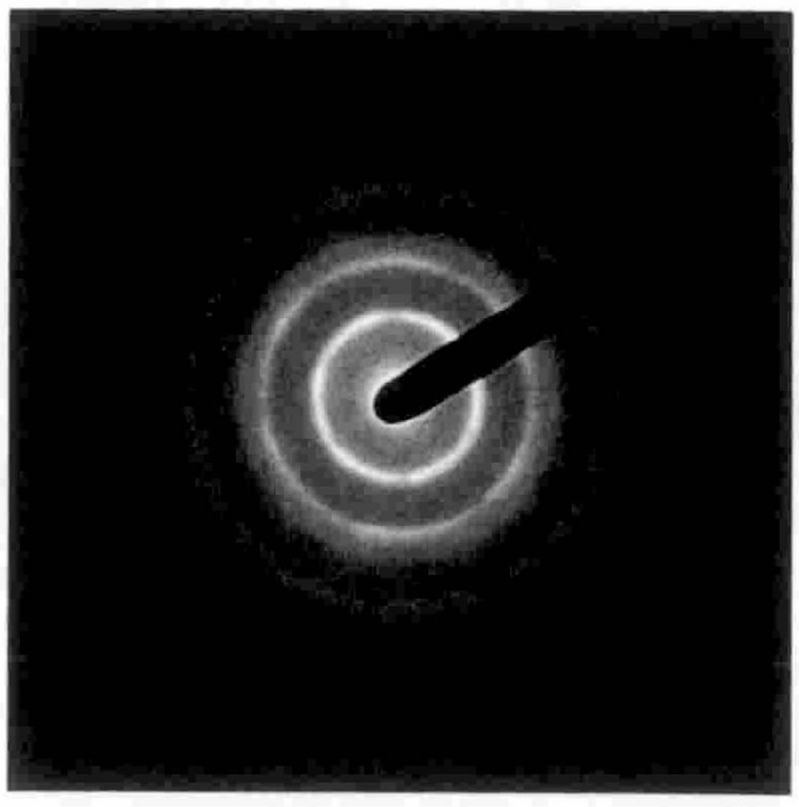
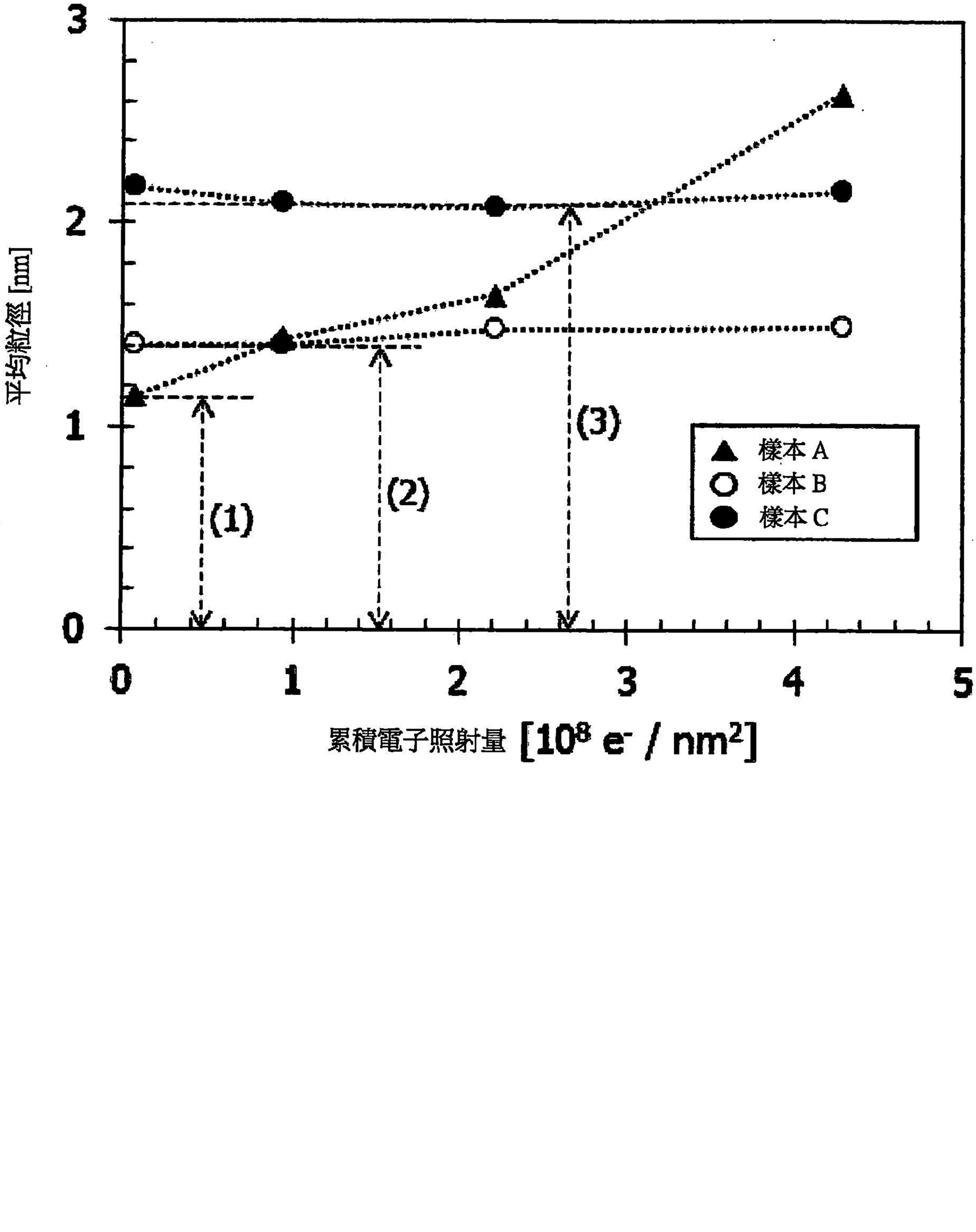


圖 33



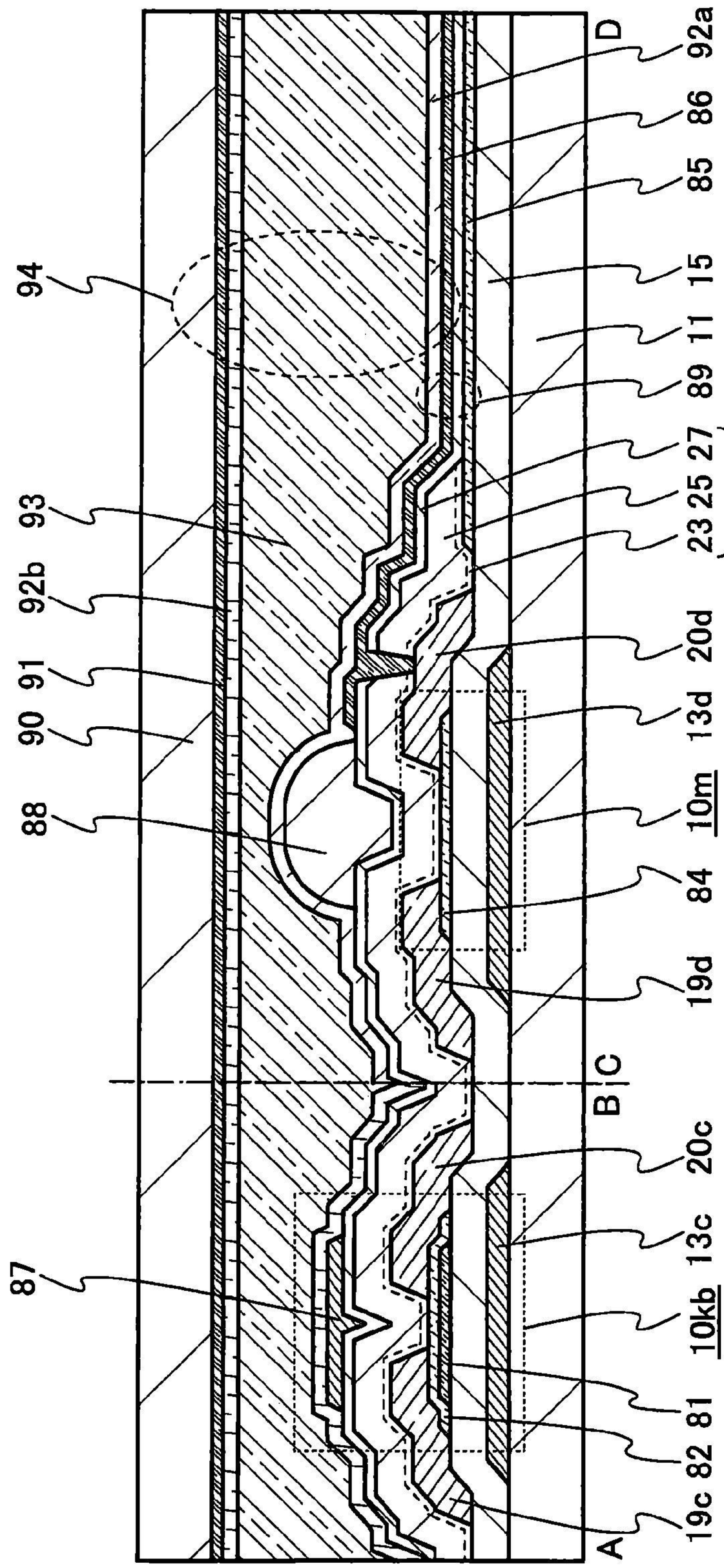

D
92a
86
85
94
15
11
89
27
25
23
21
93
92b
20d
91
13d
90
10m
88
84
19d
B
C
20c
13c
87
10kb
81
82
19c
A

圖 34

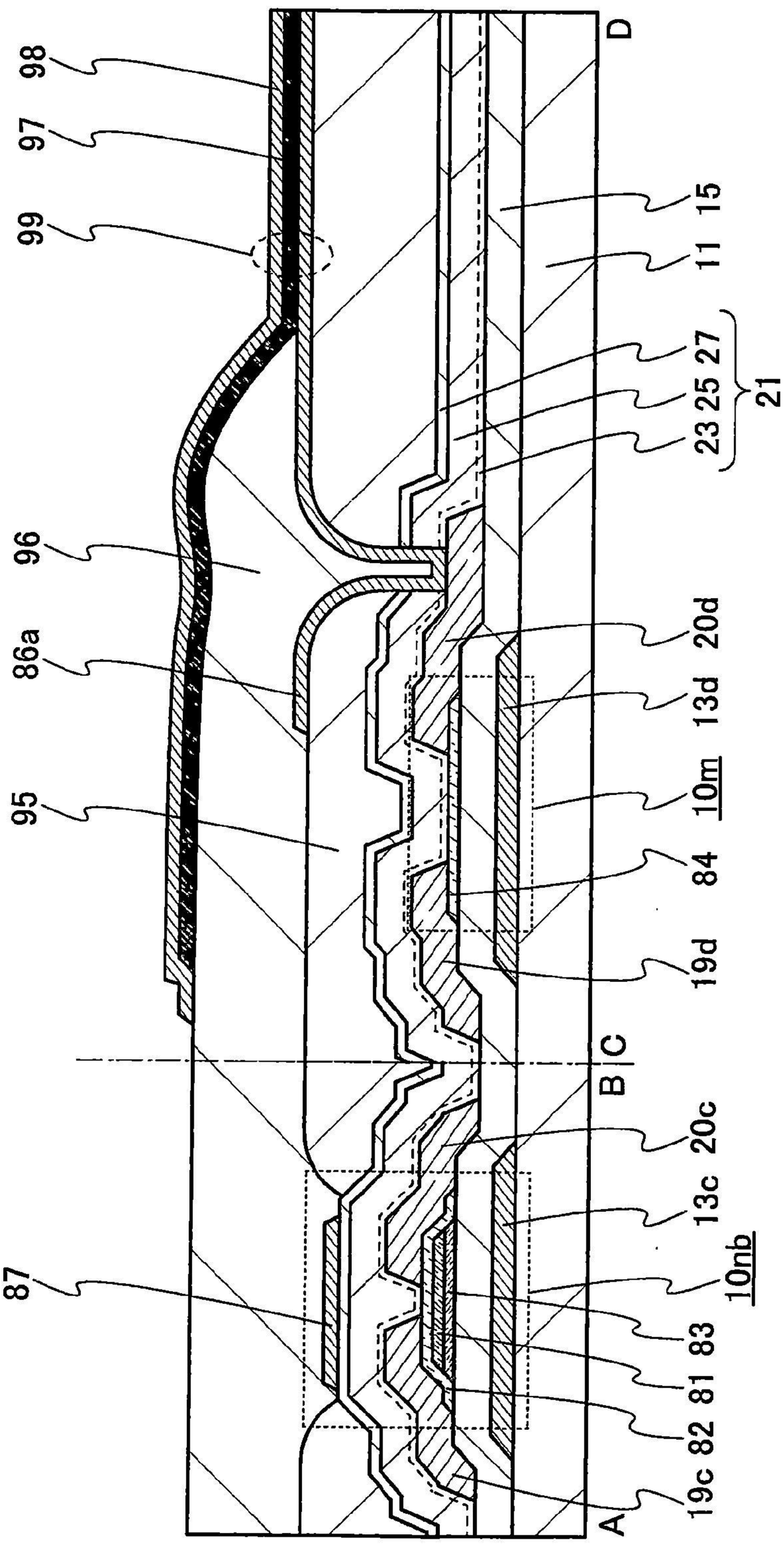

98
97
99
96
86a
95
87
D
15
11
27
25
23
21
20d
13d
10m
84
19d
B
C
20c
13c
10nb
83
81
82
19c
A

圖 35

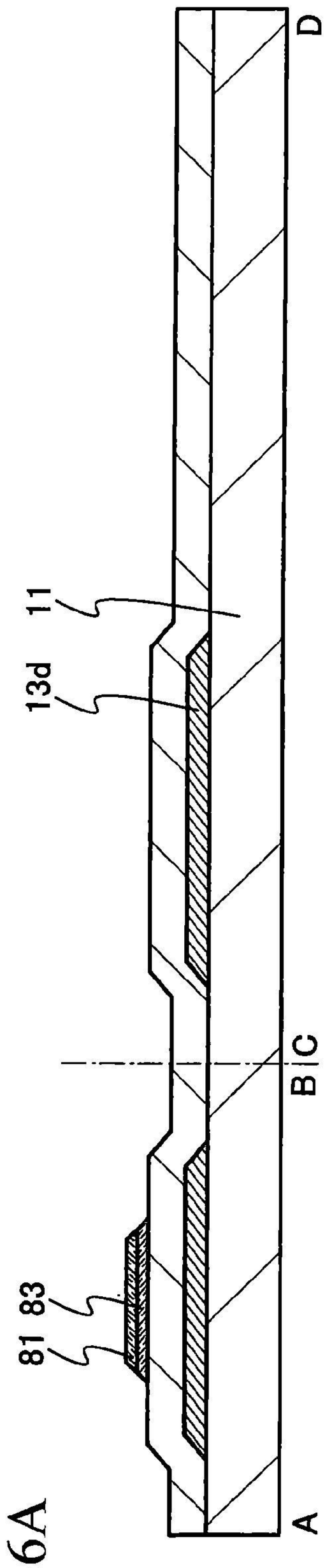


圖 36A

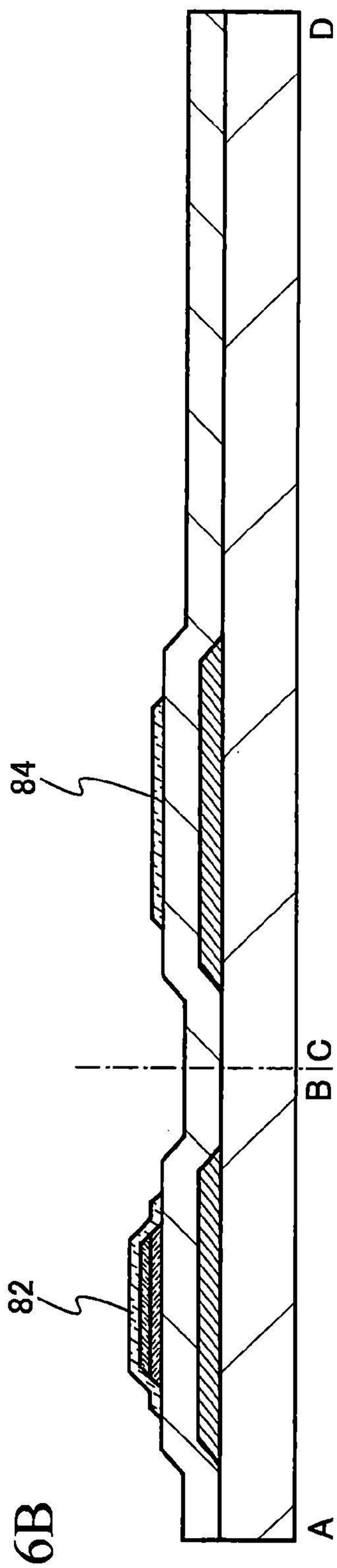


圖 36B

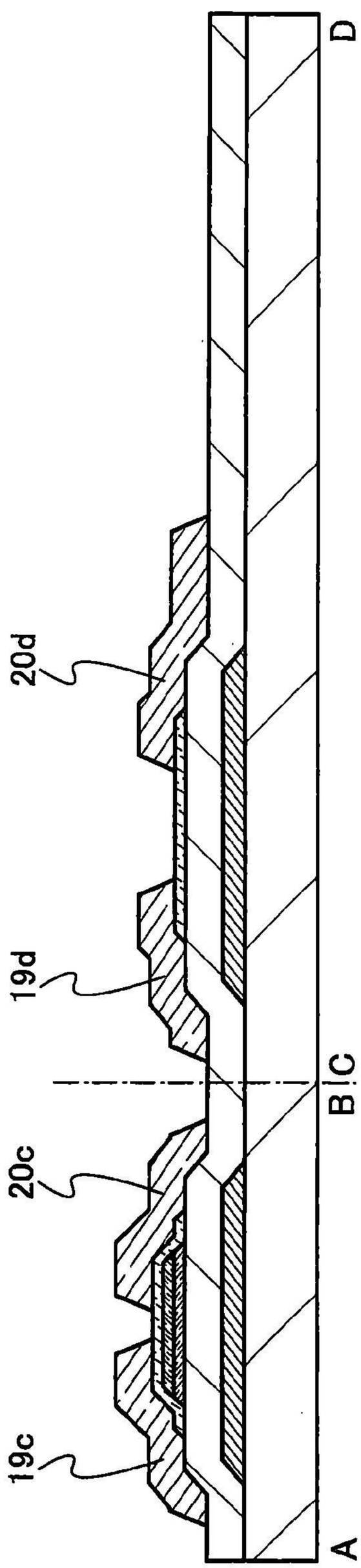


圖 36C

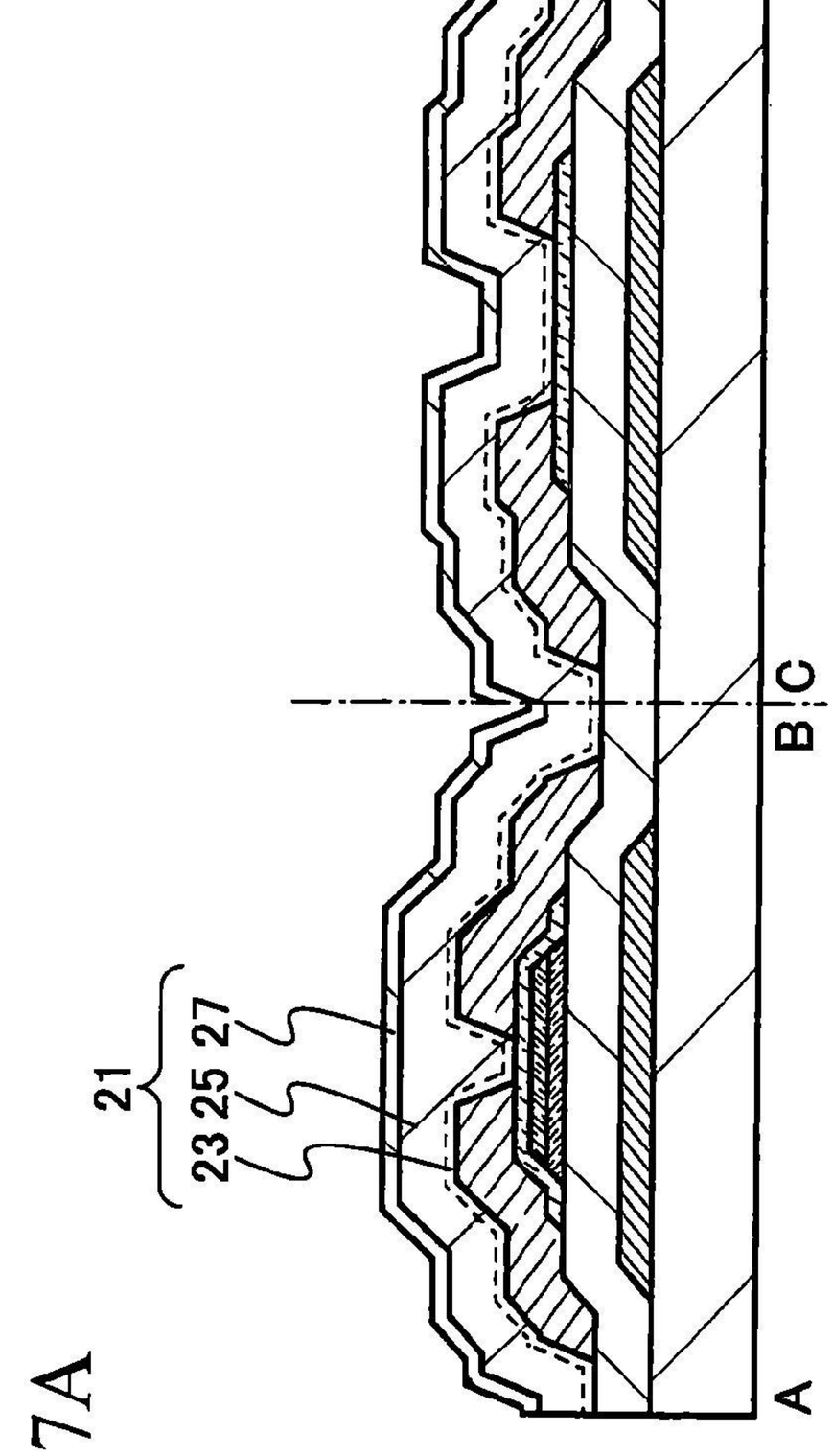


圖 37A

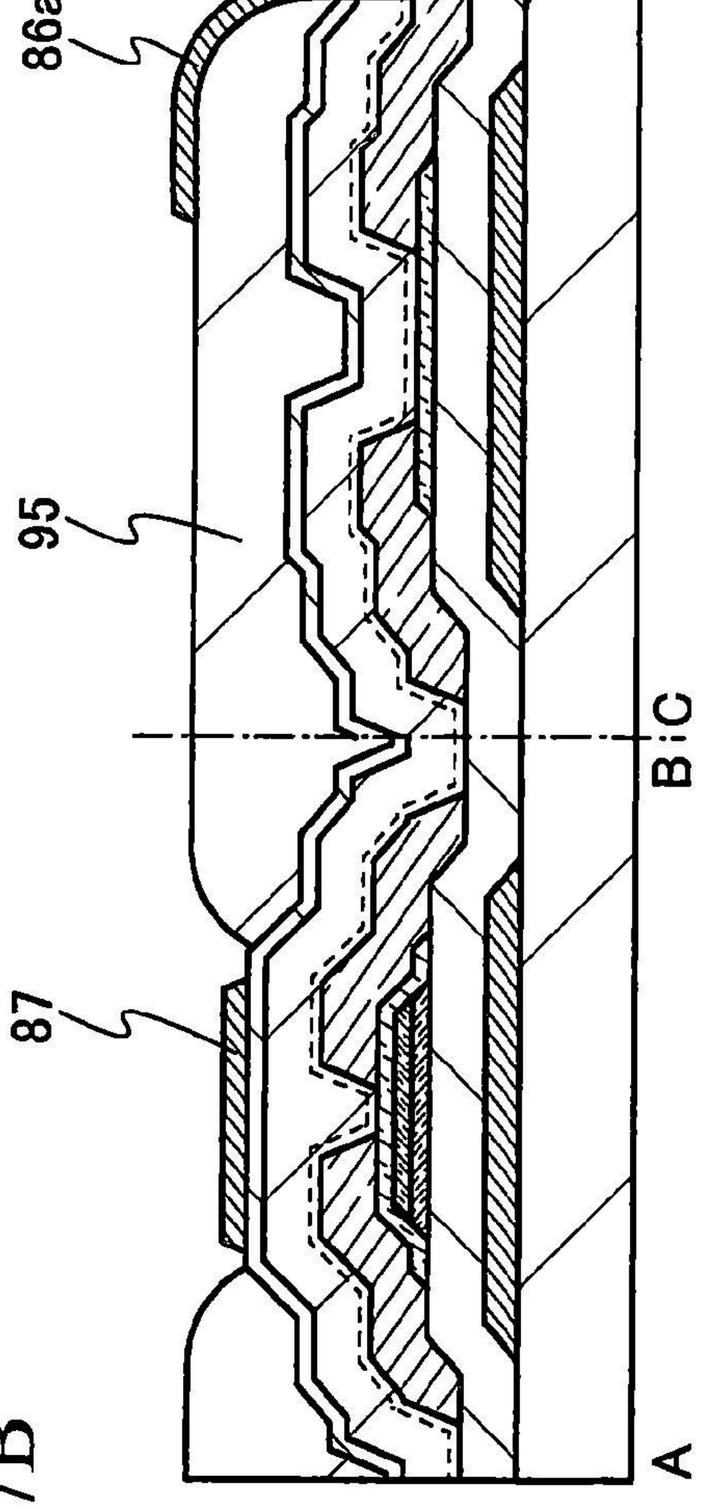


圖 37B

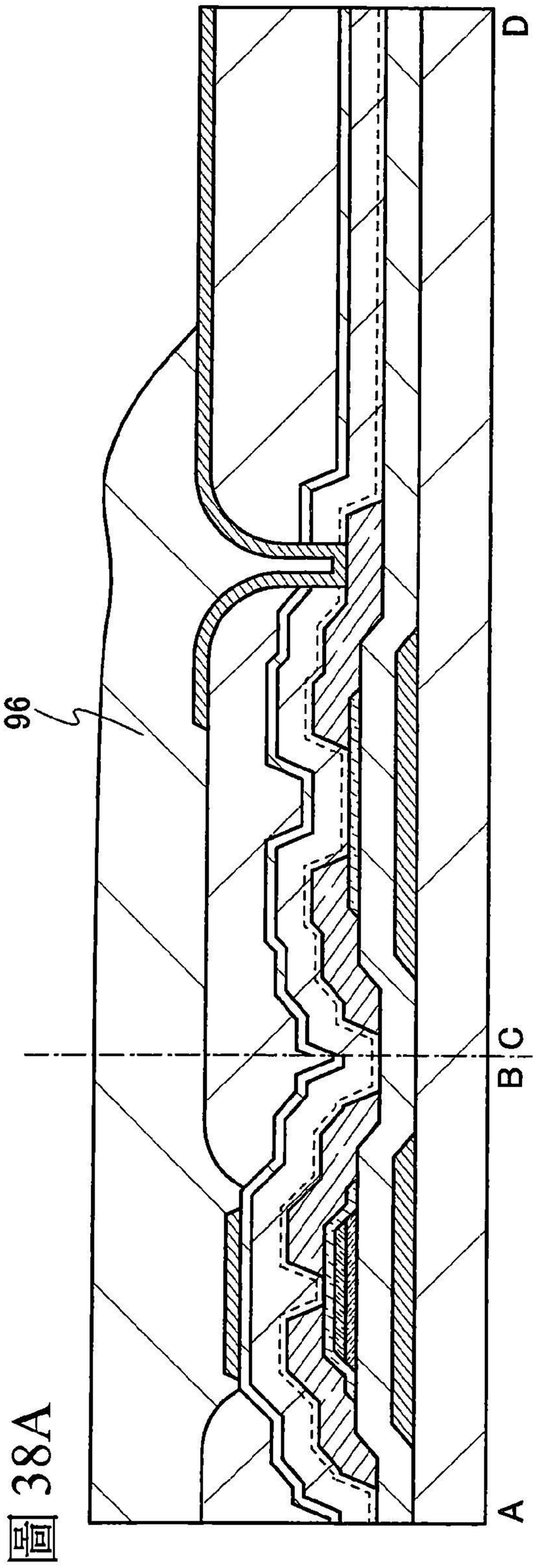


圖 38A

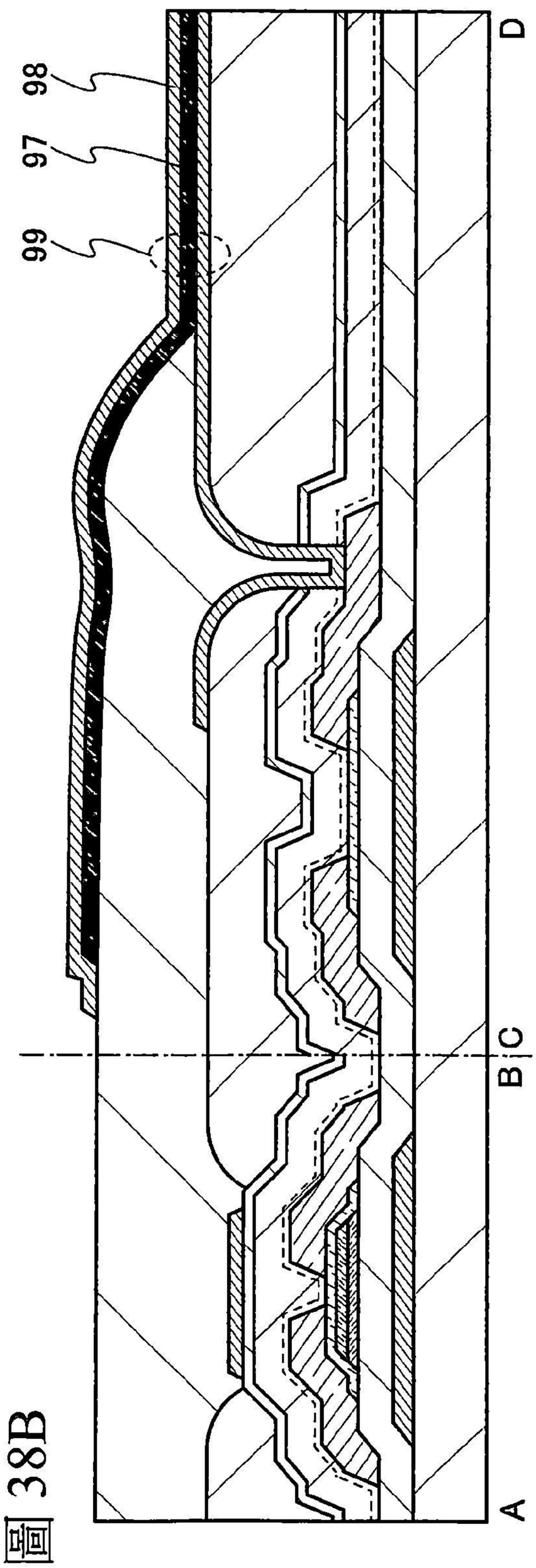


圖 38B

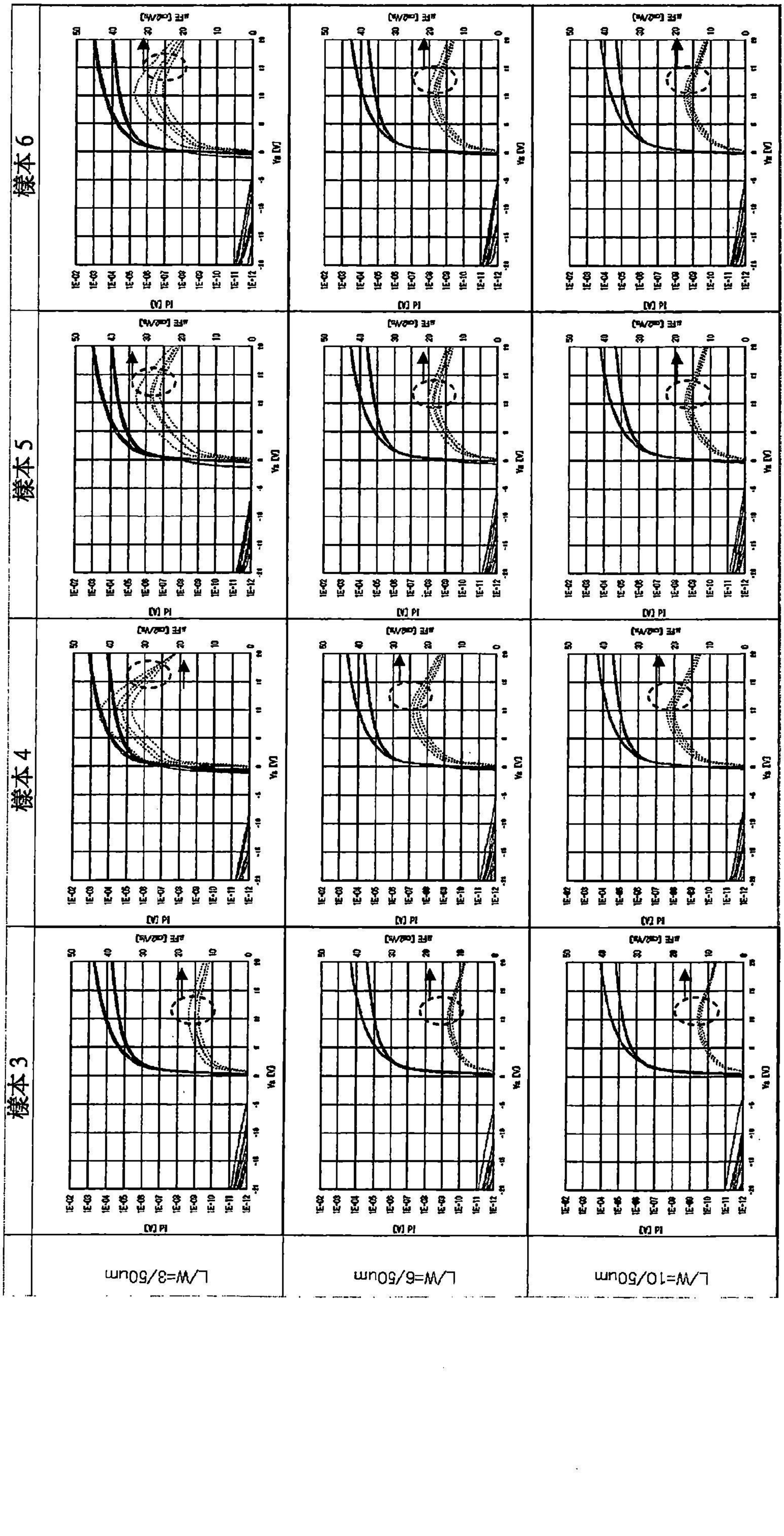

樣本6
樣本5
樣本4
樣本3
L/W=10/50um
L/W=6/50um
L/W=3/50um
ID [A]
VD [V]
VG [V]
μFE [cm2/Vs]

圖 39

圖 40

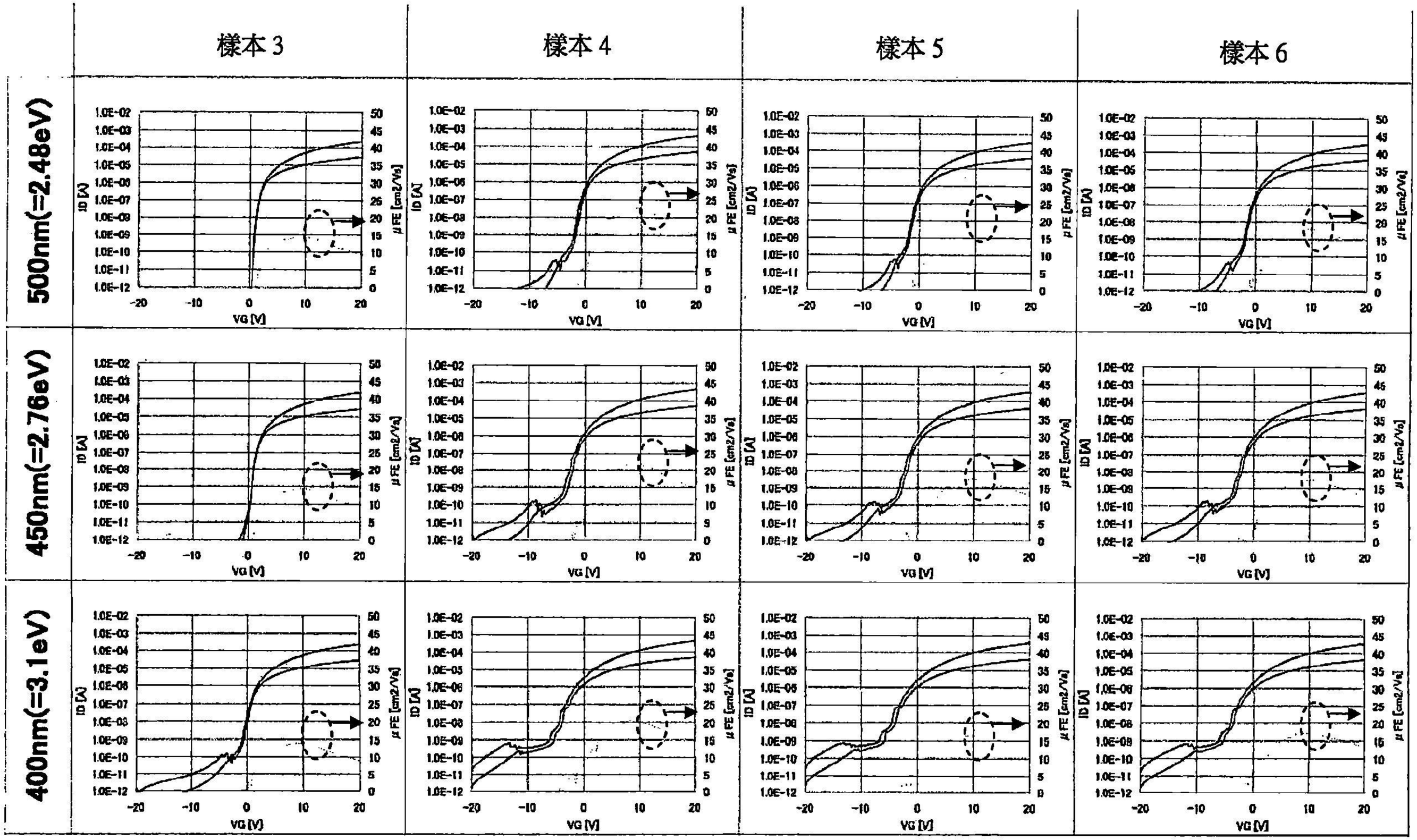

樣本 3
樣本 4
樣本 5
樣本 6
500nm(=2.48eV)
450nm(=2.76eV)
400nm(=3.1eV)
ID [A]
μ FE [cm2/Vs]
VG [V]

圖 41

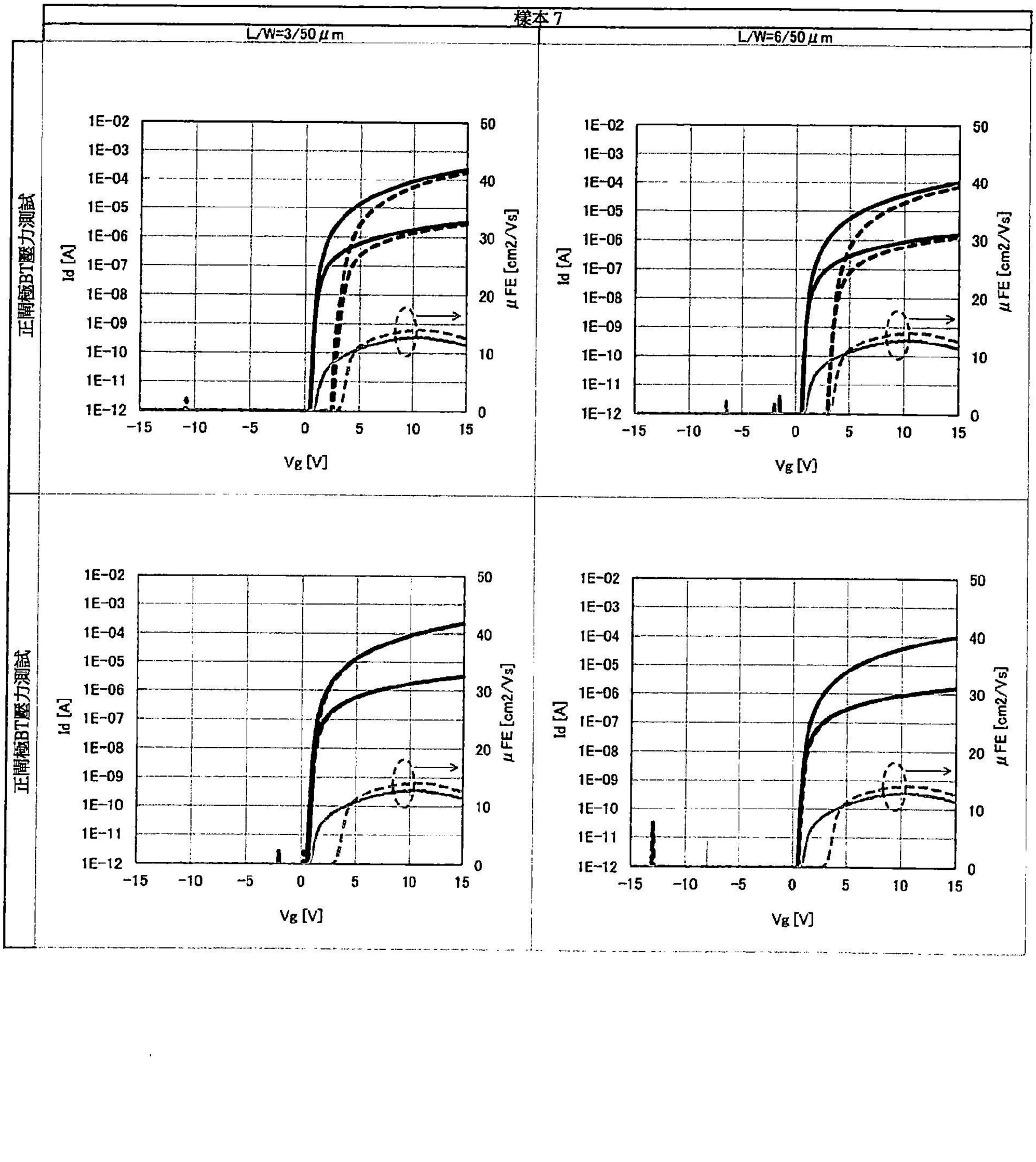
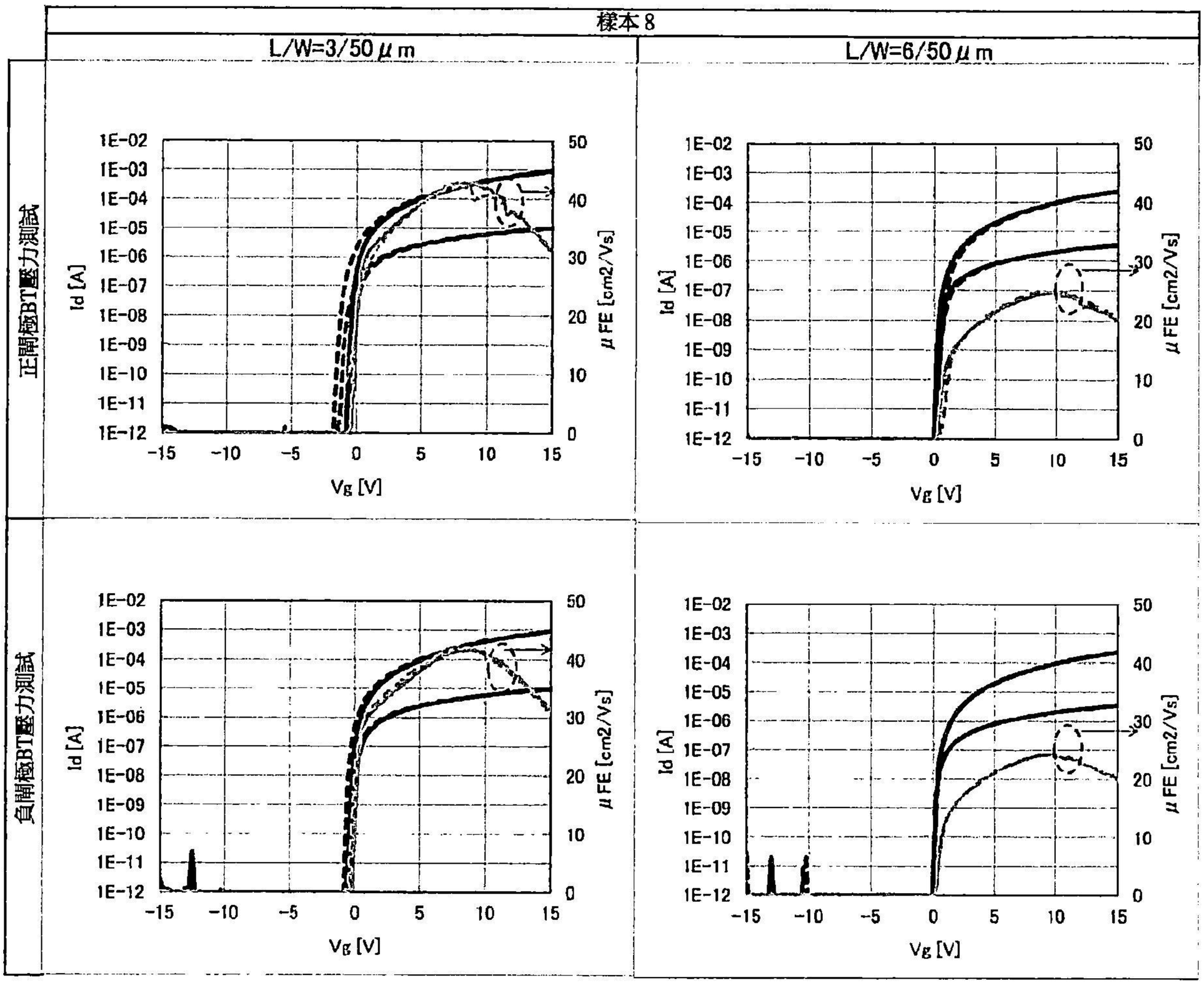

樣本 7
L/W=3/50 μm
L/W=6/50 μm
正閘極BT壓力測試
正閘極BT壓力測試
Id [A]
μFE [cm2/Vs]
Vg [V]
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
50
40
30
20
10
0
−15
−10
−5
0
5
10
15

圖 42


樣本 8
L/W=3/50 μm
L/W=6/50 μm
正閘極BT壓力測試
負閘極BT壓力測試
Id [A]
μFE [cm2/Vs]
Vg [V]
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
50
40
30
20
10
0
−15
−10
−5
0
5
10
15

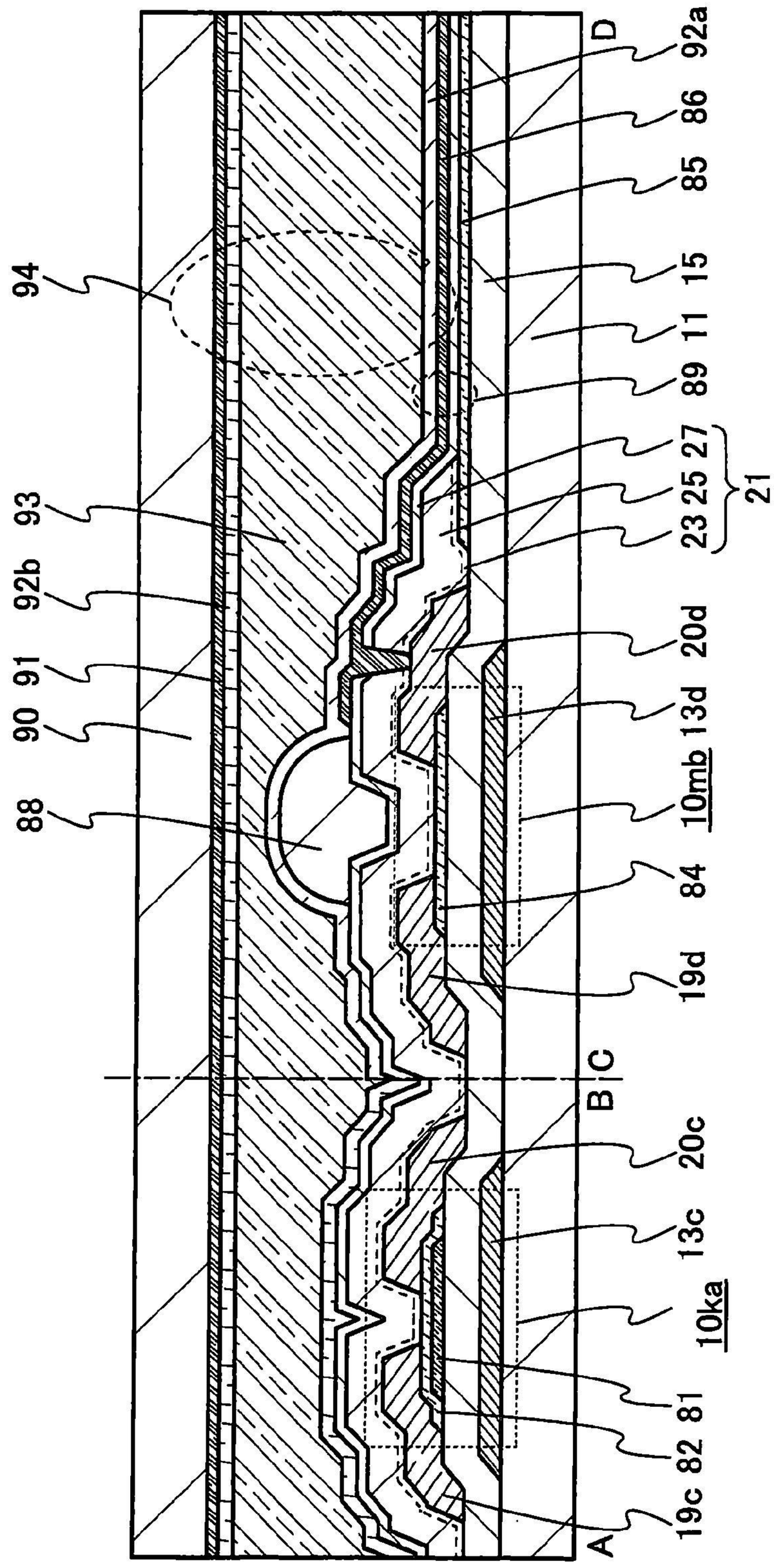

D
92a
86
85
94
15
11
89
27
25
23
21
93
92b
91
90
88
20d
13d
10mb
84
19d
B
C
20c
13c
10ka
81
82
19c
A

圖 43

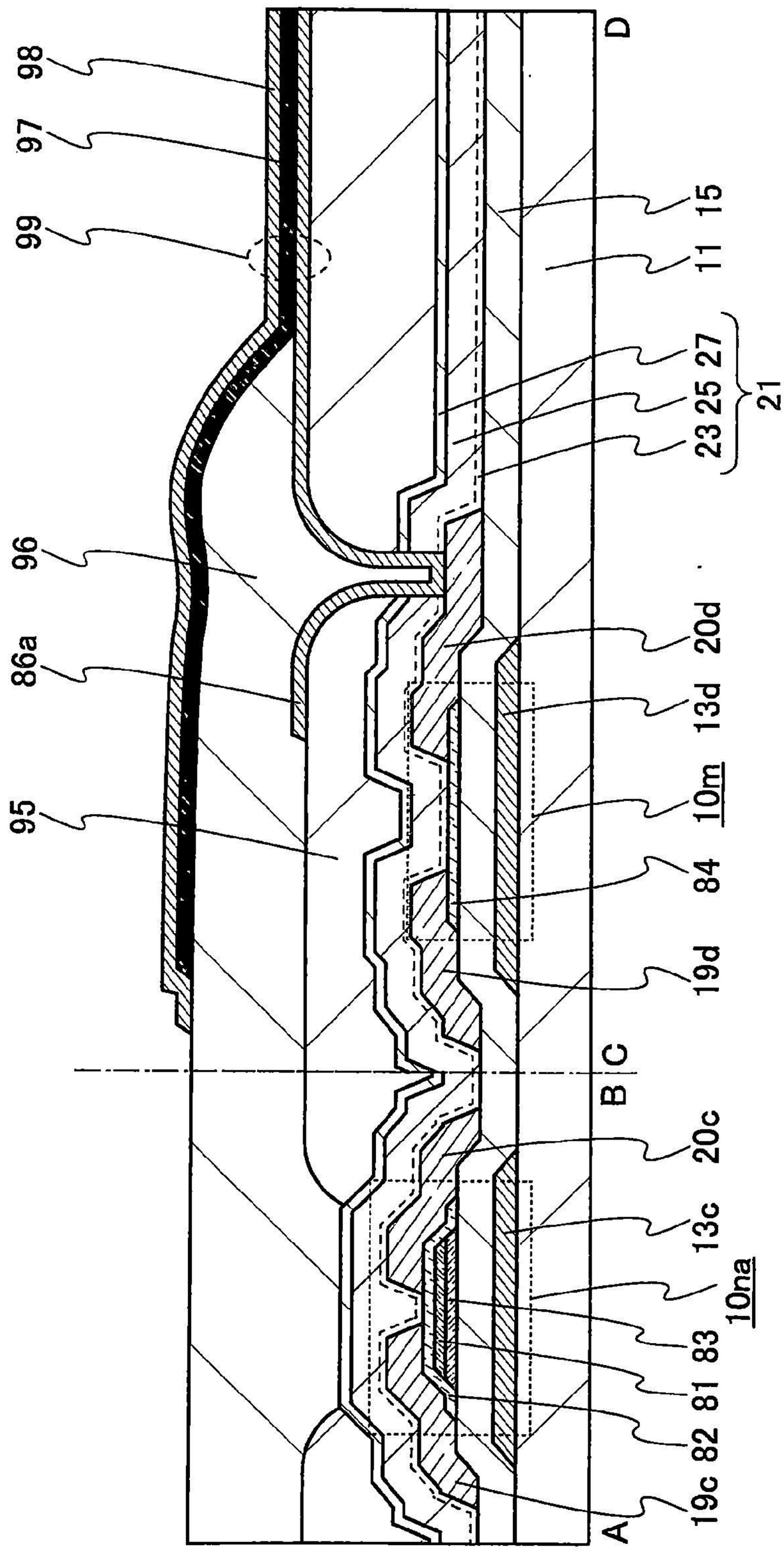

98
97
99
96
86a
95
D
15
11
27
25
23
21
20d
13d
10m
84
19d
B
C
20c
13c
10na
83
81
82
19c
A

圖 44

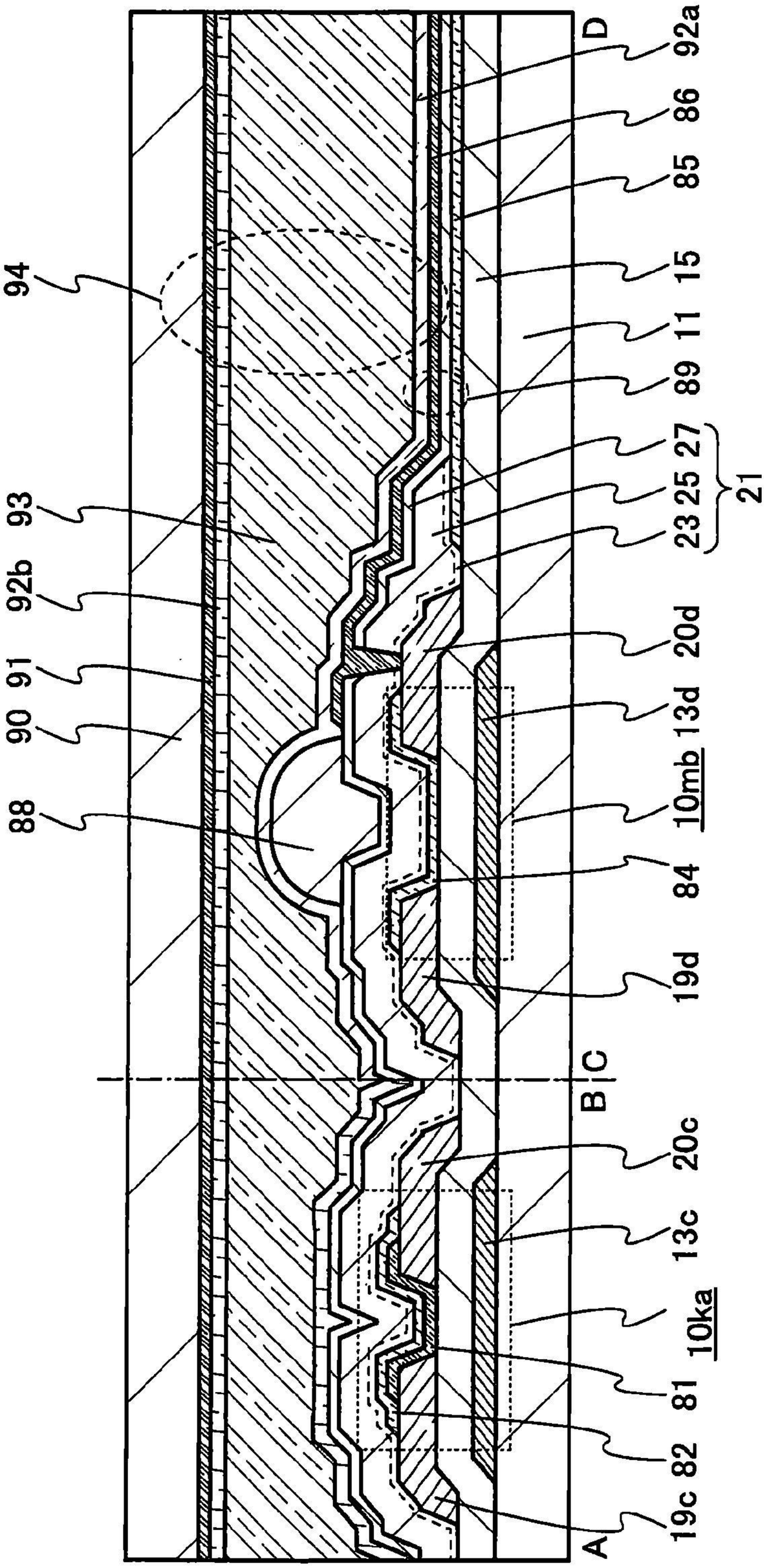

D
92a
86
85
94
15
11
89
27
25
23
21
93
92b
20d
91
13d
90
10mb
88
84
19d
B
C
20c
13c
10ka
81
82
19c
A

圖 45

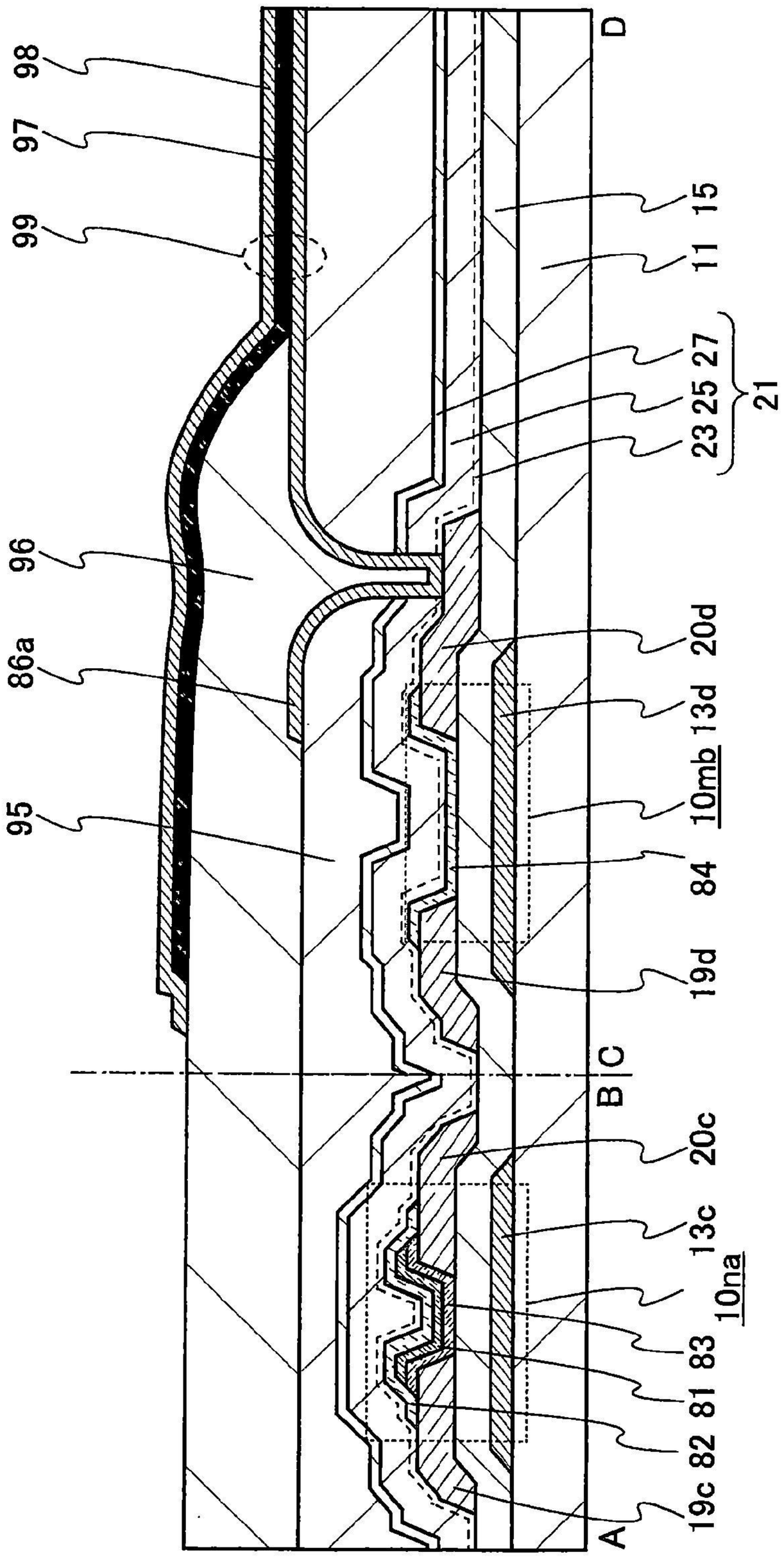
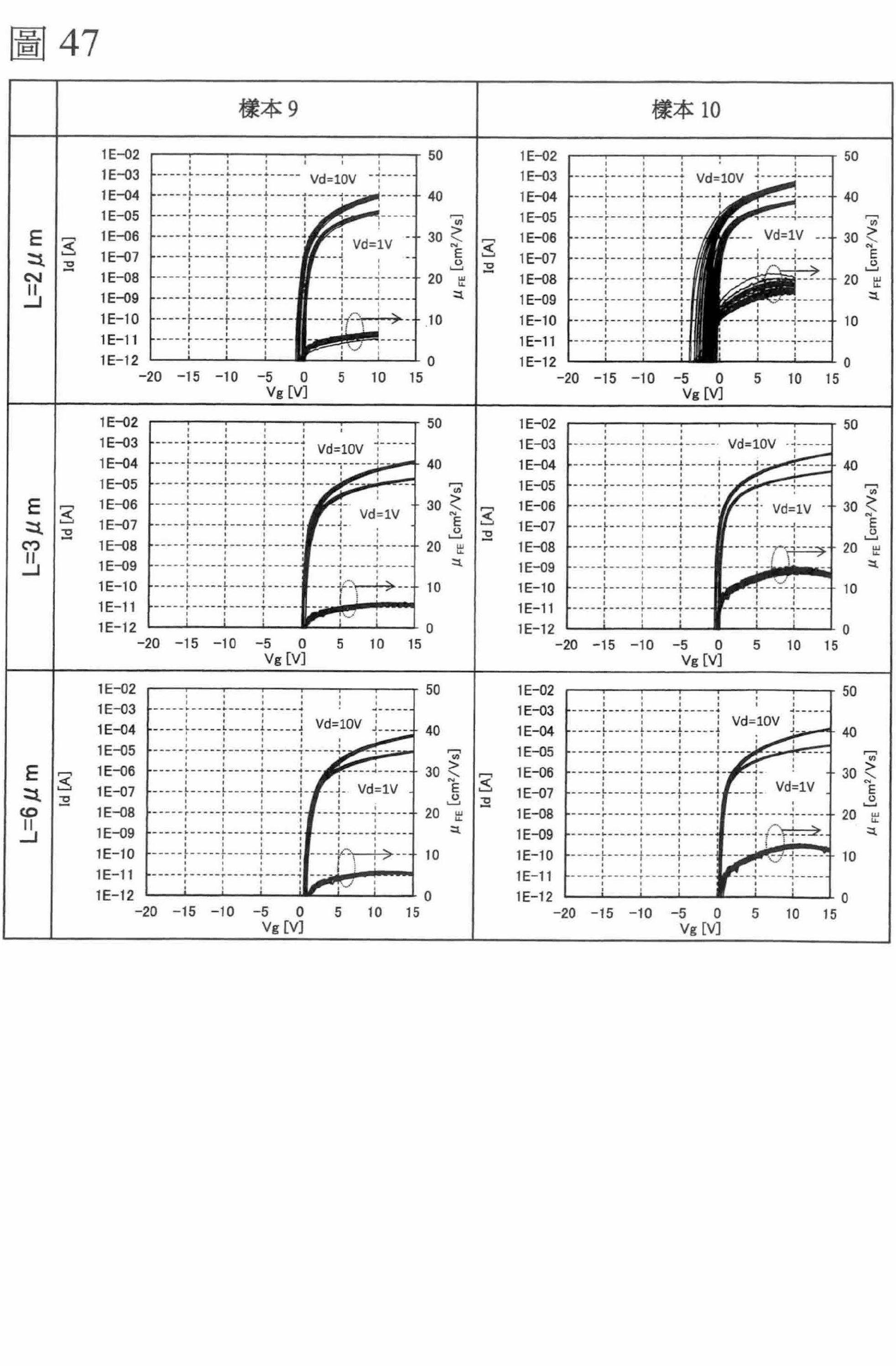

98
97
99
96
86a
95
D
15
11
27
25
23
21
20d
13d
10mb
84
19d
C
B
20c
13c
10na
83
81
82
19c
A

圖 46

圖 47


樣本 9
樣本 10
L=2 μ m
L=3 μ m
L=6 μ m
Id [A]
μ FE [cm²/Vs]
Vg [V]
Vd=10V
Vd=1V
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
50
40
30
20
10
0
-20 -15 -10 -5 0 5 10 15