(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4031067号
(P4031067)
(45)発行日　平成20年1月9日(2008.1.9)　(24)登録日　平成19年10月26日(2007.10.26)

(51)Int.Cl.　　F I
G11C 11/401 (2006.01)　　G11C 11/34 362H
G11C 11/408 (2006.01)　　G11C 11/34 362C
G11C 11/34 354B

請求項の数 3　(全 10 頁)

(21)出願番号　特願平8-141309
(22)出願日　平成8年6月4日(1996.6.4)
(65)公開番号　特開平9-320262
(43)公開日　平成9年12月12日(1997.12.12)
審査請求日　平成13年12月10日(2001.12.10)
審判番号　不服2004-18604(P2004-18604/J1)
審判請求日　平成16年9月9日(2004.9.9)

(73)特許権者　000005821
松下電器産業株式会社
大阪府門真市大字門真１００６番地
(74)代理人　100076174
弁理士　宮井　暎夫
(72)発明者　岩成　俊一
大阪府高槻市幸町１番１号
松下電子工業株式会社内
(72)発明者　菊川　博仁
大阪府高槻市幸町１番１号
松下電子工業株式会社内

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】

【請求項１】

複数のメモリセルアレイブロックと、前記複数のメモリセルアレイブロックにそれぞれ個別に設けられて所定のメモリセルをアクセスする複数のデコード回路と、前記複数のメモリセルアレイブロックについて共通のアドレスを入力する一つのアドレス入力回路と、前記アドレス入力回路から出力されるアドレスに対応して前記複数のメモリセルアレイブロックについて共通のプリデコード信号を出力する行プリデコード回路と、前記複数のメモリセルアレイブロックの何れか一つを選択するブロック選択信号を発生するブロック選択信号発生回路と、前記複数のメモリセルアレイブロックにそれぞれ個別に設けられて前記プリデコード信号を保持するとともに保持したプリデコード信号を前記複数のデコード回路に供給する複数のプリデコード信号保持回路とを備え、前記複数のプリデコード信号保持回路は前記複数のメモリセルアレイブロックに対応したブロック選択信号にそれぞれ応答して保持内容を更新するようにしたことを特徴とする半導体記憶装置。

【請求項２】

行プリデコード回路のプリデコード信号を、アドレス入力回路に対して初期化信号として供給するようにしたことを特徴とする請求項１記載の半導体記憶装置。

【請求項３】

デコード回路がワード線を選択する行デコード回路であることを特徴とする請求項１記載の半導体記憶装置。

【発明の詳細な説明】

【０００１】
【発明の属する技術分野】
本発明は、半導体集積回路の一つであるシンクロナスＤＲＡＭと呼ばれる半導体記憶装置に関するもので、特にアドレス入力・選択回路の構成に係る。より特定的には、１つのチップ内を複数のメモリセルアレイブロックに分割した半導体記憶装置におけるアドレス入力・選択回路の構成に関する。
【０００２】
【従来の技術】
近年、ＭＰＵの高速化に伴い主記憶メモリのデータ転送速度の高速化が望まれている。これに対して、ＭＰＵとの性能ギャップを埋めるべく高速データ転送を可能にするメモリとして、シンクロナスＤＲＡＭが開発されている。このような高速データ転送を実現するメモリにおいては、連続した高速でのデータ入出力を１チップで実現するために、半導体チップ内部を複数のメモリセルアレイブロックに分け、それらを独立にアクセスする構成をとっている。すなわち、１チップ内に複数の汎用メモリをもつのと同等の構成をとり、これらを独立にそして交互にアクセス（１チップでバーストモードとインターリーブ方式を組み合わせる）して、高速データ転送を可能にしている（信学技報　Ｖｏｌ．９４，Ｎｏ．７５論文番号　ＩＣＤ９４－３８　酒井他　「１００ＭＨｚパイプライン方式シンクロナスＤＲＡＭの開発」参照）。
【０００３】
図４にこの種の半導体記憶装置の行アドレスのアクセスを行う部分の構成を示す。図４において、５１，５２は複数（図４では２個）のメモリセルアレイブロック、５３，５４はメモリセルアレイブロック５１，５２のワード線を選択するための行アドレス入力部にそれぞれ設けた行デコード回路である。５５は外部アドレスバス、５６は外部アドレスバス５５上の外部アドレス$Ａｄｄ_{EXT}$を保持するアドレスバッファ、５７はアドレスバッファ５６の出力端に接続された内部アドレスバスである。５８は外部クロック$ＣＫ_{EXT}$を入力として内部クロック$ＣＫ_{INT}$を発生して、アドレスバッファ５６やその他の回路に内部クロック$ＣＫ_{INT}$を供給するクロック発生回路である。
【０００４】
５９，６０はそれぞれ内部アドレスバス５７上の内部アドレス$Ａｄｄ_{INT}$を入力して行アドレスＲＡを保持する行アドレス入力回路で、メモリセルアレイブロック５１，５２にそれぞれ１対１に対応して設けられている。６１，６２はそれぞれ行アドレス入力回路５９，６０から出力された行アドレスＲＡをプリデコードする行プリデコード回路であり、プリデコード信号$ＰＤ_{1}$，$ＰＤ_{2}$が行デコード回路５３，５４にそれぞれ供給される。６３は内部アドレスバス５７上の内部アドレス$Ａｄｄ_{INT}$を入力してメモリセルアレイブロック５１，５２の何れかを一つを指定するために行アドレス入力回路５９，６０を選択的に活性化するブロック選択信号発生回路であり、ブロック選択信号$ＢＳ_{1}$，$ＢＳ_{2}$を発生する。
【０００５】
以上のような構成の半導体記憶装置の動作を以下に説明する。この半導体記憶装置においては、外部アドレスバス５５上の外部アドレス$Ａｄｄ_{EXT}$をクロック発生回路５８の内部クロック$ＣＫ_{INT}$に従ってアドレスバッファ５６が取り込んで保持する。そして、アドレスバッファ５６から内部アドレス$Ａｄｄ_{INT}$が内部アドレスバス５７上に出力される。ブロック選択信号発生回路６３は、内部アドレスバス５７上の内部アドレス$Ａｄｄ_{INT}$に基づいてメモリセルアレイブロック５１，５２の何れか一つを指定するためにブロック選択信号$ＢＳ_{1}$，$ＢＳ_{2}$の何れかを活性化する。
【０００６】
内部アドレス$Ａｄｄ_{INT}$の状態によって、ブロック選択信号$ＢＳ_{1}$，$ＢＳ_{2}$の内、例えばブロック選択信号$ＢＳ_{1}$が活性化すると、行アドレス入力回路５９が動作して内部アドレス$Ａｄｄ_{INT}$のうちの行アドレスＲＡを取り込んで更新保持して、行プリデコード回路６１に供給する。その結果、行プリデコード回路６１は行アドレス入力回路５９から供給さ

れる行アドレスＲＡをプリデコードし、行デコード回路５３に与え、行デコード回路５３はメモリセルアレイブロック５１の所定のメモリセルをアクセスし、データの読み出しあるいは書き込みを行うことになる。

【０００７】

また、内部アドレス$Ａｄｄ_{INT}$の状態によって、ブロック選択信号$ＢＳ_{2}$が活性化すると、行アドレス入力回路６０が動作して内部アドレス$Ａｄｄ_{INT}$のうちの行アドレスＲＡを取り込んで更新保持して、行プリデコード回路６２に供給する。その結果、行プリデコード回路６２は行アドレス入力回路６０から供給される行アドレスＲＡをプリデコードし、行デコード回路５４に与え、行デコード回路５４はメモリセルアレイブロック５２の所定のメモリセルをアクセスし、データの読み出しあるいは書き込みを行うことになる。

【０００８】

そして、メモリセルアレイブロック５１，５２のアクセスが交互に行われ、またバーストモードでは、行アドレスＲＡを同一にしたまま、カウンタによって列アドレスを逐次変化させていくことにより同一のメモリセルアレイブロック５１，５２内で、行アドレスＲＡが同一で列アドレスが異なる一群のデータを連続的に読み出し、あるいは書き込むことになる。

【０００９】

この構成では、外部アドレス信号$Ａｄｄ_{EXT}$を入力した後、最初にどのブロックをアクセスするかをブロック選択信号発生回路６３のブロック選択信号$ＢＳ_{1}$，$ＢＳ_{2}$で選択し、これに続いて行アドレス入力回路５９および行プリデコード回路６１でアドレスのデコード動作を行う。

また、リフレッシュ動作時には、すべてのメモリセルアレイブロック５１，５２でリフレッシュ動作を行うため、メモリセルアレイブロック５１，５２毎に設置した行アドレス入力回路５９，６０と行プリデコード回路６１，６２がすべて動作する。

【００１０】

【発明が解決しようとする課題】

上記のような回路構成では、汎用メモリに比べて、アドレスデコード系回路、つまり行アドレス入力回路５９，６０と行プリデコード回路６１，６２とが、メモリセルアレイブロック５１，５２に１対１で設けられており、上記アドレスデコード系回路の素子数の増大（チップ内で分割設置されるメモリセルアレイブロック数倍増大）による、特にリフレッシュ動作時の消費電流の増加と、メモリセルアレイブロック５１，５２の選択動作後にアドレスデコード動作を行うことによるアクセス速度の低下とが問題となる。

【００１１】

本発明の目的は、消費電流の増大を抑制することができる半導体記憶装置を提供することである。

本発明の他の目的は、アクセス速度の低下を抑えることができる半導体記憶装置を提供することである。

【００１２】

【課題を解決するための手段】

この目的を達成するため、請求項１記載の発明の半導体記憶装置は、複数のメモリセルアレイブロックと、複数のメモリセルアレイブロックにそれぞれ個別に設けられて所定のメモリセルをアクセスする複数のデコード回路と、複数のメモリセルアレイブロックについて共通のアドレスを入力する一つのアドレス入力回路と、アドレス入力回路から出力されるアドレスに対応して複数のメモリセルアレイブロックについて共通のプリデコード信号を出力する行プリデコード回路と、複数のメモリセルアレイブロックの何れか一つを選択するブロック選択信号を発生するブロック選択信号発生回路と、複数のメモリセルアレイブロックにそれぞれ個別に設けられてプリデコード信号を保持するとともに保持したプリデコード信号を複数のデコード回路に供給する複数のプリデコード信号保持回路とを備え、複数のプリデコード信号保持回路は複数のメモリセルアレイブロックに対応したブロック選択信号にそれぞれ応答して保持内容を更新するようにしたことを特徴とする。

【００１３】
この構成によると、複数のメモリセルアレイブロックのリフレッシュ動作においては、各メモリセルアレイブロックについて共通のアドレス入力回路および行プリデコード回路を動作させ、ブロック選択信号発生回路を全選択状態とすることで、一度に全てのメモリセルアレイブロックへのアクセスを行うことが可能となり、複数のメモリセルアレイブロックのリフレッシュを一度に行うことができる。このときには、プリデコード信号保持回路が動作するものの、その消費電力はアドレス入力回路および行プリデコード回路に比べて格段に少なく、アドレス入力回路および行プリデコード回路は１組だけが動作するのみであるので、低消費電力化が図れる。また、通常の動作においては、行プリデコード回路の出力を保持するプリデコード信号保持回路の動作をブロック選択信号発生回路で制御しているので、アドレス入力回路および行プリデコード回路の動作とブロック選択信号発生回路の動作とを同時に行うことが可能となり、アクセス速度の低下を抑えることができる。

【００１４】
また、請求項２記載の発明の半導体記憶装置は、請求項１記載の半導体記憶装置において、行プリデコード回路のプリデコード信号を、アドレス入力回路に対して初期化信号として供給するようにしたことを特徴とする。この構成によると、行プリデコード回路のプリデコード信号を利用してアドレス入力回路と行プリデコード回路の初期化を行うことになる。その結果、初期化信号を作成するのに、信号遅延回路等を設けることは不要となり、素子数の削減を図ることができ、低消費電力化が図れる。

【００１５】
また、請求項３記載の発明の半導体記憶装置は、請求項１記載の半導体記憶装置において、デコード回路がワード線を選択する行デコード回路であることを特徴とする。

【００１６】
【発明の実施の形態】
以下、本発明の実施の形態を図面を参照しながら説明する。
図１はこの発明の実施の形態における半導体記憶装置の行アドレスのアクセスを行う部分の構成を示す。図１において、１，２は複数（図１では２個）のメモリセルアレイブロック、３，４はメモリセルアレイブロック１，２のワード線を選択するための行デコード回路である。５は外部アドレスバス、６は外部アドレスバス５上の外部アドレスAdd_{EXT}を保持するアドレスバッファ、７はアドレスバッファ６の出力端に接続された内部アドレスバスである。８は外部クロックCK_{EXT}を入力として内部クロックCK_{INT}を発生して、アドレスバッファ６やその他の回路に内部クロックCK_{INT}を供給するクロック発生回路である。

【００１７】
９はアドレス取り込み信号ＡＣに応答して内部アドレスバス７上の内部アドレスAdd_{INT}を入力して行アドレスＲＡを保持する行アドレス入力回路で、メモリセルアレイブロック１，２に共通に一つ設けられている。１０は行アドレス入力回路９から出力された行アドレスＲＡをプリデコードする行プリデコード回路であり、メモリセルアレイブロック１，２に共通に一つ設けられていて、プリデコード信号PD_0を出力し、プリデコード信号PD_0の供給後リセット信号ＲＳを行アドレス入力回路９に供給して行アドレス入力回路９を初期化し、したがって行プリデコード回路１０自身を初期化する。

【００１８】
１１，１２はメモリセルアレイブロック１，２にそれぞれ対応して設けられた行プリデコード信号保持回路であり、プリデコード信号PD_0を保持するようになっており、行プリデコード信号保持回路１１からはプリデコード信号PD_1を出力し、行プリデコード信号保持回路１２からはプリデコード信号PD_2を出力する。１３は内部アドレスバス７上の内部アドレスAdd_{INT}を入力してメモリセルアレイブロック１，２の何れかを一つを指定するために行プリデコード信号保持回路１１，１２の更新動作を選択的に実行させるブロック選択信号発生回路であり、ブロック選択信号BS_1，BS_2を発生する。

【００１９】
以上のような構成の半導体記憶装置の動作を以下に説明する。この半導体記憶装置においては、外部アドレスバス５上の外部アドレスAdd_{EXT}をクロック発生回路８の内部クロックCK_{INT}に従ってアドレスバッファ６が取り込んで保持する。そして、アドレスバッファ６から内部アドレスAdd_{INT}が内部アドレスバス７上に出力される。
【００２０】
アドレス取り込み信号ＡＣに応答して行アドレス入力回路９が動作して内部アドレスAdd_{INT}のうちの行アドレスＲＡを取り込んで保持して、行プリデコード回路１０に供給する。その結果、行プリデコード回路１０は行アドレス入力回路９から供給される行アドレスＲＡをプリデコードし、プリデコード信号PD_0として行プリデコード信号保持回路１１，１２に与える。
【００２１】
上記の一連のアドレス入力・プリデコード動作と並行して、ブロック選択信号発生回路１３は、内部アドレスバス７上の内部アドレスAdd_{INT}に基づいてメモリセルアレイブロック１，２の何れか一つを指定するためにブロック選択信号BS_1，BS_2の何れかを活性化する。
内部アドレスAdd_{INT}の状態によって、ブロック選択信号BS_1，BS_2の内、例えばブロック選択信号BS_1が活性化すると、行プリデコード信号保持回路１１が更新動作してプリデコード信号PD_0を取り込んで保持して、行デコード回路３に供給する。その結果、行デコード回路３は行プリデコード信号保持回路１１から供給されるプリデコード信号PD_1をデコードし、行デコード回路３はメモリセルアレイブロック１の所定のメモリセルをアクセスし、データの読み出しあるいは書き込みを行うことになる。なお、このとき、行プリデコード信号保持回路１２は更新動作を行わない。
【００２２】
また、内部アドレスAdd_{INT}の状態によって、ブロック選択信号BS_2が活性化すると、行プリデコード信号保持回路１２が更新動作してプリデコード信号PD_0を取り込んで保持して、行デコード回路４に供給する。その結果、行デコード回路４は行プリデコード信号保持回路１２から供給されるプリデコード信号PD_2をデコードし、行デコード回路４はメモリセルアレイブロック２の所定のメモリセルをアクセスし、データの読み出しあるいは書き込みを行うことになる。なお、このとき、行プリデコード信号保持回路１１は更新動作を行わない。
【００２３】
そして、メモリセルアレイブロック１，２のアクセスが交互に行われ、またバーストモードでは、行アドレスＲＡを同一にしたまま、カウンタによって列アドレスを逐次変化させていくことにより同一のメモリセルアレイブロック１，２内で、行アドレスＲＡが同一で列アドレスが異なる一群のデータを連続的に読み出し、あるいは書き込むことになる。
【００２４】
この構成では、外部アドレス信号Add_{EXT}を入力した後、行アドレス入力回路９および行プリデコード回路１０でアドレスのデコード動作に並行して、どのブロックをアクセスするかをブロック選択信号発生回路１３において、ブロック選択信号BS_1，BS_2を発生させる。
また、リフレッシュ動作時においては、すべてのメモリセルアレイブロック１，２でリフレッシュ動作を行う場合、メモリセルアレイブロック１，２毎に共通に設置した行アドレス入力回路９と行プリデコード回路１０が動作し、全ての行プリデコード信号保持回路１１，１２が全てのメモリセルアレイブロック１，２を同時に指定する状態となり、行プリデコード信号保持回路１１，１２の更新保持動作が同時に行われることになる。この結果、全てのメモリセルアレイブロック１，２について同時にリフレッシュ動作が行われることになる。
【００２５】
以上に述べたように、この半導体記憶装置によれば、複数のメモリセルアレイブロック

１，２に対して行アドレス入力回路９および行プリデコード回路１０を共通とし、行プリデコード回路１０の出力を保持する複数の行プリデコード信号保持回路１１，１２を複数のメモリセルアレイブロック１，２にそれぞれ対応して設け、ブロック選択信号BS_1，BS_2に対応した行プリデコード信号保持回路１１，１２の何れか一つのみ保持内容を更新させる構成であるので、複数のメモリセルアレイブロック１，２のリフレッシュ動作においては、各メモリセルアレイブロック１，２について共通の行アドレス入力回路９および行プリデコード回路１０を動作させ、ブロック選択信号発生回路１３を全選択状態とすることで、一度に全てのメモリセルアレイブロック１，２へのアクセスを行うことが可能となり、複数のメモリセルアレイブロック１，２のリフレッシュを一度に行うことができる。このときには、行プリデコード信号保持回路１１，１２が動作するものの、その消費電力は行アドレス入力回路９および行プリデコード回路１０に比べて格段に少なく、行アドレス入力回路９および行プリデコード回路１０は従来例とは異なり１組だけが動作するのみであるので、低消費電力化が図れる。

【００２６】

また、通常の動作においては、行プリデコード回路１０の出力を保持する行プリデコード信号保持回路１１，１２の動作をブロック選択信号発生回路１３で制御しているので、行アドレス入力回路９および行プリデコード回路１０のデコード動作とブロック選択信号発生回路１３のブロック選択動作とを同時に並行して行うことが可能となり、したがってブロック選択による例えばワード線活性化までのアクセス動作の高速化が可能となり、アクセス速度の低下を抑えることができる。

【００２７】

ここで、複数のメモリセルアレイブロックをもつシンクロナスＤＲＡＭにおいて、連続したデータ入出力を行う場合には、チップ全体を一度にプリチャージするのではなく、個別に、交互にプリチャージすることにより、見かけ上のプリチャージ時間を無くすようにしてメモリの高速化を図っている。つまり、例えば半導体記憶装置が２つのメモリセルアレイブロックに分かれている場合に、一方のメモリセルアレイブロックのアクセス動作を行っている期間に他方のメモリセルアレイブロックのプリチャージを行うようにしている。このようなブロック毎にプリチャージを行う半導体記憶装置において、異なるメモリセルアレイブロックを続けてアクセスする場合を考えると、図１の行アドレス入力回路９と行プリデコード回路１０とを、例えば一方のメモリセルアレイブロック１のアクセスを行っている期間に初期化して、他方のメモリセルアレイブロック２のアクセスに備えることが必要である。図１に示したリセット信号ＲＳが初期化のための信号であり、このリセット信号ＲＳを生成するための回路の詳細を図２に基づいて説明する。図２の回路においては、行アドレス入力回路９および行プリデコード回路１０の初期化のためのリセット動作の起動を、行プリデコード回路１０の出力信号であるプリデコード信号PD_0で行うようにしている。

【００２８】

図２は図１における行アドレス入力回路９と行プリデコード回路１０を示している。図２において、行アドレス入力回路９は、内部アドレスAdd_{INT}におけるｎビット（ｎは任意の正整数）の行アドレスA_0～A_nに対応したｎ組の行アドレス入力回路ユニット9_1～9_nからなる。各行アドレス入力回路ユニット9_1～9_nは、同一の構成である。例えば行アドレス入力回路ユニット9_1はA_0ビットのアドレスの値をアドレス取り込み信号ＡＣのタイミングで保持する構成となっており、具体的には、３ステートインバータ１０１，１０２と、インバータ１０３～１０９と、リセット用のトランジスタ１１０，１１１とからなる。なお、１１２はアドレス取り込み信号ＡＣを反転させるインバータである。

【００２９】

行プリデコード回路１０は、例えば４個のＮＡＮＤゲート１２１～１２４からなる２ビットデコーダ１２５と、２ビットデコーダ１２５の４本の出力（行アドレス２ビット分のプリデコード信号PD_0）の論理和をとってリセット信号ＲＳを生成し行アドレス入力回路ユニット9_1～9_nに供給するＯＲゲート１２６とからなる回路が、行アドレスのビット

数に対応して設けられている。

【００３０】

図３にこのリセット動作シーケンスを含む半導体記憶装置の各部のタイミング図を示す。図３において、（ａ）は外部クロックCK_{EXT}、（ｂ）は外部アドレスAdd_{EXT}、（ｃ）は内部アドレスAdd_{INT}、（ｄ）はアドレス取り込み信号ＡＣ、（ｅ）は行アドレス入力回路９から出力される行アドレスＲＡ、（ｆ）は行プリデコード回路１０から出力されるプリデコード信号PD_0、（ｇ）はリセット信号ＲＳ、（ｈ）は行プリデコード信号保持回路１１から出力されるプリデコード信号PD_1、（ｉ）は行プリデコード信号保持回路１２から出力されるプリデコード信号PD_2である。図３では、時刻t_1以降にメモリセルアレイブロック１の選択が行われ、時刻t_2以降にメモリセルアレイブロック２の選択が行われることを示している。また、アドレス取り込み信号ＡＣの立ち上がりで、行アドレス入力回路９の出力の行アドレスＲＡが立ち上がり、これに応答してプリデコード信号PD_0が立ち上がり、プリデコード信号PD_0の立ち上がりでリセット信号ＲＳが立ち上がるとともに、プリデコード信号PD_1が立ち上がっている。そして、リセット信号ＲＳの立ち上がりで、行アドレス入力回路９の出力の行アドレスＲＡが立ち下がり、これに応答してプリデコード信号PD_0が立ち下がり、リセット信号ＲＳが立ち下がる。

【００３１】

ここで、図３のタイミング図におけるリセット動作について詳しく説明する。アドレス入力後、このプリデコード信号PD_0のうち１本が選択される（Ｈｉに遷移する）ことによってリセット信号ＲＳが発生し、このリセット信号ＲＳによって行アドレス入力回路９の出力端をローにプルダウンする。これにより、まず全ての行アドレス入力回路９の出力信号である行アドレスＲＡがローに、続いてプリデコード信号PD_0がローに、最後にリセット信号ＲＳがリセットされていく。このリセット動作の間に、選択されたメモリセルアレイブロック１または２のデコード信号は行プリデコード信号保持回路１１または１２へ取り込まれ、メモリセルアレイブロック１または２へと出力されていく。

【００３２】

このように、プリデコード信号PD_0を利用して行アドレス入力回路９および行プリデコード回路１０の初期化動作を行わせる構成では、例えばこのリセット動作の起動タイミングを他の信号（内部クロックCK_{INT}等）を遅延させた信号でとる場合に比べて、遅延回路分の素子数を削減できることから低消費電力化が図れる。そして、プリデコード信号PD_0を利用してリセット信号を作っており、電圧、温度依存性に優れたリセット動作を実現できることからタイミング設計を容易にすることができる。

【００３３】

【発明の効果】

請求項１記載の半導体記憶装置によれば、複数のメモリセルアレイブロックに対してアドレス入力回路および行プリデコード回路を共通とし、行プリデコード回路の出力を保持する複数のメモリセルアレイブロックにそれぞれ対応して複数のプリデコード信号保持回路を設け、ブロック選択信号に対応した一つのプリデコード信号保持回路のみ保持内容を更新させるようにしたので、リフレッシュ時において、一つのアドレス入力回路および行プリデコード回路が動作するのみであり、リフレッシュ動作時の消費電流を低減することができ、低消費電力化が図れる。また、ブロック選択信号発生回路でプリデコード信号保持回路を選択するので、アドレス入力・選択動作とブロック選択動作とを同時に行うことが可能となり、アクセス速度の低下を抑えることができる。

【００３４】

請求項２記載の半導体記憶装置によれば、行プリデコード回路の所定の出力信号を利用してアドレス入力回路と行プリデコード回路の初期化を行い、他の信号を遅延して初期化信号によって初期化を行うのではないので、信号遅延回路等を設けることは不要となり、素子数の削減を図ることができ、低消費電力化が図れる。

請求項３記載の半導体記憶装置によれば、請求項１または請求項２記載の半導体記憶装置と同様の効果が得られる。

【図面の簡単な説明】

【図１】この発明の実施の形態における半導体記憶装置の構成を示す概略ブロック図である。

【図２】図１の要部の詳細な回路図である。

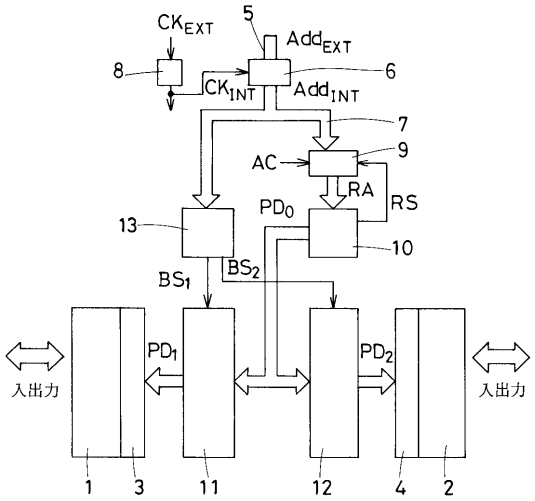
【図３】図１の半導体記憶装置の各部のタイミング図である。

【図４】従来の半導体記憶装置の一例の構成を示す概略ブロック図である。

【符号の説明】

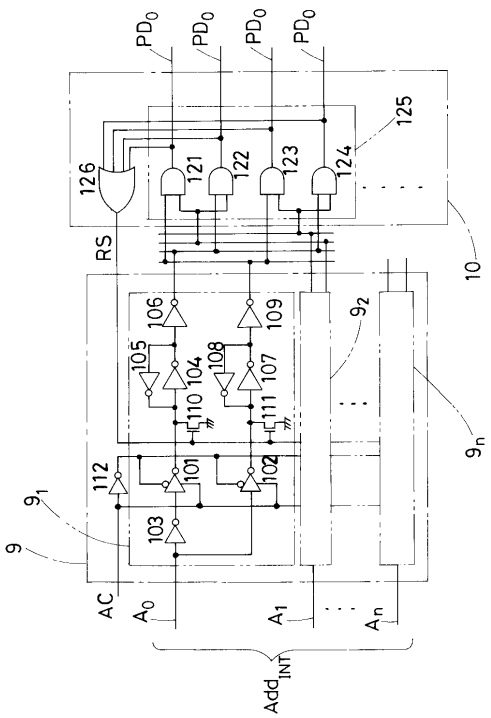
１　メモリセルアレイブロック
２　メモリセルアレイブロック
３　行デコード回路
４　行デコード回路
５　外部アドレスバス
６　アドレスバッファ
７　内部アドレスバス
８　クロック発生回路
９　行アドレス入力回路
１０　行プリデコード回路
１１　行プリデコード信号保持回路
１２　行プリデコード信号保持回路
１３　ブロック選択信号発生回路

【図１】

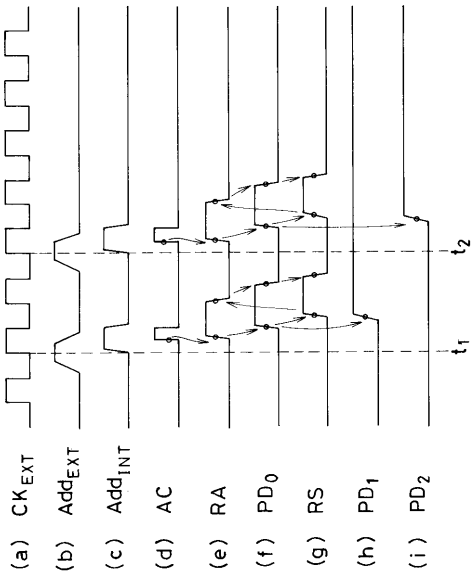


１　メモリセルアレイブロック
２　メモリセルアレイブロック
３　行デコード回路
４　行デコード回路
５　外部アドレスバス
６　アドレスバッファ
７　内部アドレスバス
８　クロック発生回路
９　行アドレス入力回路
１０　行プリデコード回路
１１　行プリデコード信号保持回路
１２　行プリデコード信号保持回路
１３　ブロック選択信号発生回路

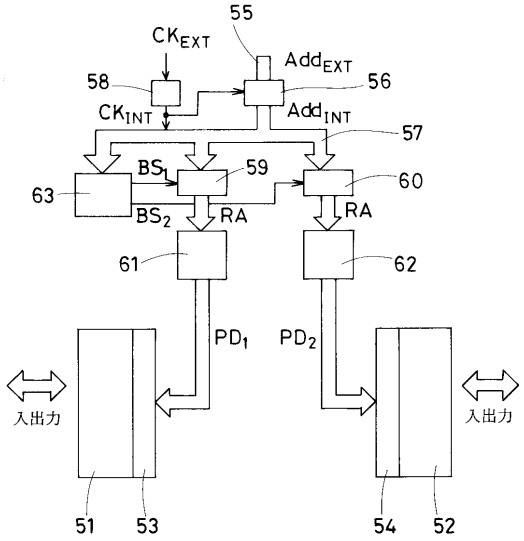
【図２】



【図３】


(a) CK_EXT
(b) Add_EXT
(c) Add_INT
(d) AC
(e) RA
(f) PD_0
(g) RS
(h) PD_1
(i) PD_2
t_2
t_1

【図４】


55
CK_EXT
Add_EXT
58
56
CK_INT
Add_INT
57
BS_1
59
60
63
BS_2
RA
RA
61
62
PD_1
PD_2
入出力
入出力
51
53
54
52

フロントページの続き

合議体
審判長　河合　章
審判官　井原　純
審判官　齋藤　恭一

(56)参考文献　特開平　８－２５５１０８（ＪＰ，Ａ）
特開平　９－２３１７５５（ＪＰ，Ａ）
特開平　２－２０８８９６（ＪＰ，Ａ）