



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년03월10일
(11) 등록번호 10-2776818
(24) 등록일자 2025년02월28일

- (51) 국제특허분류(Int. Cl.)
H01L 23/00 (2006.01) H10D 30/47 (2025.01)
H10D 62/17 (2025.01) H10D 62/85 (2025.01)
- (52) CPC특허분류
H01L 24/14 (2013.01)
H01L 24/02 (2022.01)
- (21) 출원번호 10-2021-7009126
- (22) 출원일자(국제) 2019년08월29일
심사청구일자 2022년07월14일
- (85) 번역문제출일자 2021년03월26일
- (65) 공개번호 10-2021-0049891
- (43) 공개일자 2021년05월06일
- (86) 국제출원번호 PCT/US2019/048834
- (87) 국제공개번호 WO 2020/047270
국제공개일자 2020년03월05일
- (30) 우선권주장
62/724,106 2018년08월29일 미국(US)
- (56) 선행기술조사문헌
KR1020180069672 A*
US20120313147 A1*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
이피션트 파워 컨버전 코퍼레이션
미국, 캘리포니아 90245, 엘세건도, 스위트 230,
노스 퍼시픽 코스트 하이웨이 909
- (72) 발명자
리아오, 웬-치아
대만 220, 뉴 타이페이 씨티, 반차오 디스트릭트,
양밍 스트리트, 라인 279, 넘버 12-2
까오, 지안준
미국 캘리포니아 90505-8712, 토런스, 바인드워드
로드 5323
(뒷면에 계속)
- (74) 대리인
김영철, 김 순 영

전체 청구항 수 : 총 6 항

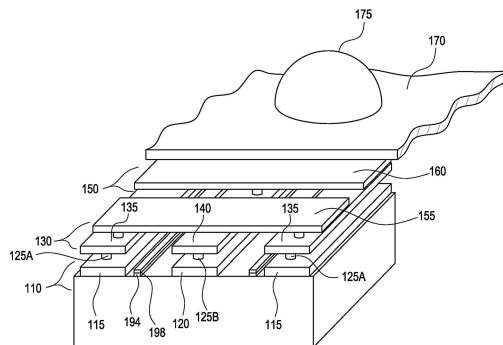
심사관 : 이석주

(54) 발명의 명칭 감소된 온-저항을 갖는 수평형 전력 디바이스

(57) 요약

본 발명은 낮은 온-저항을 위한 금속 상호연결 레이아웃을 갖는 수평형 전력 반도체 디바이스에 관한 것이다. 금속 상호연결 레이아웃은 제1 금속층, 제2 금속층, 및 제3 금속층을 포함하며, 그 각각은 소스 바 및 드레인 바를 포함한다. 제1 금속층, 제2 금속층, 및 제3 금속층의 소스 바들은 전기적으로 연결된다. 제1 금속층, 제2 금속층, 및 제3 금속층의 드레인 바들은 전기적으로 연결된다. 일 실시예에서, 제1 금속층 및 제2 금속층은 평행하고, 제3 금속층은 제1 및 제2 금속층에 수직이다. 다른 실시예에서, 제1 금속층 및 제3 금속층은 평행하고, 제2 금속층은 제1 금속층 및 제3 금속층에 수직이다. 비전도성 층은 솔더 범프가 소스 바에만 또는 드레인 바에만 전기적으로 연결되도록 한다. 결과적으로, 복수의 이용 가능한 경로들이 존재하고 전류가 복수의 이용 가능한 경로들 중 임의의 것을 취하게 할 수 있다.

대표도



(52) CPC특허분류

H01L 24/05 (2013.01)

H01L 24/06 (2013.01)

H10D 30/475 (2025.01)

H10D 62/343 (2025.01)

H10D 62/8503 (2025.01)

H01L 2224/02331 (2013.01)

H01L 2224/02375 (2013.01)

H01L 2224/02381 (2013.01)

H01L 2224/0401 (2013.01)

(72) 발명자

리우, 팡 창

대만 300, 신추 시티, 이스트 디스트릭트, 시지 로
드, 넘버 238, 19F-2

샤르마 무스칸

미국 캘리포니아 90504, 토런스, 아파트먼트 56,
아르테시아 불러바드 2059

명세서

청구범위

청구항 1

수평형 전력 반도체 디바이스로서,

하나 이상의 게이트 전극들;

하나 이상의 게이트 전극들과 인터리빙되는 복수의 제1 소스 바 및 복수의 제1 드레인 바를 포함하는 제1 금속층;

유전체에 의해 상기 제1 금속층과 이격되고 복수의 제2 소스 바 및 복수의 제2 드레인 바를 포함하는 제2 금속층으로서, 상기 제1 소스 바 및 상기 제2 소스 바는 전기적으로 연결되고, 상기 제1 드레인 바 및 상기 제2 드레인 바는 전기적으로 연결되는, 제2 금속층;

상기 유전체에 의해 상기 제2 금속층으로부터 이격되고 복수의 제3 소스 바 및 복수의 제3 드레인 바를 포함하는 제3 금속층으로서, 상기 제2 소스 바 및 상기 제3 소스 바는 전기적으로 연결되고, 상기 제2 드레인 바 및 상기 제3 드레인 바는 전기적으로 연결되는, 제3 금속층;

상기 제3 소스 바에 전기적으로 연결되는 제1 솔더 범프;

상기 제3 드레인 바에 전기적으로 연결되는 제2 솔더 범프; 및

상기 제3 금속층과 상기 제1 솔더 범프 및 상기 제2 솔더 범프 사이에 비전도성 층을 포함하며,

상기 비전도성 층은 상기 제1 솔더 범프를 상기 제3 드레인 바로부터 격리시키고 상기 제2 솔더 범프를 상기 제3 소스 바로부터 격리시키고,

상기 제1 솔더 범프는 상기 비전도성 층을 통해 상기 제3 소스 바와 직접 접촉하고,

상기 제2 솔더 범프는 상기 비전도성 층을 통해 상기 제3 드레인 바와 직접 접촉하고,

상기 제3 소스 바는 더 넓은 섹션 및 더 좁은 섹션을 포함하며, 상기 제3 드레인 바는 더 넓은 섹션 및 더 좁은 섹션을 포함하되, 상기 제3 소스 바의 상기 더 넓은 섹션은 상기 제3 드레인 바의 상기 더 좁은 섹션과 인터리빙되며, 상기 제3 소스 바의 상기 더 좁은 섹션은 상기 제3 드레인 바의 상기 더 넓은 섹션과 인터리빙되고,

상기 제1 솔더 범프는 상기 제3 소스 바의 상기 더 넓은 섹션에 전기적으로 연결되고, 상기 제2 솔더 범프는 상기 제3 드레인 바의 상기 더 넓은 섹션에 전기적으로 연결되고,

상기 금속층 내의 상기 복수의 제1 내지 제3 소스 바 및 상기 복수의 제1 내지 제3 드레인 바와 상기 전기적 연결 각각은 복수의 전기 경로들을 생성함으로써, 전류가 최소의 저항을 갖는 전기 경로를 따라 상기 디바이스를 통해 흐르도록 하여, 상기 수평형 전력 반도체 디바이스의 온-저항(on-resistance)를 감소시킬 수 있는 것을 특징으로 하는, 수평형 전력 반도체 디바이스.

청구항 2

제1항에 있어서,

상기 제1 금속층 및 상기 제3 금속층은 서로 실질적으로 평행하고, 상기 제2 금속층은 상기 제1 금속층 및 상기 제3 금속층에 실질적으로 수직인 것을 특징으로 하는, 수평형 전력 반도체 디바이스.

청구항 3

제1항에 있어서,

상기 제1 금속층 및 상기 제2 금속층은 서로 실질적으로 평행하고, 상기 제3 금속층은 상기 제1 금속층 및 상기 제2 금속층에 실질적으로 수직인 것을 특징으로 하는, 수평형 전력 반도체 디바이스.

청구항 4

제1항에 있어서,

상기 제3 소스 바 및 상기 제3 드레인 바는 임계 거리만큼 떨어져 있는 것을 특징으로 하는, 수평형 전력 반도체 디바이스.

청구항 5

제4항에 있어서,

상기 임계 거리는 2 마이크로미터인 것을 특징으로 하는, 수평형 전력 반도체 디바이스.

청구항 6

제1항에 있어서,

상기 제1 솔더 범프 및 상기 제2 솔더 범프는 언더 범프 금속(under bump metal)으로 구성되는 것을 특징으로 하는, 수평형 전력 반도체 디바이스.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

발명의 설명

기술 분야

[0001] 본 발명은 일반적으로 반도체 디바이스 분야, 특히 질화 갈륨(GaN: gallium nitride) 전력 반도체 디바이스, 및 이러한 디바이스의 상호연결 방법에 관한 것이다.

배경 기술

[0002] 종래의 수평형(lateral) 전력 전계 효과 트랜지스터(FET: field effect transistor)는 반도체 디바이스의 외부 리드와 트랜지스터 셀을 연결하는 데 사용되는 길고 얇은 금속 상호연결을 포함한다. 그러나, 이러한 상호연결은 반도체 디바이스의 기생 저항과 디바이스의 온-저항(on-resistance)을 증가시킨다. FET의 다이 크기가 증가하고 더 많은 수의 트랜지스터 셀들이 더 큰 전력을 견디기 위해 병렬로 연결됨에 따라, 이러한 상호연결로 인한 기생 저항 및, 연장에 의한, 디바이스의 온-저항이 또한 증가된다. 따라서, 온-저항을 감소시키기 위해 기생 저항이 감소된 상호연결을 갖는 수평형 전력 디바이스를 제공할 필요성이 존재한다.

발명의 내용

[0003] 본 발명은 GaN FET 반도체 디바이스와 같은 수평형 전력 디바이스에 대해 복수의 이용 가능한 전류 경로들 및 감소된 기생 저항 및 감소된 온-저항을 갖는 금속 상호연결 레이아웃을 제공함으로써, 위에 논의된, 수평형 전력 FET에서의 종래의 금속 상호연결의 단점을 해결한다.

[0004] 본 발명은, 본원에 논의되는 바와 같이, 소스 금속 바 및 드레인 금속 바의 제1 금속층, 소스 금속 바 및 드레인 금속 바의 제2 금속층, 및 소스 금속 바 및 드레인 금속 바의 제3 금속층을 포함한다. 제1 금속층, 제2 금속층, 및 제3 금속층의 소스 금속 바들은 전기적으로 연결된다. 제1 금속층, 제2 금속층, 및 제3 금속층의 드레인 금속 바들은 전기적으로 연결된다. 일 실시예에서, 제1 금속층 및 제2 금속층은 실질적으로 평행하고, 제3 금속층은 제1 금속층 및 제2 금속층에 실질적으로 수직이다. 다른 실시예에서, 제1 금속층 및 제3 금속층은 실질적

으로 평행하고, 제2 금속층은 제1 금속층 및 제3 금속층에 실질적으로 수직이다. 비전도성 층은 솔더 범프(solder bump)가 소스 금속 바 또는 드레인 금속 바 중 하나에만 전기적으로 연결되는 것을 보장한다. 결과적으로, 복수의 이용 가능한 경로들이 존재하고 전류가 복수의 이용 가능한 경로들 중 임의의 것을 취하게 할 수 있다.

[0005] 요소들의 구현 및 조합의 다양한 신규 세부 사항을 포함하여, 본원에 설명되는 상기 및 다른 바람직한 특징들은 이제 첨부 도면을 참조하여 보다 구체적으로 설명되고 청구항에서 지적될 것이다. 특정 방법 및 장치는 청구항의 제한이 아닌 예시적으로만 도시된다는 것이 이해되어야 한다. 당업자에 의해 이해되는 바와 같이, 본원의 교시의 원리 및 특징은 청구항의 범위를 벗어나지 않고 다양하고 수많은 실시예에서 이용될 수 있다.

도면의 간단한 설명

[0006] 본 개시의 특징들, 객체들, 및 이점들은 유사 참조 문자가 전체에 걸쳐 대응하여 식별되는 도면과 관련하여 취해질 때 아래에 진술되는 상세한 설명으로부터 더욱 분명해질 것이다.

도 1a 내지 도 1c는 본 발명의 제1 실시예에 따른 GaN 트랜지스터 디바이스를 예시한다.

도 2a 내지 도 2i는 도 1a 내지 도 1c에 도시된 트랜지스터 디바이스를 형성하기 위한 프로세스를 예시한다.

도 3a 및 도 3b는 본 발명의 제1 실시예에 따른 GaN 트랜지스터 디바이스를 예시한다.

도 4a 내지 도 4c는 본 발명의 제2 실시예에 따른 GaN 트랜지스터 디바이스를 예시한다.

도 5a 내지 도 5d는 도 4a 내지 도 4c에 도시된 트랜지스터 디바이스 내의 금속 상호연결의 레이아웃을 예시한다.

발명을 실시하기 위한 구체적인 내용

[0007] 다음의 상세한 설명에서, 특정 실시예가 참조된다. 이러한 실시예는 당업자가 이를 실시할 수 있도록 충분한 상세하게 설명된다. 다른 실시예가 이용될 수 있고 다양한 구조적, 논리적, 및 전기적 변경이 이루어질 수 있다는 것을 이해해야 한다. 다음의 상세한 설명에서 개시되는 특징들의 조합은 가장 넓은 의미로 교시를 실시하는 것이 필요하지 않을 수 있고, 그 대신 본 교시의 특히 대표적인 예를 설명하기 위해서만 개시된다.

[0008] 본원에 설명되는 실시예는 GaN 반도체 디바이스를 포함하지만, 본 발명은 GaN 반도체 디바이스에 제한되지 않는다는 것을 이해해야 한다. 예를 들어, 설명된 실시예는 상이한 전도성 재료들을 사용하는 반도체 디바이스들 및 다른 디바이스들, 예를 들어 실리콘(Si) 또는 탄화규소(SiC) 반도체 디바이스 및 게르마늄(Ge) 재료 반도체 디바이스에 적용 가능할 수 있다.

[0009] 게다가, 주입하거나 확산된 전도성 영역들 또는 층들이 기술되어 있지만, 이들은 기판 내의 상이한 극성(polarity)의 영역의 예라는 것을 이해해야 한다. 따라서, 설명된 실시예는 반대 극성 영역을 제조하는 특정 방법을 언급할 수 있지만, 다른 타입의 반대-극성 영역 및 그 제조의 방법이 사용될 수 있다는 것을 이해해야 한다.

[0010] 설명된 실시예는, 전도성 기판을 갖는, 트랜지스터 또는 다른 반도체 디바이스, 예컨대 GaN 트랜지스터 또는 트랜지스터들을 포함하는 집적회로를 포함하며, 여기서 기판의 영역은 기판의 영역과 반대로 극성화된 전도성으로 도핑된다. 반대 극성의 영역은 예를 들어, p-타입 기판 내의 n-타입 재료일 수 있다. 디바이스는 그 전면의 컨택트(contact)로부터 반대 극성의 영역으로, 예컨대 비아(via)를 통해, 전기적 연결을 갖는다. 다른 실시예에서, 영역은 기판과 동일한 도핑 영역을 가질 수 있고 하나 이상의 절연층들에 의해 둘러싸일 수 있다. 다른 실시예에서, 기판은 실질적으로 비-전도성일 수 있는 반면에, 영역은 p-타입 또는 n-타입 도핑을 갖는다. 다른 실시예에서, 실리콘-온-절연체(SOI: silicon-on-insulator) 실시예, 및 병렬 전도성 채널을 갖는 실시예가 또한 설명된다.

[0011] 도 1a 내지 도 1c는 본 발명의 제1 실시예에 따른 GaN 트랜지스터 디바이스(100)를 예시한다. 도 1a는 GaN 트랜지스터 디바이스(100)의 단면도를 예시하며, 이는 하나 이상의 Si, SiC, GaN, 갈륨 비소(GaAs), 질화 알루미늄(AlN), 및/또는 사파이어-기판 재료들로 구성되는 기판(186)을 포함한다. 버퍼층(184)은 기판(186) 위에 형성되고 화합물 반도체 재료들(예를 들어, AlN 재료)의 하나 이상의 층들로 구성될 수 있다. 채널층(182)은 버퍼층(184) 위에 형성되고 0.05 내지 5 마이크로미터(μm) 사이의 두께를 갖는 GaN의 하나 이상의 층들로 구성될 수 있다. 일부 구현에서, 채널층(182)은 채널층(182)을 통한 전류 흐름을 촉진시키기 위해 충분한 전자 밀도 및 전자

이동성을 갖는 질화 인듐 갈륨(InGaN: indium gallium nitride) 또는 다른 적합한 재료들로 구성된다. 배리어층(180)은 채널층(182) 위에 형성되고, Al이 12% 내지 28%인 0.005 μm 내지 0.03 μm의 두께를 갖는 질화 알루미늄 갈륨(AlGaN: aluminum gallium nitride)으로 구성될 수 있다.

[0012] 게이트층(194)은 배리어층(180) 바로 위에 평행한 라인들로 선택적으로 형성되고 0.05 μm 내지 0.2 μm의 두께를 갖는 III-V 화합물로 구성될 수 있다. 일부 구현에서, 게이트층(194)은 p-타입 화합물, 예컨대 마그네슘(Mg)으로 도핑되는 GaN일 수 있다. 게이트 전극들(198)은 게이트층(194) 바로 위에 형성되고 내화성 금속 또는 그 화합물, 예컨대 탄탈륨(Ta), 질화 탄탈륨(TaN), 질화 티타늄(TiN), 팔라듐(Pd), 텅스텐(W), 규화 텅스텐(WSi₂) 등으로 구성될 수 있다. 절연체(190)는 게이트층(194) 및 게이트 전극들(198)을 커버하여 이들 위의 구성요소들로부터 이들 및 배리어층(180)을 절연시킨다.

[0013] 제1 금속층(110)은 알루미늄 구리(AlCu: aluminum copper)로 구성될 수 있는, 게이트 전극들(198) 사이의 배리어층(180) 위에 실질적으로 평행한 라인들로 선택적으로 형성되는 소스 금속 바(115) 및 드레인 금속 바(120)를 포함한다. 제2 금속층(130)은 제1 금속층(110)에서 소스 금속 바(115) 위에 실질적으로 평행하게 선택적으로 형성되는 소스 금속 바(135)를 포함한다. 소스 금속 바들(135 및 115)은 비아(125A)에 의해 전기적으로 연결되며, 도 2c에 보다 명확하게 도시된다. 제2 금속층(130)은 또한 제1 금속층(110)에서 드레인 금속 바(120) 위에 실질적으로 평행하게 선택적으로 형성되는 드레인 금속 바(140)를 포함한다. 드레인 금속 바들(140 및 120)은 비아(125B)에 의해 전기적으로 연결되며, 도 2c에 보다 명확하게 도시된다. 제2 금속층(130)의 금속 바들(135 및 140)은 AlCu로 구성될 수 있다.

[0014] 제3 금속층(150)은 소스 금속 바(155) 및 드레인 금속 바(160)를 포함하며, 이는 AlCu로 구성될 수 있다. 도 1a는 제1 금속층(110) 및 제2 금속층(130)에 실질적으로 수직으로 선택적으로 형성되는 소스 금속 바(155)를 예시한다. 소스 금속 바들(155 및 135)은 비아(125A)에 의해 전기적으로 연결되며, 이는 도 2e에 보다 명확하게 도시된다. 비아(125A)는 소스 금속 바(155)가 제2 금속층(130)에서 드레인 금속 바(140)에 전기적으로 연결되지 않도록 이격될 수 있다.

[0015] 이제 디바이스(100)의 상면도를 도시하는 도 1b를 참조하면, 제3 금속층(150)은 또한 제1 금속층(110) 및 제2 금속층(130)에 실질적으로 수직이고, 소스 금속 바(155)와 실질적으로 평행하게 선택적으로 구성되는 드레인 금속 바(160)를 포함한다. 드레인 금속 바들(160 및 140)은 비아(125B)에 의해 전기적으로 연결되며, 이는 도 2f에 보다 명확하게 도시된다. 비아(125B)는 드레인 금속 바(160)가 제2 금속층(130)에서 소스 금속 바(135)에 전기적으로 연결되지 않도록 이격될 수 있다. 비아들(125A 내지 125B)은 도 2e 내지 도 2f를 참조하여 더 논의된다.

[0016] 도 1a로 돌아가서, 소스 금속 바들(115, 135, 및 155)과 드레인 금속 바들(120, 140, 및 160) 사이의 공간은 유전체 필름(165)에 의해 충전되며, 이는 질화 실리콘(Si₃N₄), 이산화 규소(SiO₂) 등으로 구성될 수 있다. 비전도성 층(170)이 제3 금속층(150) 및 유전체 필름(165) 위에 선택적으로 형성됨으로써, 각각의 솔더 범프(175)는 둘 다 아닌, 소스 금속 바(155)에만 또는 드레인 금속 바(160)에만 전기적으로 연결된다. 비전도성 층(170)은 Si₃N₄, SiO₂, 폴리이미드 등 중 하나 이상으로 구성될 수 있다. 도 1b는 솔더 범프(175A)가 드레인 금속 바(160)가 아닌, 소스 금속 바(155)에 전기적으로 연결되고, 솔더 범프(175B)가 소스 금속 바(155)가 아닌, 드레인 금속 바(160)에 전기적으로 연결되는 것을 예시한다. 솔더 범프들(175A 및 175B)은 50 μm 내지 400 μm 사이의 두께를 갖는, 주석 은 합금(SnAg) 뿐만 아니라 티타늄(Ti) 및/또는 구리(Cu)와 같은 언더 범프 금속(under bump metal)으로 구성될 수 있다.

[0017] 도 1c는 디바이스(100)의 사시도를 예시한다. 제1 금속층(110) 및 제2 금속층(130)은 실질적으로 평행하다. 소스 금속 바(135)는 소스 금속 바(115)를 오버레이하고 비아(125A)에 의해 소스 금속 바(115)에 전기적으로 연결된다. 드레인 금속 바(140)는 드레인 금속 바(120)를 오버레이하고 비아(125B)에 의해 드레인 금속 바(120)에 전기적으로 연결된다. 제3 금속층(150)은 제1 금속층(110) 및 제2 금속층(130)에 실질적으로 수직이다. 소스 금속 바(155)는 소스 금속 바들(115 및 135)에 수직이고 비아(125A)에 의해 소스 금속 바(135)에 전기적으로 연결된다. 드레인 금속 바(160)는 드레인 금속 바들(120 및 140)에 수직이고 비아(125B)에 의해 드레인 금속 바(140)에 전기적으로 연결된다.

[0018] 비전도성 층(170)은 제3 금속층(150) 위에 형성되고 솔더 범프(175A)가 드레인 금속 바(160)에 전기적으로 연결되는 것을 방지한다. 솔더 범프(175A)는 소스 금속 바(155)를 직접 접촉함으로써 2개 이상의 소스 금속 바(155)에 전기적으로 연결되고, 양호한 전기적 연결을 보장하기 위해 언더 범프 금속을 포함할 수 있다. 제1 금속층

(110), 제2 금속층(130), 및 제3 금속층(150)은 복수의 이용 가능한 전류 경로를 생성하고 디바이스(100)를 통한 전류가 복수의 이용 가능한 전류 경로들 중 임의의 것을 취할 수 있게 함으로써 디바이스(100)의 온-저항을 감소시킨다. 또한, 비전도성 층(170)은 솔더 범프(175)가 소스 금속 바(155) 또는 드레인 금속 바(160)와만 전기적으로 연결되는 것을 보장하고 솔더 범프(175)가 종래의 소스 및 드레인 패드들로서 역할을 하도록 허용하여, 금속 저항을 감소시킨다.

[0019] 도 2a 내지 도 2h는 보다 상세히 디바이스(100)의 레이아웃을 예시한다. 도 2a에서, 기판(186)이 제공되고, 예컨대 웨이퍼 기판 상에, 버퍼층(184), 채널층(182), 및 배리어층(180)이 기판(186) 상에 계층화된다. InGaN 또는 다른 적합한 재료들로 구성되는 채널층(182)은 버퍼층(184) 위에 계층화되고 0.01 μm 와 0.5 μm 사이의 두께를 갖는다. AlGaN으로 구성되는 배리어층(180)은 채널층(182) 위에 계층화되고 0.005 μm 와 0.03 μm 사이의 두께를 갖는다. AlGaN은 12% 내지 28% Al일 수 있다.

[0020] 게이트층(194)은 배리어층(180) 상에 실질적으로 평행한 라인들을 형성하고 0.05 μm 와 0.2 μm 사이의 두께를 갖는다. 게이트층(194)은 예를 들어, Mg 도핑된 GaN 재료로 구성될 수 있다. 게이트 전극들(198)은 게이트층(194) 위에 계층화된다. 일부 실시예에서, 게이트층(194) 및 게이트 전극들(198) 각각은 약 0.01 μm 와 약 1.0 μm 사이의 두께를 갖는다. 절연체(190)는 배리어층(180), 게이트층(194), 및 게이트 전극들(198)을 선택적으로 커버한다. 절연체(190)는 게이트층(194) 및 게이트 전극들(198)을 디바이스(100) 상의 그들 위의 다른 구성요소들로부터 격리시키고, 소스 금속 바(115)를 위한 개구(205) 및 배리어층(180) 바로 위에 형성될 드레인 금속 바(120)에 대한 개구(210)를 남겨둔 상태에서 배리어층(180)의 선택적 부분들을 커버한다.

[0021] 제1 금속층(110)은 개구(205)에서 절연체(190)와 게이트 전극(198) 사이의 배리어층(180)에 걸쳐 실질적으로 평행한 라인들을 형성한다. 소스 금속 바(115)와 게이트 전극(198) 사이의 공간은 드레인 금속 바(120)와 게이트 전극(198) 사이의 공간보다 더 작다. 금속층(110)은 티타늄 알루미늄 합금을 포함할 수 있다. 도 2b는 게이트 전극(198), 금속 바들(115 및 120)의 평행한 라인들, 및 각각의 사이의 상대적 간격을 예시한다.

[0022] 도 2c에 도시된 바와 같이, 제2 금속층(130)은 금속층(110) 위에 실질적으로 평행한 라인들을 형성한다. 소스 금속 바(135)는 소스 금속 바(115) 위에 계층화되고 비아(125A)에 의해 전기적으로 연결된다. 드레인 금속 바(140)는 드레인 금속 바(120) 위에 계층화되고 비아(125B)에 의해 전기적으로 연결된다. 라인(210)은 제1 금속층(110)과 제2 금속층(130) 사이의 경계(demarcation)를 예시한다. 도 2d는 소스 금속 바들(115 및 135)을 전기적으로 연결하는 비아(125A) 및 드레인 금속 바들(120 및 140)을 전기적으로 연결하는 비아(125B) 뿐만 아니라, 제2 금속층(130) 및 제1 금속층(110)의 오버레이(overlay)를 예시한다.

[0023] 도 2e에 도시된 바와 같이, 제3 금속층(150)은 제2 금속층(130) 위에 실질적으로 수직인 라인들을 형성한다. 도 2e는 소스 금속 바(135) 및 드레인 금속 바(140) 둘 다 위에 계층화되고, 비아(125A)에 의해 소스 금속 바(135)에 전기적으로 연결되는 소스 금속 바(155)를 예시한다. 도 2f는 소스 금속 바(135) 및 드레인 금속 바(140) 둘 다 위에 계층화되고, 비아(125B)에 의해 드레인 금속 바(140)에 전기적으로 연결되는 드레인 금속 바(160)를 예시한다. 금속 층들(110, 130, 및 150) 사이의 빈 공간은 도 2e 및 도 2f 둘 다에서 보이는 바와 같이, 유전체 필름(165)에 의해 충전된다. 도 2g는 소스 금속 바들(155 및 135)을 전기적으로 연결하도록 이격되는 비아(125A) 및 드레인 금속 바들(160 및 140)을 전기적으로 연결하도록 이격되는 비아(125B) 뿐만 아니라, 평행한 금속 층들(110 및 130) 위의 제3 금속층(150)의 수직 오버레이를 예시한다.

[0024] 도 2h에 도시된 바와 같이, 비전도성 층(170)은 솔더 범프(175A)가 소스 금속 바(155)에 전기적으로 연결되도록 하기 위한 개구(220) 및 솔더 범프(175B)가 드레인 금속 바(160)에 전기적으로 연결되도록 하기 위한, 미도시된, 개구(225)를 남겨두기 위해 금속층(150) 위에 선택적으로 형성된다. 솔더 범프(175)는 2개 이상의 소스 금속 바(155) 또는 2개 이상의 드레인 금속 바(160) 각각을 전기적으로 연결하기 위해 개구들(220 및 225) 위에 형성된다. 솔더 범프(175A)는 소스 금속 바(155)를 직접적으로 터치하고 있는 반면에, 솔더 범프(175B)는 소스 금속 바(155)로부터 격리된다. 도 2i는 솔더 범프(175A)가 소스 금속 바(155)에 전기적으로 연결되도록 하기 위한 개구(220) 및 솔더 범프(175B)가 드레인 금속 바(160)에 전기적으로 연결되도록 하기 위한 개구(225) 뿐만 아니라, 제3 금속층(150) 위의 솔더 범프(175)의 상면도를 예시한다.

[0025] 도 3a 및 도 3b는 본 발명의 제1 실시예의 변형에 따른 GaN 트랜지스터 디바이스(300)를 예시한다. 디바이스(300)는 도 1a 내지 도 1c에 도시된 디바이스(100)와 유사하지만, 제3 금속층(350)의 금속 바들(355 및 360)은 일정한 폭이 아니다. 도 3a는 금속층들(310 및 330) 위의 제3 금속층(350)의 오버레이를 도시하는 상면도를 예시한다. 소스 금속 바(355)는 섹션(355A)에서 더 넓고 섹션(355B)에서 더 좁다. 반대로, 드레인 금속 바(360)는 섹션(360A)에서 더 좁고 섹션(360B)에서 더 넓다. 소스 금속 바(355) 및 드레인 금속 바(360)의 더 넓은 오프셋

섹션은 소스 금속 바(355)의 엣지와 드레인 금속 바(360)의 에지 사이의 임계 거리(threshold distance)가 유지되는 동안 인터리빙될 수 있다. 일부 구현에서, 소스 금속 바(355)의 엣지와 드레인 금속 바(360)의 에지 사이의 임계 거리는 2 μm이다.

[0026] 도 3b는 디바이스(300)의 상면도를 예시한다. 솔더 범프(375)는 금속 바들(355 및 360)의 인터리빙된 더 넓은 섹션들을 오버레이한다. 솔더 범프(375A)는 소스 금속 바(355)의 더 넓은 섹션(355A)을 오버레이하고, 솔더 범프(375B)는 드레인 금속 바(360)의 더 넓은 섹션(360B)을 오버레이한다. 소스 금속 바(355)의 섹션(355A) 및 드레인 금속 바(360)의 섹션(360B)의 증가된 폭은 솔더 범핑을 위한 콘택트 영역(contact area)을 증가시키고 더 양호한 전류 확산을 가능하게 한다. 게다가, 금속 바들(355 및 360)의 더 넓은 섹션들은 범핑을 위한 콘택트 영역과 금속 바들(355 및 360)의 엣지들 사이의 거리를 증가시키며, 이는 솔더 범프(375)를 위한 콘택트 영역을 확대시키고 금속 바들(355 및 360)에 대한 전류 밀도 및 콘택트 저항을 감소시킨다.

[0027] 도 4a 내지 도 4c는 본 발명의 제2 실시예에 따른 GaN 트랜지스터 디바이스(400)를 예시한다. 디바이스(400)는 유사한 파라미터 및 유사한 제조 프로세스를 포함하여, 도 1a 내지 도 1c에 도시된 디바이스(100)와 유사하지만, 제1 금속층, 제2 금속층, 및 제3 금속층에서 소스 금속 바 및 드레인 금속 바의 상이한 레이아웃을 구현한다. 도 4a는 GaN 트랜지스터 디바이스(400)의 횡단면도를 예시하며, 이는 디바이스(100)에서 대응하는 구성요소들과 유사한 기판(486), 버퍼층(484), 채널층(482), 배리어층(480), 게이트층(494) 및 게이트 전극들(498), 및 절연체(490)를 포함한다. 제1 금속층(410)은 게이트 전극들(498) 사이의 배리어층(480) 위에 실질적으로 평행한 라인들로 선택적으로 형성되는 소스 금속 바(415) 및 드레인 금속 바(420)를 포함한다.

[0028] 제2 금속층(430)은 도 4a에 미도시된 소스 금속 바(435), 및 하나는 도 4a에 도시되는 드레인 금속 바(440)를 포함한다. 소스 금속 바(435) 및 드레인 금속 바(440)는 제1 금속층(410)에 실질적으로 수직이도록 선택적으로 형성된다. 드레인 금속 바들(440 및 420)은 비아(425B)에 의해 전기적으로 연결되며, 이는 도 5b에 더 명확하게 도시된다. 비아(425B)는 드레인 금속 바(440)가 소스 금속 바(415)에 전기적으로 연결되지 않도록 이격될 수 있다. 도 4a의 단면도에 도시되지 않은 소스 금속 바(435)는 비아(425A)에 의해 소스 금속 바(415)에 전기적으로 연결된다. 비아(425A)는 소스 금속 바(435)가 제1 금속층(410)에서 드레인 금속 바(420)에 전기적으로 연결되지 않도록 이격될 수 있다.

[0029] 제3 금속층(450)은 제1 금속층(410)과 실질적으로 평행하고 제2 금속층(430)에 실질적으로 수직으로 선택적으로 형성된 소스 금속 바(455) 및 드레인 금속 바(460)를 포함한다. 소스 금속 바(455)는 제2 금속층(430)에 실질적으로 수직으로 선택적으로 형성되고 비아(425A)에 의해 소스 금속 바(435)에 전기적으로 연결된다. 비아(425A)는 소스 금속 바(455)가 드레인 금속 바(440)에 전기적으로 연결되지 않도록 이격될 수 있다. 드레인 금속 바(460)는 제2 층(430)에 실질적으로 수직으로 선택적으로 형성되고 비아(425B)에 의해 드레인 금속 바(440)에 전기적으로 연결되며, 이는 도 5c에 더 명백히 도시된다. 비아(425B)는 드레인 금속 바(460)가 소스 금속 바(435)에 전기적으로 연결되지 않도록 이격될 수 있다. 제3 금속층(450)에서의 금속 바들(455 및 460)의 폭은 제1 금속층(410)에서의 금속 바들(415 및 420)의 폭보다 더 크다. 유전체 필름(465)은 금속 층들(410, 430, 및 450) 사이의 빈 공간을 충전한다.

[0030] 디바이스(400)는 또한 디바이스(100)에서 대응하는 구성요소들과 유사한 비전도성 층(470), 및 솔더 범프(475)를 포함한다. 이제, 디바이스(400)의 상면도를 예시하는 도 4b를 참조하면, 제3 금속층(450)에서의 금속 바들(455 및 460)의 폭은 도 1a 내지 도 1c에 도시된 디바이스(100)의 제1 금속층(410)에서의 금속 바들(415 및 420)의 폭, 제2 금속층(430)에서의 금속 바들(435 및 440)의 폭, 및 제1 금속층(110)에서의 금속 바들(155 및 160)의 폭보다 더 크다. 금속 바들(455 및 460)의 증가된 폭은 범핑을 위한 콘택트 영역을 증가시키고 더 양호한 전류 확산을 가능하게 한다. 게다가, 금속 바들(455 및 460)의 증가된 폭은 범핑을 위한 콘택트 영역과 금속 바들(455 및 460)의 엣지들 사이의 거리를 증가시키며, 이는 온도 변화에 의해 유도되는 온-칩 스트레스를 감소시킨다.

[0031] 도 4c는 디바이스(400)의 사시도를 예시한다. 제2 금속층(430)은 제1 금속층(410)에 실질적으로 수직이고, 제3 금속층(450)은 제2 금속층(430)에 실질적으로 수직이고 제1 금속층(410)과 실질적으로 평행하다. 소스 금속 바들(435 및 415)은 비아(425A)에 의해 전기적으로 연결되고, 드레인 금속 바들(440 및 420)은 비아(425B)에 의해 전기적으로 연결된다. 소스 금속 바들(455 및 435)은 비아(425A)에 의해 전기적으로 연결되고, 드레인 금속 바들(460 및 440)은 비아(425B)에 의해 전기적으로 연결된다.

[0032] 비전도성 층(470)은 제3 금속층(450) 위에 형성되고 솔더 범프(475A)가 드레인 금속 바(460)에 전기적으로 연결되는 것을 방지한다. 솔더 범프(475A)는 소스 금속 바(455)를 직접 접촉함으로써 소스 금속 바(455)에 전기적으

로 연결되고 양호한 전기적 연결을 보장하기 위해 언더 범프 금속을 포함할 수 있다. 제1 금속층(410), 제2 금속층(430), 및 제3 금속층(450)은 복수의 이용 가능한 전류 경로들을 생성하고, 디바이스(400)를 통한 전류가 복수의 이용 가능한 전류 경로들 중 임의의 것을 취할 수 있도록 함으로써 디바이스(400)의 온-저항을 감소시킨다. 또한, 비전도성 층(470)은 솔더 범프(475)가 소스 금속 바(455) 또는 드레인 금속 바(460)와만 전기적으로 연결되는 것을 보장하고 솔더 범프(475)가 종래의 소스 및 드레인 패드로서의 역할을 하는 것을 허용하여, 금속 저항을 감소시킨다.

[0033] 도 5a 내지 도 5d는 도 4a 내지 도 4c에 도시된 디바이스(400)의 제1 금속층(410), 제2 금속층(430), 제3 금속층(450), 및 솔더 범프(475)의 레이아웃을 예시한다. 제1 금속층(410)의 상면도를 예시하는 도 5a에서, 금속 바들(415 및 420)은 게이트 전극들(498)과 실질적으로 평행하고, 그들 사이에 있다. 소스 금속 바(415)와 게이트 전극(498) 사이의 공간은 드레인 금속 바(420)와 게이트 전극(498) 사이의 공간보다 더 작다. 도 5b는 제1 금속층(410)에 실질적으로 수직으로 오버레이되는 제2 금속층(430)의 상면도를 예시한다. 소스 금속 바(435)는 소스 금속 바(415) 및 드레인 금속 바(420) 둘 다를 오버레이하고 비아(425A)에 의해 소스 금속 바(415)에 전기적으로 연결된다. 드레인 금속 바(440)는 소스 금속 바(415) 및 드레인 금속 바(420) 둘 다를 오버레이하고 비아(425B)에 의해 드레인 금속 바(425)에 전기적으로 연결된다. 금속 바들(435 및 440)의 폭은 금속 바들(415 및 420)의 폭보다 더 클 수 있다.

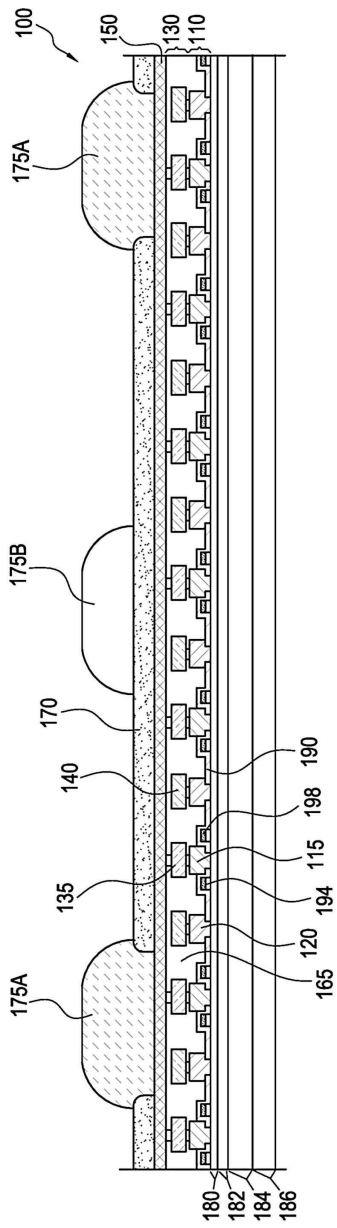
[0034] 도 5c는 제2 금속층(430)에 실질적으로 수직으로 그리고 제1 금속층(410)과 실질적으로 평행하게 오버레이되는 제3 금속층(450)의 상면도를 예시한다. 소스 금속 바(455)는 소스 금속 바(435) 및 드레인 금속 바(440) 둘 다를 오버레이하고 비아(425A)에 의해 소스 금속 바(435)에 전기적으로 연결된다. 드레인 금속 바(460)는 소스 금속 바(435) 및 드레인 금속 바(440) 둘 다를 오버레이하고 비아(425B)에 의해 드레인 금속 바(445)에 전기적으로 연결된다. 금속 바들(455 및 460)의 폭은 금속 바들(435 및 440)의 폭보다 더 클 수 있다.

[0035] 도 5d는 제3 금속층(450) 및 제1 금속층(410)에 실질적으로 수직으로 그리고 제2 금속층(430)과 실질적으로 평행하게 오버레이되는 솔더 범프(475)의 상면도를 예시한다. 솔더 범프(475A)는 비전도성 층(470)의 개구(520)를 통해 소스 금속 바(455)를 직접 터치하고 2개 이상의 소스 금속 바들(455)을 전기적으로 연결한다. 솔더 범프(475B)는 비전도성 층(470)의 개구(525)를 통해 드레인 금속 바(460)를 직접 터치하고 2개 이상의 드레인 금속 바들(460)을 전기적으로 연결한다.

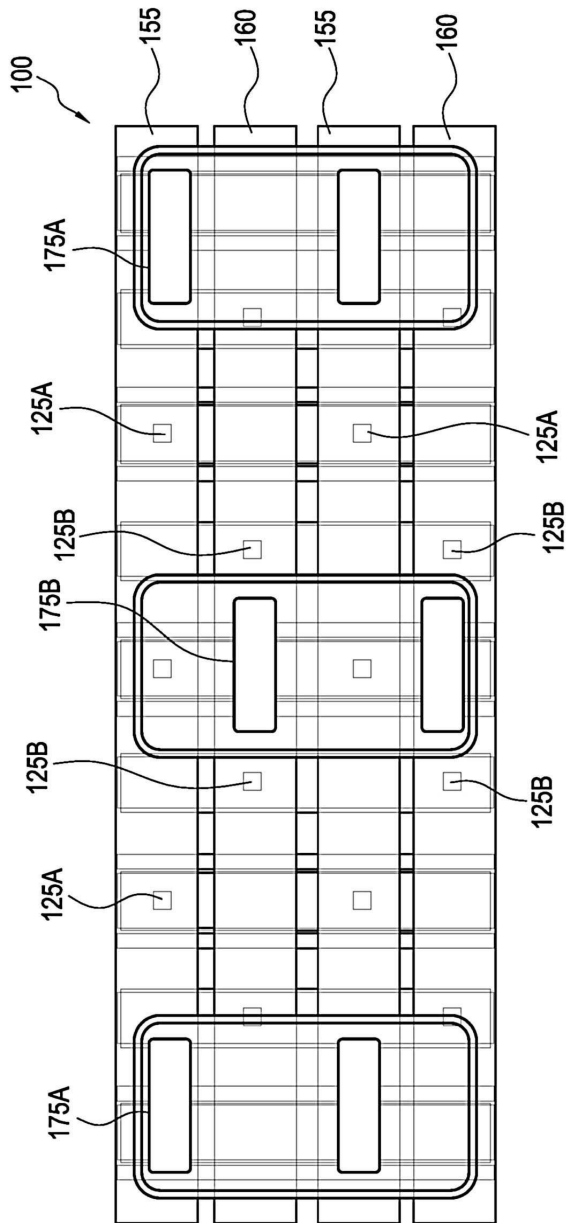
[0036] 위의 설명 및 도면들은 본원에 설명되는 특징들 및 장점들을 달성하는, 특정 실시예들을 예시하는 것으로만 고려된다. 특정 프로세스 조건에 대한 수정 및 대체가 이루어질 수 있다. 따라서, 본 발명의 실시예들은 전술한 설명 및 도면들에 의해 제한되는 것으로서 고려되지 않는다.

도면

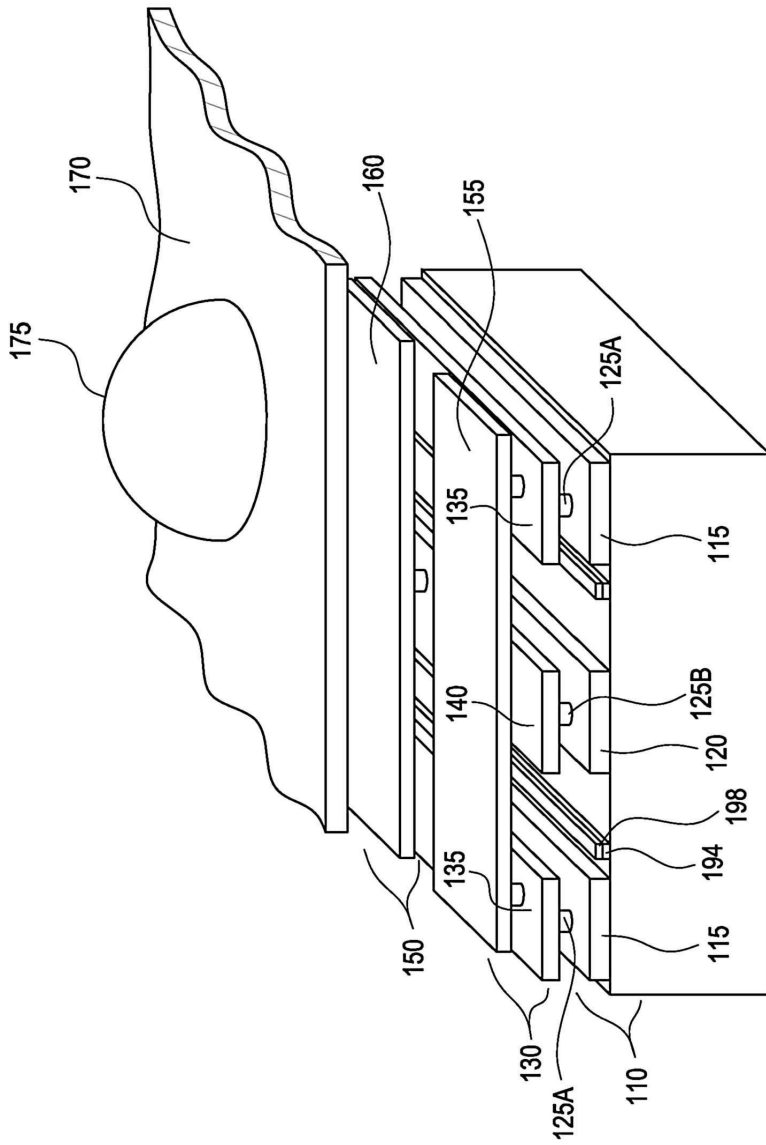
도면1a



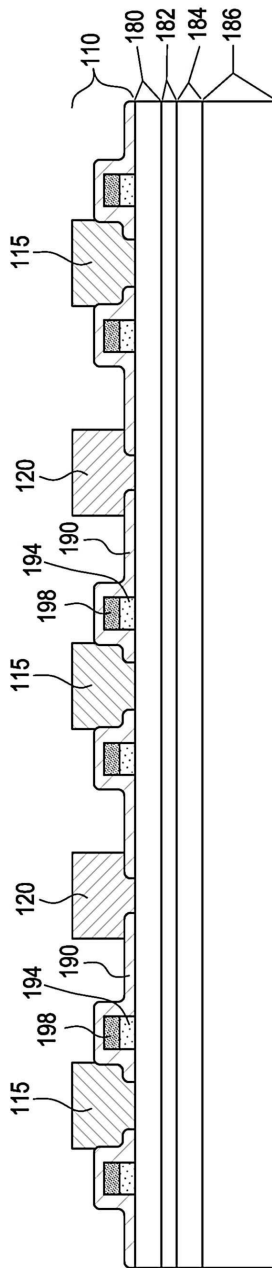
도면1b



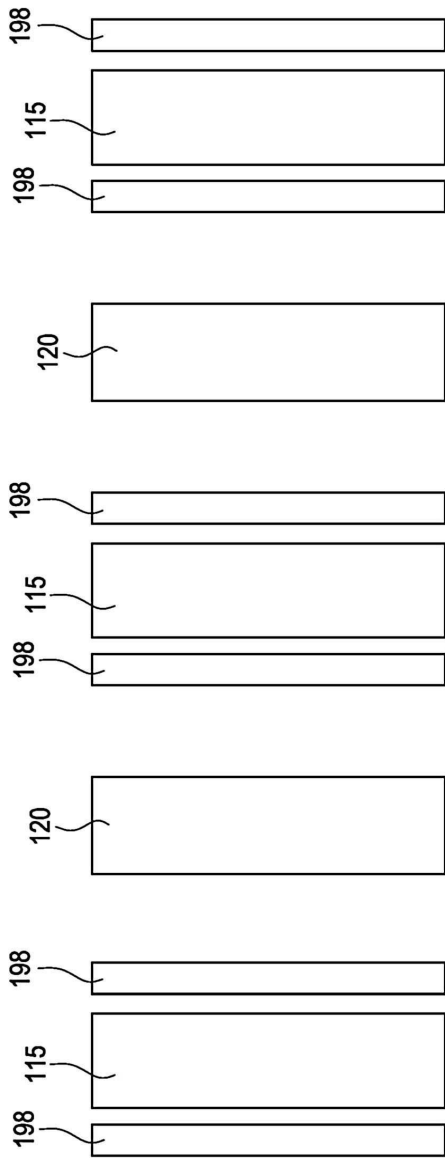
도면1c



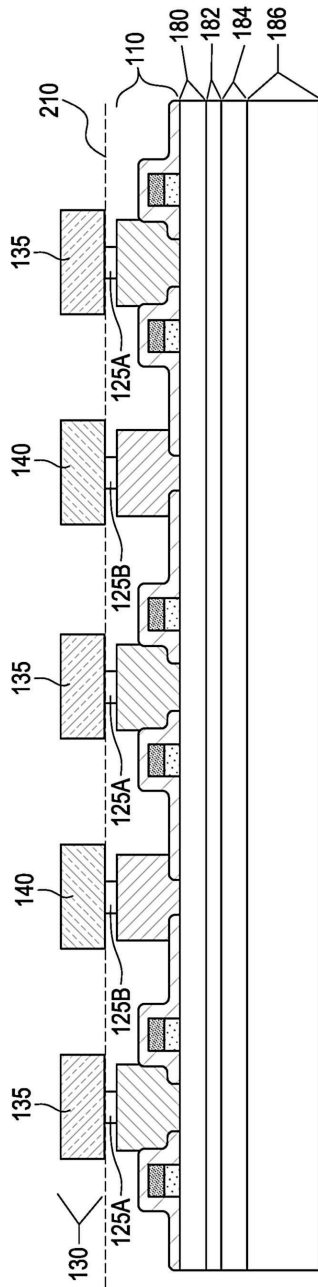
도면2a



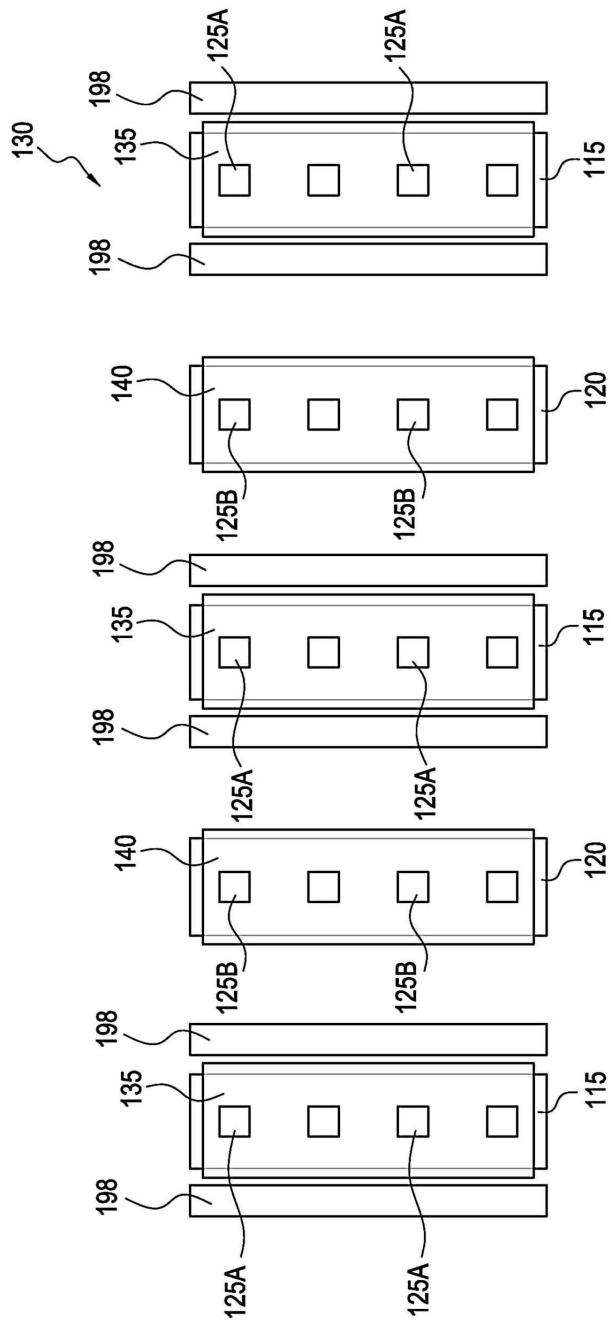
도면2b



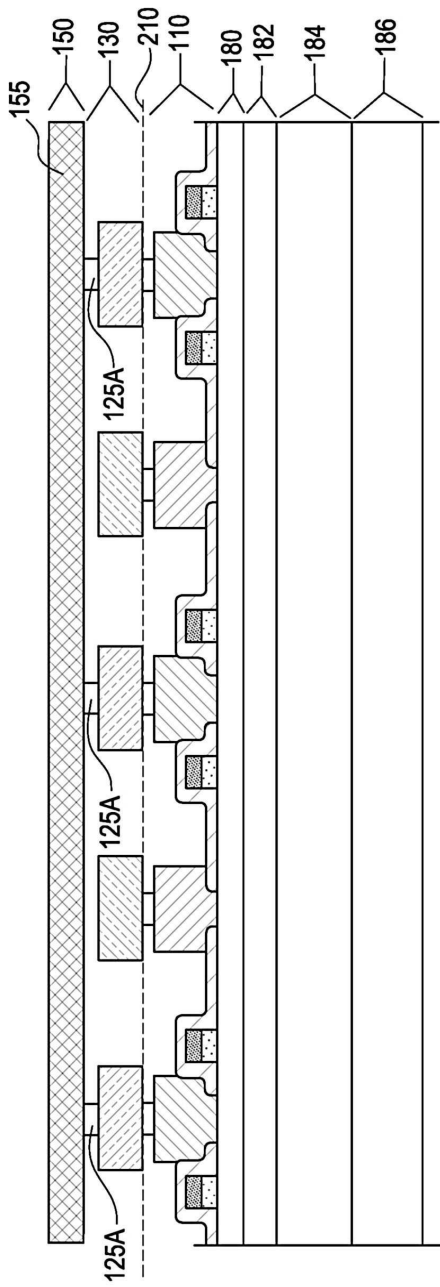
도면2c



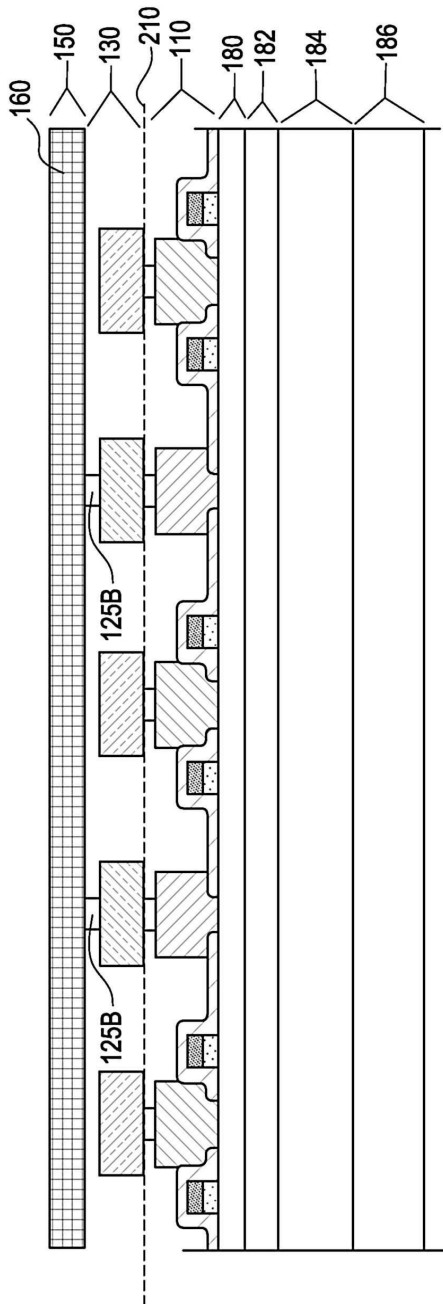
도면2d



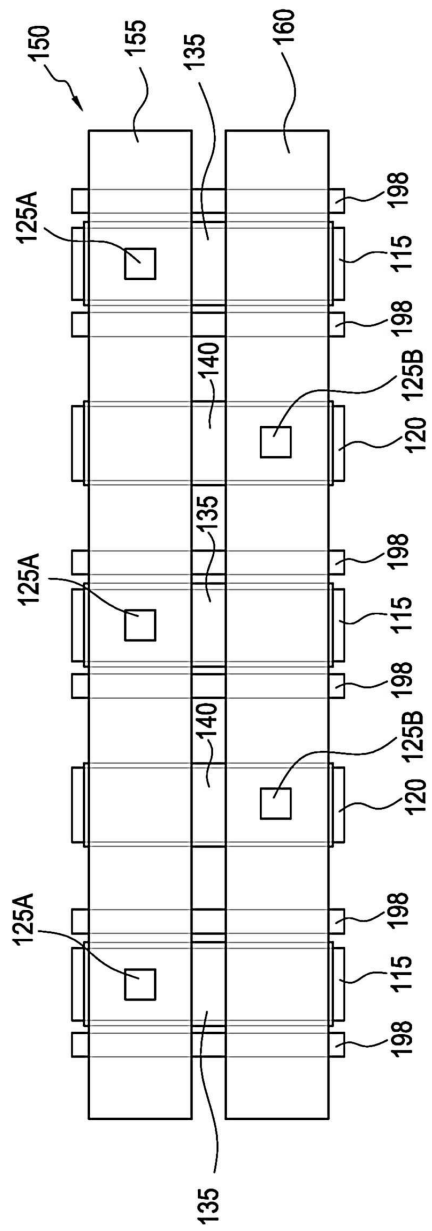
도면2e



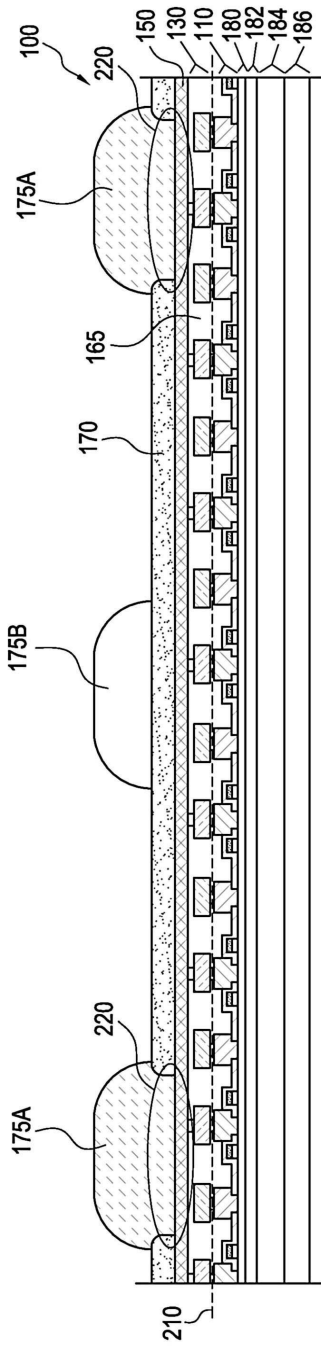
도면2f



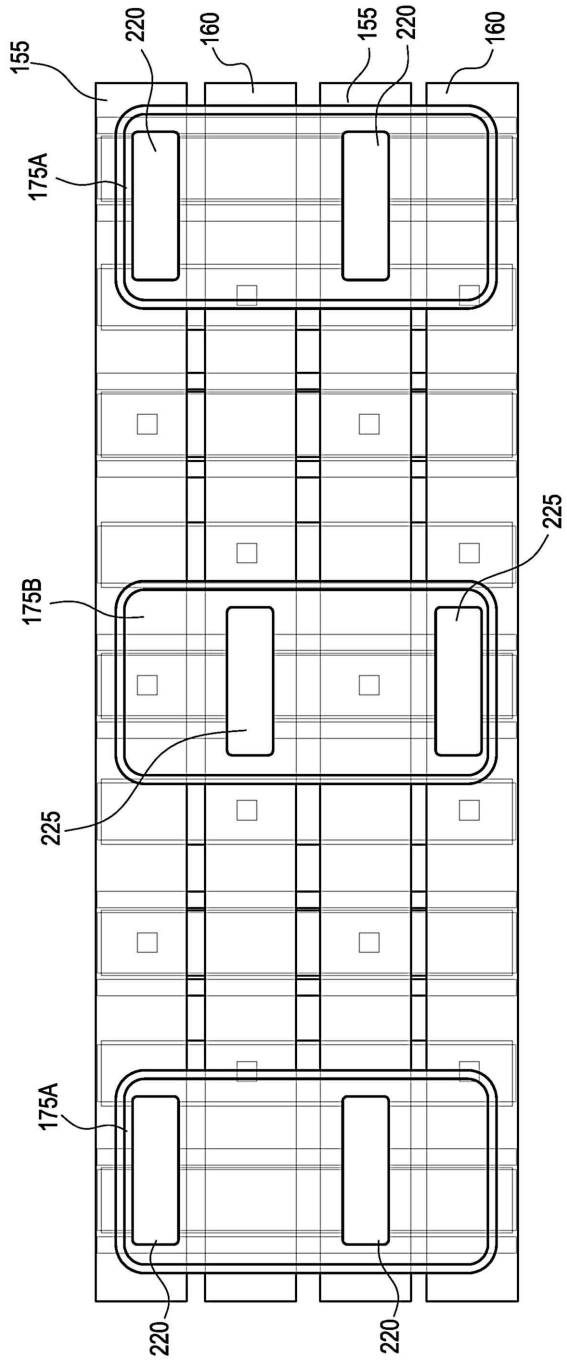
도면2g



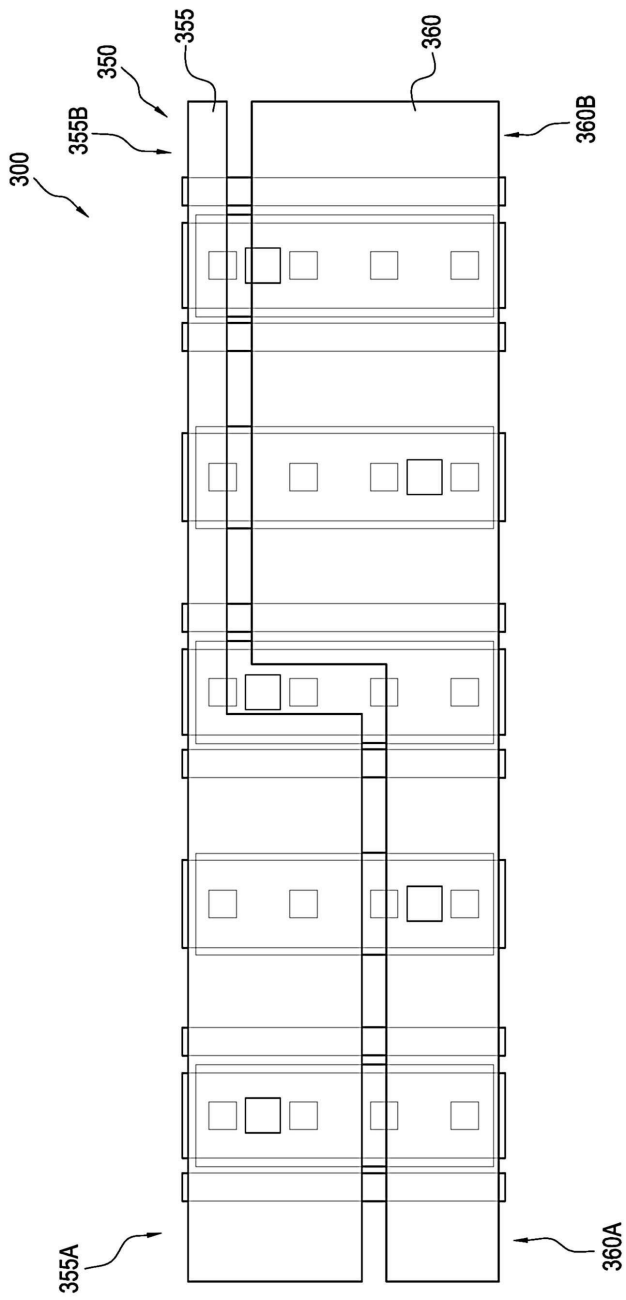
도면2h



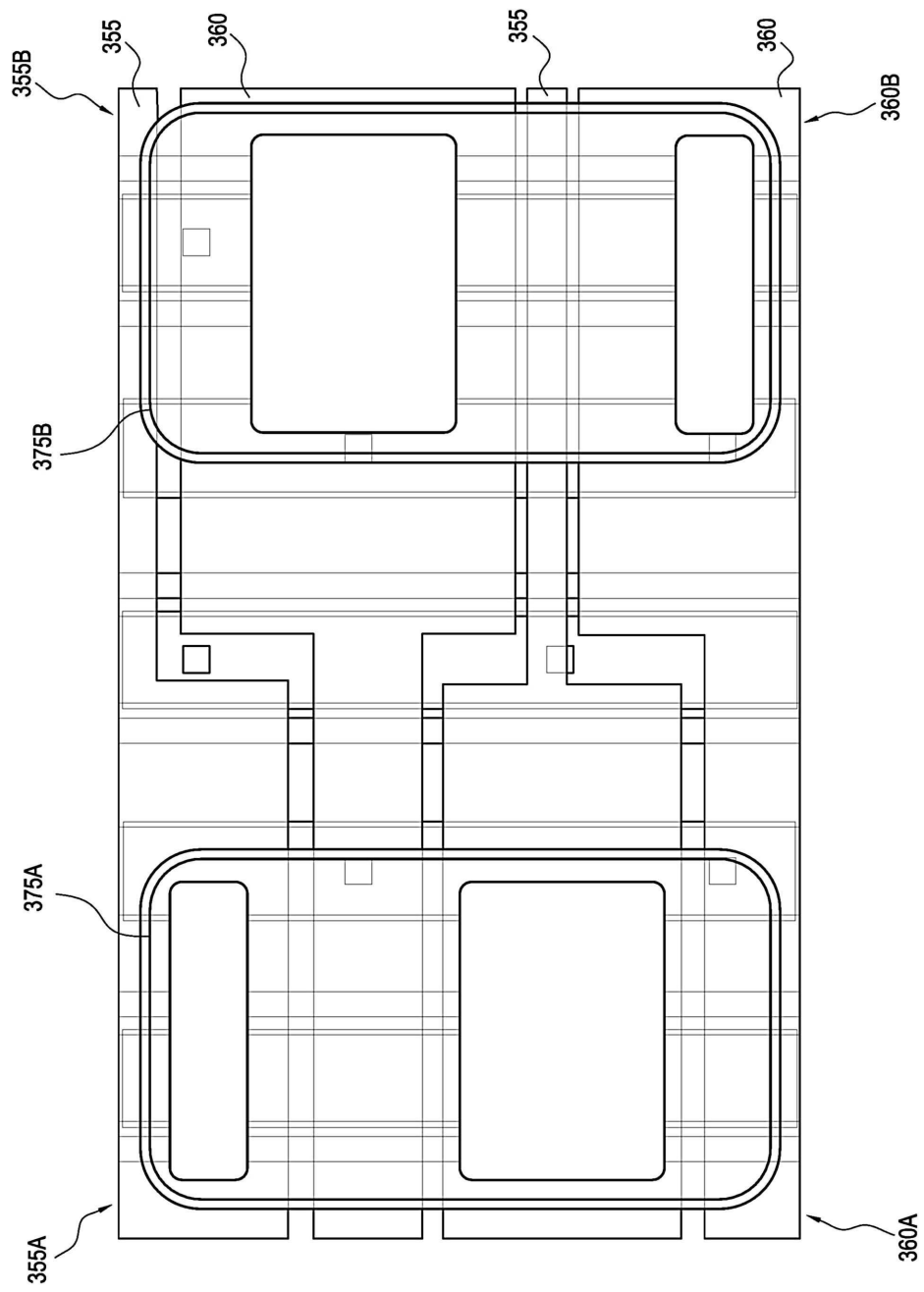
도면2i



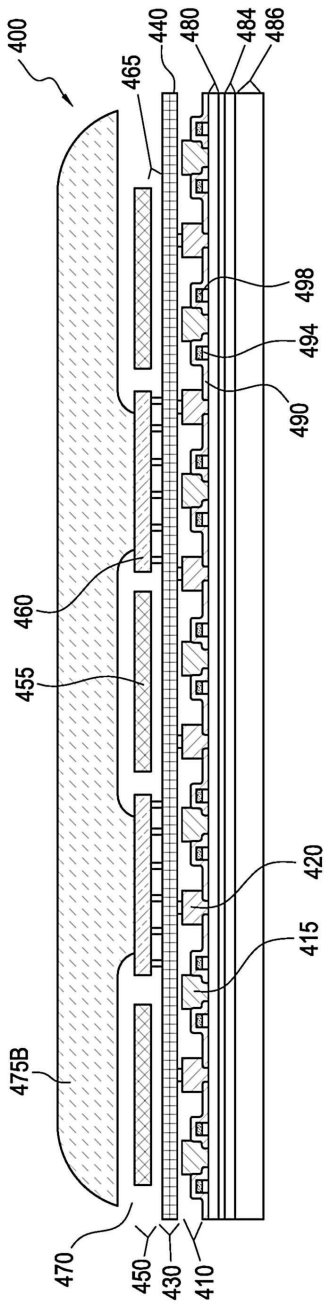
도면3a



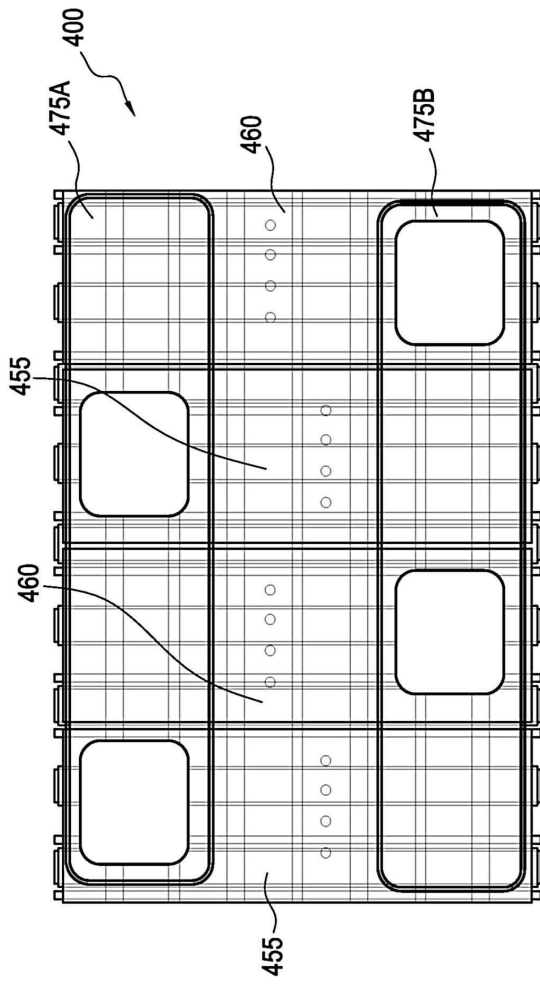
도면3b



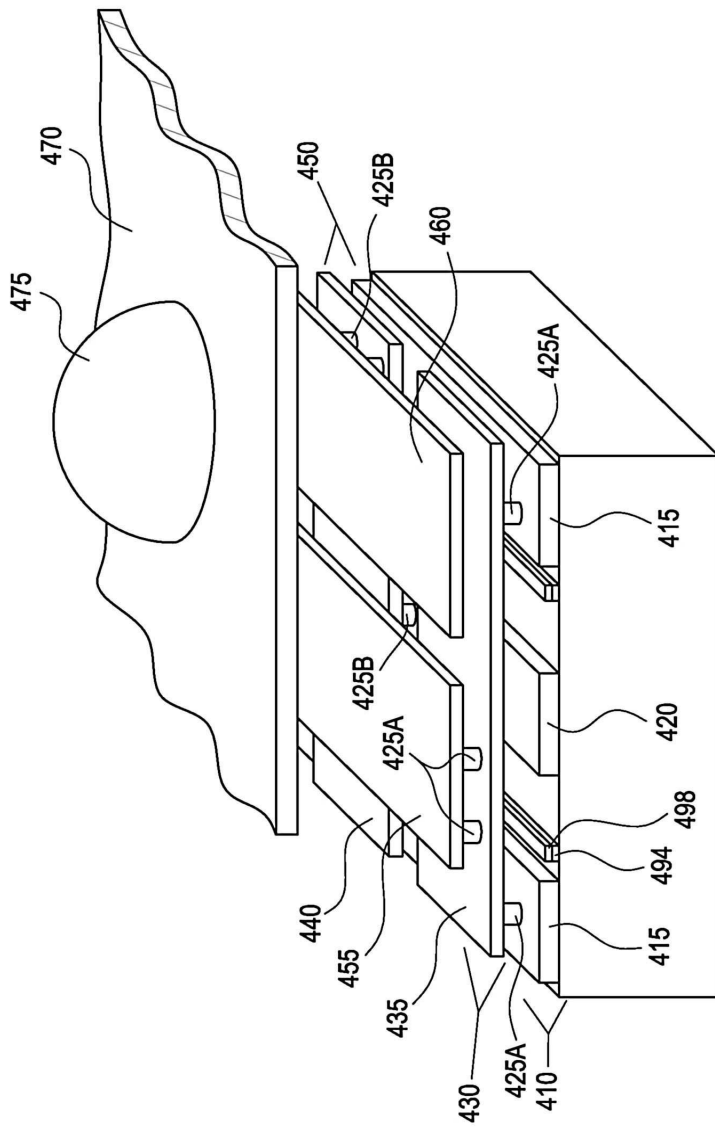
도면4a



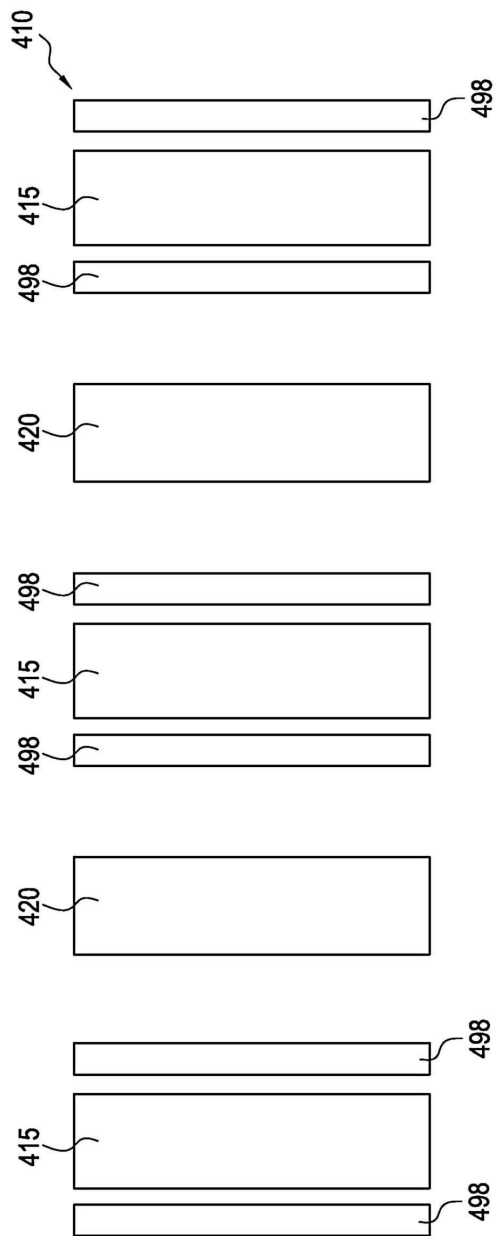
도면4b



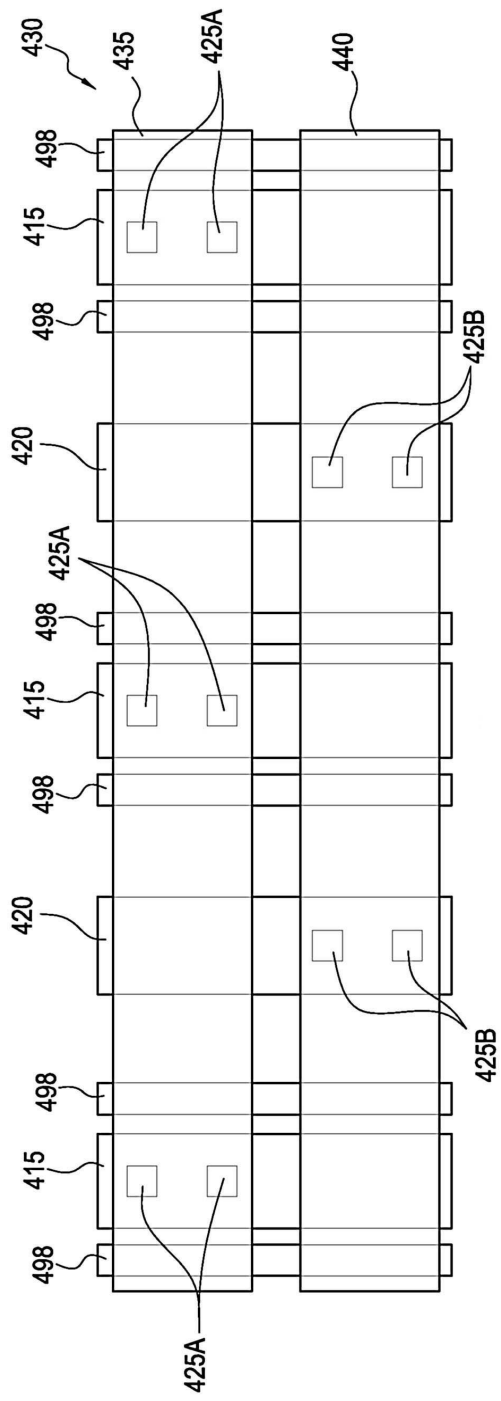
도면4c



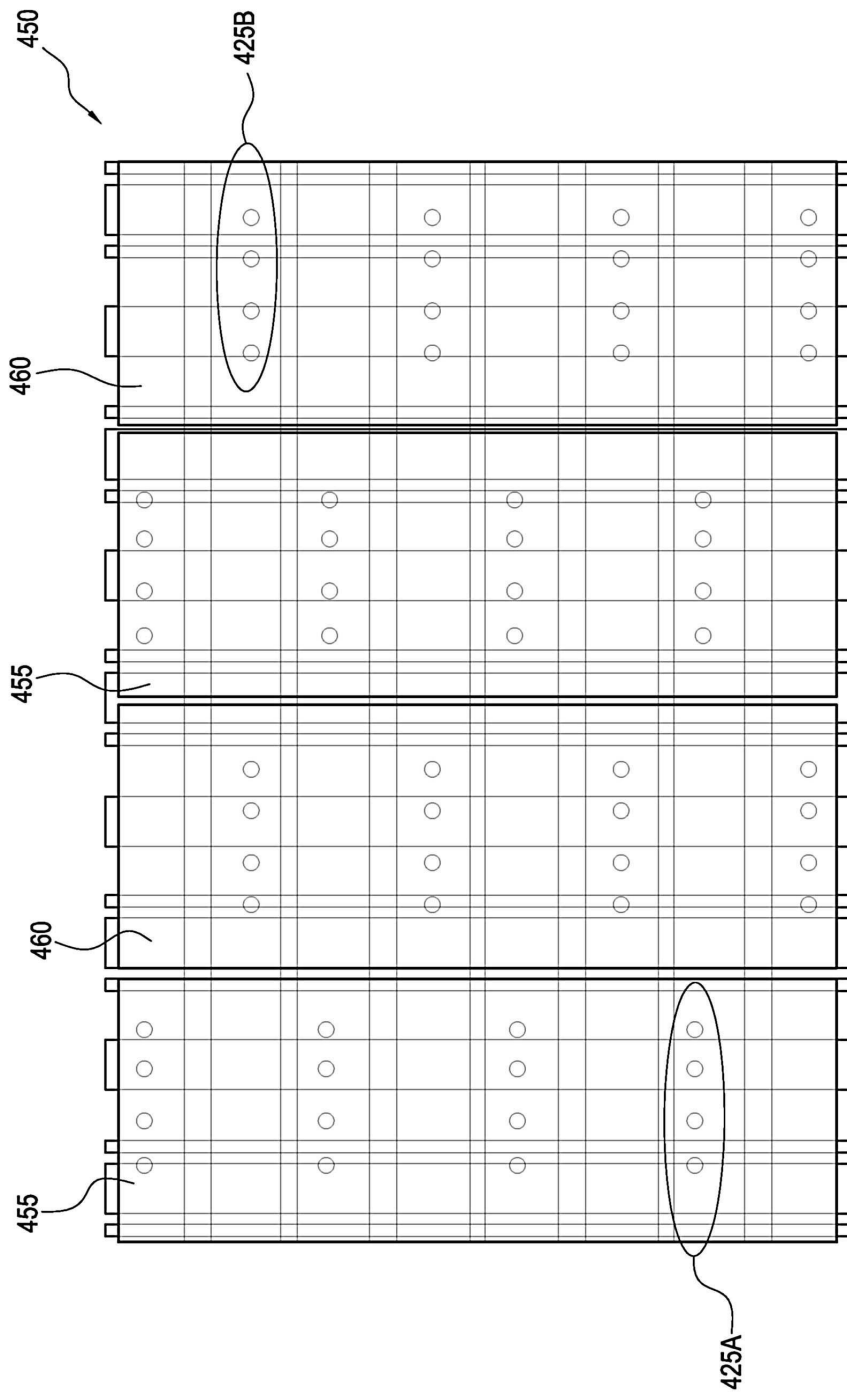
도면5a



도면5b



도면5c



도면5d

