



(12) 发明专利申请

(10) 申请公布号 CN 103779333 A

(43) 申请公布日 2014. 05. 07

(21) 申请号 201310485264. 6

(22) 申请日 2013. 10. 16

(30) 优先权数据

61/714, 960 2012. 10. 17 US

(71) 申请人 錢橋半導體股份有限公司

地址 中国台湾台北市北投区立德路 157 号 3
楼

(72) 发明人 林文强 王家忠

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 汤保平

(51) Int. Cl.

H01L 23/552(2006. 01)

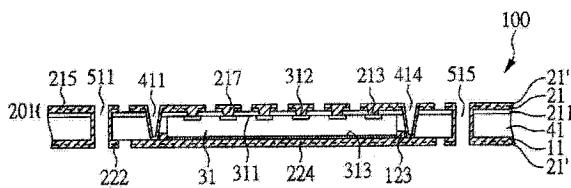
权利要求书2页 说明书17页 附图18页

(54) 发明名称

具有内嵌元件、及电磁屏障的线路板

(57) 摘要

在本发明的较佳实施态样中，具有内嵌元件、及电磁屏障的线路板包括：一半导体元件、一核心层、一屏蔽盖、多个屏蔽狭槽及增层电路。增层电路覆盖半导体元件及核心层，屏蔽狭槽及屏蔽盖是通过增层电路而与半导体元件的至少一接地接触垫电性连接，且屏蔽狭槽及屏蔽盖可分别作为半导体元件的有效的水平及垂直电磁屏障。



1. 一种具有内嵌元件、及电磁屏障的线路板，包括：

一屏蔽盖；

一半导体元件，其利用一黏着剂设置于该屏蔽盖上，且该半导体元件包含一主动面及与该主动面相反的一非主动面，该主动面上具有多个接触垫，其中该主动面朝一第一垂直方向并背向该屏蔽盖，及该非主动面朝与该第一垂直方向相反的一第二垂直方向并朝向该屏蔽盖；

一核心层，其于垂直于该第一垂直方向以及该第二垂直方向的侧面方向侧向覆盖该半导体元件；

一第一增层电路，其自该第一垂直方向覆盖该半导体元件及该核心层，且该第一增层电路通过多个第一导电盲孔而电性连接至该半导体元件的所述接触垫；以及

多个屏蔽狭槽，其延伸穿过该核心层并侧向覆盖该半导体元件，且向外侧向延伸超过该半导体元件的外围边缘，其中所述屏蔽狭槽及该屏蔽盖通过该第一增层电路而与所述接触垫的至少一者电性连接以接地。

2. 如权利要求 1 所述的具有内嵌元件、及电磁屏障的线路板，还包括：

一第二增层电路，其自该第二垂直方向覆盖该屏蔽盖及该核心层；以及

一被覆穿孔，其延伸穿过该核心层，以电性连接该第一增层电路与该第二增层电路。

3. 如权利要求 1 所述的具有内嵌元件、及电磁屏障的线路板，还包括：

一定位件，其作为该半导体元件的一配置导件，且该定位件自该屏蔽盖朝该第一垂直方向延伸，靠近该半导体元件的外围边缘，并侧向对准该半导体元件的外围边缘。

4. 如权利要求 1 所述的具有内嵌元件、及电磁屏障的线路板，其中，所述屏蔽狭槽自该第一增层电路朝该第二垂直方向延伸至该屏蔽盖。

5. 如权利要求 3 所述的具有内嵌元件、及电磁屏障的线路板，其中，所述屏蔽狭槽自该第一增层电路朝该第二垂直方向延伸至该定位件。

6. 如权利要求 1 所述的具有内嵌元件、及电磁屏障的线路板，其中，所述屏蔽狭槽各自为一连续的金属化狭槽，并向外侧向延伸至该线路板的外围边缘。

7. 如权利要求 1 所述的具有内嵌元件、及电磁屏障的线路板，其中，该屏蔽盖是一连续金属层，并向外侧向延伸超过该半导体元件的外围边缘。

8. 如权利要求 3 所述的具有内嵌元件、及电磁屏障的线路板，其中，该定位件包括一连续或不连续的条板或突柱阵列。

9. 如权利要求 3 所述的具有内嵌元件、及电磁屏障的线路板，其中，该半导体元件与该定位件间的间隙是于 0.001 至 1mm 的范围内。

10. 如权利要求 3 所述的具有内嵌元件、及电磁屏障的线路板，其中，该定位件的高度是于 10 至 200 微米的范围内。

11. 一种具有内嵌元件、及电磁屏障的线路板，包括：

一半导体元件，其包含一主动面及与该主动面相反的一非主动面，该主动面上具有多个接触垫，其中该主动面朝一第一垂直方向，及该非主动面朝与该第一垂直方向相反的一第二垂直方向；

一核心层，其于垂直于该第一垂直方向以及该第二垂直方向的侧面方向侧向覆盖该半导体元件；

一第一增层电路，其自该第一垂直方向覆盖该半导体元件及该核心层，且该第一增层电路通过多个第一导电盲孔而电性连接至该半导体元件的所述接触垫；

一第二增层电路，其自该第二垂直方向覆盖该半导体元件及该核心层，且该第二增层电路包含一屏蔽盖，该屏蔽盖对准该半导体元件；以及

多个屏蔽狭槽，其延伸穿过该核心层并侧向覆盖该半导体元件，且向外侧向延伸超过该半导体元件的外围边缘，其中该屏蔽盖及所述屏蔽狭槽通过该第一增层电路而与所述接触垫的至少一者电性连接以接地。

12. 如权利要求 11 所述的具有内嵌元件、及电磁屏障的线路板，还包括：

一定位件，其作为该半导体元件的一配置导件，且该定位件自该屏蔽盖朝该第一垂直方向延伸，靠近该半导体元件的外围边缘，并侧向对准该半导体元件的外围边缘。

13. 如权利要求 11 所述的具有内嵌元件、及电磁屏障的线路板，其中，该屏蔽盖通过所述屏蔽狭槽而电性连接至该第一增层电路，所述屏蔽狭槽自该第一增层电路朝该第一垂直方向延伸至该屏蔽盖。

14. 如权利要求 12 所述的具有内嵌元件、及电磁屏障的线路板，其中，所述屏蔽狭槽自该第一增层电路朝该第二垂直方向延伸至该定位件。

15. 如权利要求 14 所述的具有内嵌元件、及电磁屏障的线路板，其中，该屏蔽盖通过所述屏蔽狭槽、该定位件及该第二增层电路的一第二导电盲孔而电性连接至该第一增层电路。

16. 如权利要求 14 所述的具有内嵌元件、及电磁屏障的线路板，其中，该屏蔽盖通过所述屏蔽狭槽、该定位件及该第二增层电路的一导电沟而电性连接至该第一增层电路。

17. 如权利要求 14 所述的具有内嵌元件、及电磁屏障的线路板，其中，该屏蔽盖通过一被覆穿孔而电性连接至该第一增层电路，该被覆穿孔延伸穿过该核心层。

具有内嵌元件、及电磁屏障的线路板

技术领域

[0001] 本发明是关于一种具有内嵌元件、及电磁屏障的线路，尤指一种具有屏蔽盖和屏蔽狭槽的线路板，其中，屏蔽盖和屏蔽狭槽可分别做为内嵌元件的水平及垂直屏障。

背景技术

[0002] 半导体元件易受到电磁干扰(EMI)或是其他内部元件干扰，例如在高频模式操作时的电容、感应、导电耦合等。当半导体芯片为了微型化而与彼此紧密地设置时，这些不良干扰的严重性可能会大幅上升。为了减少电磁干扰，在某些半导体元件及模块上可能需要屏障。

[0003] Bolognia 等人的美国专利号 8,102,032、Pagaila 等人的美国专利号 8,105,872、Fuentes 等人的美国专利号 8,093,691、Chi 等人的美国专利号 8,314,486 及美国专利号 8,349,658 揭示用于半导体元件屏障的各种方法，包括金属罐、线状网(wire fences)、或球状网(ball fences)。上述所有方法皆设计用于组装于基板及屏蔽材料(例如金属罐、金属膜、线状或球状网)上的元件，屏蔽材料皆为外部添加的形式，其需要额外空间，因而增加半导体封装的尺寸及额外耗费。

[0004] Ito 等人的美国专利号 7,929,313、美国专利号 7,957,154 及美国专利号 8,168,893 揭露一种使用位于树脂层中的导电盲孔以形成电磁屏障层的方法，该电磁屏障层环绕用于容纳内嵌半导体元件的凹陷部分。此种结构确保在小空间中内嵌元件的优异电性屏蔽，但导电盲孔的深度需要如同半导体元件的厚度，故钻孔及被覆孔洞时受到高纵横比的限制，且仅能容纳一些超薄的元件。此外，由于作为芯片放置区域的凹陷部分是于导电盲孔金属化后形成，因对准性差造成半导体元件错位，进而使此方法在大量制造时产率极低。

发明内容

[0005] 本发明是有鉴于以上的情形而发展，其目的在于提供一种具有内嵌元件、及电磁屏障的线路，电磁屏障可有效屏蔽内嵌元件免于电磁干扰。据此，本发明提供一种包括半导体元件、核心层、屏蔽狭槽、屏蔽盖、第一增层电路、及选择性地包含第二增层电路的线路板。此外，本发明亦提供另一线路板，其包含半导体元件、核心层、屏蔽狭槽、第一增层电路、及具有屏蔽盖的第二增层电路。

[0006] 在一较佳实施态样中，屏蔽狭槽及屏蔽盖是与半导体元件的至少一接地接触垫电性连接，且可分别做为半导体元件的水平及垂直屏障。核心层于垂直于该垂直方向的侧面方向侧向覆盖该半导体元件，屏蔽盖于第二垂直方向覆盖半导体元件，第一增层电路及第二增层电路分别自第一及第二垂直方向覆盖半导体元件及核心层。

[0007] 本发明的线路板可还包括一定位件，其可作为半导体元件的配置导件，该定位件于侧面方向靠近及侧向对准该半导体元件的外围边缘。该定位件可于第一垂直方向接触该第二增层电路的屏蔽盖或绝缘层，及于第一垂直方向自该第二增层电路的屏蔽盖或绝缘层

朝延伸,或自该第一增层电路的绝缘层于第二垂直方向延伸。例如,该定位件可自第二增层电路的绝缘层或屏蔽盖于第一垂直方向延伸,并延伸超过该半导体元件的非主动面;或自第一增层电路的绝缘层于第二垂直方向延伸,或延伸超过该半导体元件的主动面。在任何条件下,该定位件是位于半导体元件的外围边缘外,并靠近半导体元件的外围边缘。

[0008] 该半导体元件包含一具有多个接触垫的主动面、及与该主动面相反的一非主动面。该半导体元件的主动面面朝该第一垂直方向并背向该第二增层电路或屏蔽盖,且该半导体元件的非主动面面朝该第二垂直方向并朝向该第二增层电路或屏蔽盖。该半导体元件可利用一黏着剂固定在第一或第二增层电路上、或设置在屏蔽盖上。

[0009] 该核心层可接触并环绕该半导体元件的侧壁及该定位件,且与该半导体元件的侧壁及该定位件同形被覆,及自该半导体元件及该定位件侧向延伸至该线路板的外围边缘。该核心层可由预浸材料制成,例如环氧树指、BT、聚酰亚胺及它种树脂或树脂/玻璃复合物。

[0010] 该屏蔽狭槽可自该第一增层电路于第二垂直方向延伸至屏蔽盖或定位件。例如,该屏蔽狭槽可于第一端延伸至第一增层电路的外或内导电层,并电性连接至第一增层电路的外或内导电层;且于第二端可延伸至屏蔽盖或定位件,并电性连接至屏蔽盖或定位件。另一方面,屏蔽狭槽可自第二增层电路于第一垂直方向延伸至定位件。例如,于第一端的该屏蔽狭槽可延伸至定位件,并电性连接至定位件;且于第二端可延伸至第二增层电路的屏蔽盖,或电性连接至第二增层电路的屏蔽盖。与第一增层电路间隔的屏蔽狭槽可通过导电盲孔或一个以上被覆穿孔而电性连接至第一增层电路,所述导电盲孔是与定位件电性接触,所述被覆穿孔是与屏蔽盖和第一增层电路电性接触。在任何条件下,屏蔽狭槽延伸穿过核心层且侧向覆盖半导体元件,并通过第一增层电路而电性连接至半导体元件的至少一个接地接触垫。所述屏蔽狭槽可通过形成延伸穿过核心层的狭孔、接着电镀所述狭孔的内侧壁而形成。屏蔽狭槽各自可为一连续的金属化狭槽,且可具有一面朝第一或第二垂直方向的开放端。为了提供有效的侧向EMI屏障,每一屏蔽狭槽较佳是沿着半导体元件的每一侧面边缘侧向延伸,且屏蔽狭槽的两侧端较佳为向外侧向延伸超过半导体元件的外围边缘,甚至侧向延伸至线路板的外围边缘。例如,线路板可设计为具有四个屏蔽狭槽,各自于侧面方向沿着半导体元件的四个侧边而连续延伸超过半导体元件的外围边缘。据此,屏蔽狭槽可完全覆盖半导体元件的侧面,以减少侧面电磁干扰。或者,在屏蔽狭槽延伸至定位件的情况下,半导体元件的侧面可由定位件和屏蔽狭孔的组合完全覆盖。

[0011] 屏蔽盖是从第二垂直方向对准该半导体元件并覆盖该半导体元件,且可通过第一增层电路而电性连接至半导体元件的至少一接地接触垫。屏蔽盖可为一连续金属层,且为了提供有效的垂直EMI屏障,较佳为至少侧向延伸至与半导体元件的外围边缘重合。例如,屏蔽盖可于侧面方向侧向延伸至与半导体元件的外围边缘共平面,或向外侧向延伸超过半导体元件的外围边缘,且甚至侧向延伸至线路板的外围边缘。据此,屏蔽盖可自第二垂直方向完全覆盖半导体元件,以减少垂直的电磁干扰。与第一增层电路间隔的屏蔽盖可通过屏蔽狭槽而电性连接至第一增层电路,屏蔽狭槽是与第一增层电路电性连接。例如,本发明的一态样中,具有屏蔽狭槽的线路板于第二端延伸至屏蔽盖,屏蔽狭槽接触屏蔽盖并可提供屏蔽盖与第一增层电路间的电性连接。并且,根据另一态样中,当定位件自屏蔽盖朝第一垂直方向延伸,且屏蔽狭槽于第二端延伸至定位件时,屏蔽盖可通过定位件及屏蔽狭槽而电

性连接至第一增层电路。再一实施态样的具有屏蔽狭槽的线路板，屏蔽狭槽于第二端延伸至定位件，其中，定位件通过第二增层电路的绝缘层而与屏蔽盖间隔开来，屏蔽盖可通过第二增层电路的导电盲孔或导电沟而电性连接至定位件，因此，屏蔽狭槽、定位件及导电盲孔或导电沟的组合可提供屏蔽盖与第一增层电路间的电性连接。或者，屏蔽盖可通过一个以上的延伸穿过核心层的被覆穿孔而电性连接至第一增层电路。例如，于第一端的被覆穿孔可延伸至第一增层电路，并电性连接至第一增层电路；且于第二端可延伸至屏蔽盖，并电性连接至屏蔽盖。因此，被覆穿孔可提供屏蔽盖与第一增层电路间的电性连接。

[0012] 第一增层电路自第一垂直方向覆盖半导体元件及核心层，且可包含第一绝缘层及一个以上的第一导线。例如，第一绝缘层于第一垂直方向覆盖半导体元件及核心层，且可延伸至线路板的外围边缘，及第一导线自第一绝缘层朝第一垂直方向延伸。第一绝缘层可包含多个第一盲孔，其设置为邻接于半导体元件的所述接触垫。一个以上的第一导线自第一绝缘层于第一垂直方向延伸，且于第一绝缘层上侧向延伸，并于第二垂直方向延伸进入第一盲孔以形成第一导电盲孔，因而提供半导体元件的信号接触垫的信号路由、及半导体元件的接地接触垫的接地。此外，一实施态样的线路板，其定位件自第一绝缘层于第一垂直方向延伸，第一绝缘层可还包括一或多个额外的第一盲孔，其是设置为邻接于定位件的选定部位。第一导线可于第二垂直方向更延伸进入额外的第一盲孔，以形成一或多个额外的第一导电盲孔，其是与定位件电性接触，因而提供半导体元件的接地接触垫与定位件间的接地。因此，与定位件电性连接的屏蔽狭槽可通过定位件与第一导电盲孔而电性连接至半导体元件的接地接触垫。简言的，第一增层电路是通过第一导电盲孔而电性连接至半导体元件的接触垫，以提供半导体元件的信号路由及接地，并可更通过额外的第一导电盲孔而电性连接至接定位件，以提供定位件的接地。当第一导线可直接接触半导体元件的接触垫与定位件时，半导体元件与第一增层电路件间、定位件与第一增层电路间的电性连接可不含焊料。

[0013] 根据具有半导体元件设至于屏蔽盖上的线路板态样，可选择性地提供第二增层电路，其自第二垂直方向覆盖屏蔽盖及核心层。在此态样中，第二增层电路可包含第二绝缘层及一个以上第二导线。例如，第二绝缘层自第二垂直方向覆盖屏蔽盖及核心层，且可延伸至线路板的外围边缘，及第二导线自第二绝缘层于第二垂直方向延伸，并于第二绝缘层上侧向延伸。第二绝缘层可包含一个以上第二盲孔，其是设置为邻接于屏蔽盖的选定部位。第二导线可于第一垂直方向更延伸进入第二盲孔，以形成一个以上的第二导电盲孔，因而提供屏蔽盖的电性连接。另一线路板态样，其屏蔽盖内建于第二增层电路中，第二增层电路自第二垂直方向覆盖半导体元件及核心层，并可包含第二绝缘层、屏蔽盖及选择性包含第二导线。例如，第二绝缘层自第二垂直方向覆盖半导体元件及核心层，并可延伸至线路板的外围边缘，且屏蔽盖及第二导线自第二绝缘层朝第二垂直方向延伸，并于第二绝缘层上侧向延伸。在线路板的一实施态样中，定位件自第二绝缘层朝第一垂直方向延伸，第二绝缘层可包含一个以上第二盲孔或沟孔，其是设置为邻接于定位件的选定部位，并可被金属化以形成一个以上的第二导线或导电沟。据此，于第二端的屏蔽狭槽延伸至定位件的条件下，屏蔽盖可通过屏蔽狭槽、定位件、及第二导电盲孔或导电沟而电性连接至第一增层电路以接地。在另一态样的线路板中，屏蔽狭槽自第一增层电路延伸至第二增层电路的屏蔽盖，屏蔽盖可通过屏蔽狭槽而电性连接至第一增层电路。

[0014] 若需要额外的信号路由,第一及第二增层电路可包含额外介电层、额外盲孔层、及额外导线层。例如,第一增层电路可还包含第三绝缘层及第三导线。第三绝缘层自第一绝缘层及第一导线于第一垂直方向延伸,并可延伸至线路板的外围边缘,且第三导线自第三绝缘层朝第一垂直方向延伸。在屏蔽狭槽于第一端延伸至第一导线且具有朝向第一垂直方向的开放端的情况下,第三绝缘层可于屏蔽狭槽的开放端更延伸进入屏蔽狭槽。第一及第二增层电路的最外导线可分别包含一个以上第一及第二内连接垫,以提供如半导体芯片、塑料封装或另一半导体组体的电子元件的电性接点。第一内连接垫可包含面朝第一垂直方向的外露接触表面,同时第二内连接垫可包含面朝第二垂直方向的外露接触表面。因此,线路板可包含电性接点(例如第一及第二内连接垫),其是互相电性连接且位于面朝相反垂直方向的相反表面,使线路板可堆叠且电子元件可利用各种连接媒介电性连接至该线路板,连接媒介包括打线或焊锡凸块以作为电性接点。

[0015] 本发明的线路板可还包含一个以上的延伸穿过核心层的被覆穿孔,被覆穿孔可提供第一增层电路与第二增层电路间的电性连接。例如,于第一端的被覆穿孔可延伸至第一增层电路的外或内导电层,并电性连接至第一增层电路的外或内导电层;及于第二端可延伸至第二增层电路的外或内导电层或屏蔽盖,并电性连接至第二增层电路的外或内导电层或屏蔽盖。因此,被覆穿孔可提供垂直方向信号路由的电性连接或接地。

[0016] 定位件可由金属、光敏性塑料材料、或非光敏性材料制备而成,例如,定位件可大致由铜、铝、镍、铁、锡、其合金所组成,定位件亦可由环氧树脂、或聚酰亚胺所组成。此外,定位件可具有图案以防止半导体元件的不必要位移。如,定位件可包含一连续或不连续的条板或突柱阵列。具体来说,该定位件可侧向对齐该半导体元件的四个侧表面,以防止该半导体元件的横向位移。举例来说,该定位件可沿着该半导体元件的四个侧面、两个对角、或四个角对齐,且该半导体元件以及该定位件间的间隙较佳约于0.001至1毫米的范围的内。因此,未于屏蔽狭槽和半导体元件的定位件可防止半导体元件的位置误差超过最大可接受误差限制。此外,在屏蔽狭槽延伸至定位件的情况下,定位件亦可作为半导体元件的水平屏障的部分。此外,定位件较佳为具有10-200微米的厚度。

[0017] 本发明更提供了一种三维堆叠组体,其由多个各自具有内嵌元件及电磁屏障的线路板所堆叠而成,多个线路板是利用分别位于两相邻线路板间的内介电层,以背对背(back-to-back)或面对背(face-to-back)的方式堆叠,并通过一或多个被覆穿孔与彼此电性连接。

[0018] 本发明具有许多优点,其中,屏蔽狭槽和屏蔽盖可分别做为半导体元件的水平及垂直EMI屏障,以降低电磁干扰。该半导体元件的所述接地接触垫与所述屏蔽侧狭槽/屏蔽盖间的电性连接可经由该增层电路提供,以提供嵌埋于该线路板中的该半导体元件的有效电磁屏障效果。因该增层电路的高路由选择能力(routing capability),该增层电路可提供信号路由并利于展现高I/O值以及高性能。此外,可因实际需求而选择性地提供定位件。例如,在线路板中嵌埋具有精细间距(pitch)的芯片的情况下,该定位件可准确地限制芯片的放置位置,以避免因芯片横向位移导致芯片以及增层电路间的电性连接错误,进而大幅度的改善了产品良率。该线路板及使用其的该堆叠组体的可靠度高、价格低廉、且非常适合大量制造生产。

[0019] 本发明的上述及其他特征与优点将于下文中通过各种较佳实施例进一步加以说

明。

附图说明

[0020] 为进一步说明本发明的技术内容,以下结合较佳实施例及附图详细说明如后,其中:

[0021] 图1至图5是本发明一较佳实施例的线路板的制造方法剖视图,该线路板包含定位件、半导体元件、核心层、屏蔽盖、屏蔽狭槽、端子、增层电路及被覆穿孔;其中图1A、2A及4A分别为图1、图2及图4的俯视图,且图1B至图1G为定位件的其他参考图案的俯视图。

[0022] 图6至图15是本发明另一较佳实施例的另一线路板的制造方法剖视图,该线路板包含定位件、半导体元件、核心层、屏蔽盖、屏蔽狭槽、双增层电路及被覆穿孔。

[0023] 图16至图21是本发明再一较佳实施例的再一线路板的制造方法剖视图,该线路板包含与定位件电性接触的屏蔽狭槽。

[0024] 图22至图27是本发明一较佳实施例的线路板的另一制造方法剖视图,该线路板包含定位件、半导体元件、核心层、屏蔽狭槽及双增层电路;其中图22'至图23'为图22至图23的另一实施态样的剖视图。

[0025] 图26'至27'是图26至图27的另一实施态样的剖视图。

[0026] 图28至图30是本发明另一较佳实施例的另一线路板的制造方法剖视图,该线路板包含与定位件和屏蔽盖电性连接的屏蔽狭槽。

[0027] 图31至图33是本发明再一较佳实施例的再一线路板的制造方法剖视图,其中屏蔽盖通过与定位件接触的导电沟而电性连接至第一增层电路;其中图32A为图32的仰视图。

[0028] 图33'是图33的另一实施态样的剖视图。

[0029] 图34至图36是本发明又一较佳实施例的又一线路板的制造方法剖视图,其中屏蔽盖通过被覆穿孔而电性连接至第一增层电路。

[0030] 图37至图39是本发明一较佳实施例的三维堆叠组体的制造方法剖视图,该三维堆叠组体包含多个线路板,其是以面对背的方式堆叠。

[0031] 图40至图42是本发明另一较佳实施例的另一三维堆叠组体的制造方法剖视图,该三维堆叠组体包含多个线路板,其是以背对背的方式堆叠。

具体实施方式

[0032] 在下文中,将提供实施例以详细说明本发明的实施态样。本发明的其他优点以及功效将通过本发明所揭露的内容而更为显著。应当注意的是,所述附图为简化的附图,附图中所示的元件数量、形状、以及大小可根据实际条件而进行修改,且元件的配置可能更为复杂。本发明中也可进行其他方面的实践或应用,且不背离本发明所定义的精神与范畴的条件下,可进行各种变化以及调整。

[0033] 实施例1

[0034] 图1至图5是本发明一较佳实施例的线路板的制造方法剖视图,该线路板包含定位件、半导体元件、核心层、屏蔽盖、屏蔽狭槽、端子、增层电路及被覆穿孔515。

[0035] 如图5所示,线路板100包含定位件123、半导体元件31、核心层41、屏蔽盖224、

屏蔽狭槽 414、端子 222、增层电路 201、及被覆穿孔 515。半导体元件 31 包含主动面 311、与主动面 311 相反的非主动面 313、及位于主动面 311 的接触垫 312。定位件 123 设置于半导体元件 31 的外围边缘外，并靠近半导体元件 31 的外围边缘。核心层 41 侧向覆盖定位件 123 及半导体元件 31，并侧向延伸至线路板 100 的外围边缘。增层电路 201 包含第一绝缘层 211 及第一导线 215，并通过第一导线 215 电性连接至半导体元件 31。屏蔽狭槽 414 白第一导线 215 于向下方向延伸至屏蔽盖 224，并侧向覆盖半导体元件 31。屏蔽盖 224 于向下方向覆盖半导体元件 31，端子 222 自核心层 41 于向下方向延伸并与屏蔽盖 224 间隔开来，被覆穿孔 515 延伸穿过增层电路 201 及核心层 41，并提供增层电路 201 及端子 222 间的电性连接。

[0036] 图 1 及图 1A 分别为具有形成于金属层 11 上的定位件 123 的结构剖视图以及俯视图。金属层 11 一般由铜制成，但铜合金或其他材料亦可使用，金属层 11 的厚度范围为 5 至 200 微米。在此实施例中，金属层 11 绘示为厚度 50 微米的铜板，定位件 123 可被各种技术如电镀、无电电镀、蒸镀、溅镀及其组合结合光刻技术而沉积于金属层 11 上及被图案化。定位件 123 一般由铜制成，但其他金属材料亦可使用，此外，定位件 123 较佳具有 10 至 200 微米范围内的厚度。在此图中，定位件 123 由厚度 35 微米的连续铜条所组成，且与随后设置于金属层 11 上的半导体元件的四侧相符合。然而，定位件的形式并不受限于此，且可为防止随后设置的半导体元件的不必要位移的任何图案。

[0037] 图 1B 至图 1G 为定位件的各种参考形式。举例来说，定位件 123 可由一不连续的条板（如图 1B、1D 及 1F 所示）、或矩形阵列的多个金属突柱（如图 1C、1E 及 1G 所示）所组成，且符合随后设置的半导体元件的四侧（如图 1B 及 1C 所示）、两个对角（如图 1D 及 1E 所示）、或四个角落（如图 1F 及 1G）。

[0038] 图 2 及图 2A 分别为使用黏着剂 16 将半导体元件 31 设置在金属层 11 上的结构剖视图和俯视图，其中黏着剂 16 位于金属层 11 和半导体元件 31 之间，且黏着剂 16 接触金属层 11 和半导体元件 31。半导体元件 31 包含主动面 311、与主动面 311 相反的非主动面 313、及位于主动面 311 的多个接触垫 312。定位件 123 可作为半导体元件 31 的配置导件，使半导体元件 31 以其非主动面 313 面朝金属层 11 而准确地放置在预定位置。定位件 123 自金属层 11 朝向上方向延伸超过半导体元件 31 的非主动面 313，并对准半导体元件 31 的四侧。当定位件 123 于侧面方向靠近半导体元件 31 的四个侧表面且符合半导体元件 31 的四个侧表面，及在半导体元件 31 下方的黏着剂 16 低于定位件 123 时，可防止因黏着剂固化而导致的半导体元件 31 的任何不必要位移。半导体元件 31 及定位件 123 间的间隙较佳于 0.001 至 1 毫米的范围内。然而，对于具有粗间距 (coarse pitch) 的半导体元件，由黏着剂固化引起的元件错位一般不会造成微孔连接错误，故亦可省略定位件 123，且半导体元件 31 可使用任何已知对位技术而贴附在金属层 11 上。

[0039] 图 3 为层叠有核心层 41、第一绝缘层 211 及金属层 21 的结构剖视图。核心层 41 于施加压力以及高温下与半导体元件 31、定位件 123 及金属层 11 压合然后固化。因此，核心层 41 于向上方向接触定位件 123 和金属层 11，并自定位件 123 和金属层 11 于向上方向延伸，及侧向覆盖、环绕半导体元件 31 和定位件 123，并与半导体元件 31 和定位件 123 同型被覆，且自半导体元件 31 和定位件 123 侧向延伸至结构的外围边缘。第一绝缘层 211 接触金属层 21 及半导体元件 31，且位于金属层 21 及半导体元件 31 之间、及金属层 21 及核心层

41 之间。第一绝缘层 211 一般具有 50 微米的厚度，金属层 21 绘示为 17 微米厚度的铜层，于施加压力以及高温下，通过施加于金属层 21 向下的压力或 / 及施加金属层 11 向上的压力，第一绝缘层 211 是被融熔且压缩，据此，第一绝缘层 211 的固化提供了金属层 21 与半导体元件 31 之间、以及金属层 21 与核心层 41 之间安全稳固的机械性连接。核心层 41 及第一绝缘层 211 可为环氧树脂、玻璃环氧树脂、聚酰亚胺、及其类似物。

[0040] 图 4 和图 4A 分别为具有第一盲孔 213、狭孔 411 及穿孔 511 的结构剖视图及俯视图。第一盲孔 213 延伸穿过金属层 21 及第一绝缘层 211，且对齐半导体元件 31 的接触垫 312。第一盲孔 213 可通过各种技术形成，其包括激光钻孔、电浆蚀刻及光刻技术，且通常具有 50 微米的直径。可使用脉冲激光提高激光钻孔效能，或者，可使用金属掩膜以及扫描式激光束。举例来说，可先蚀刻铜板以制造一金属窗口后再照射激光。狭孔 411 延伸穿过金属层 21、第一绝缘层 211 及核心层 41，以显露金属层 11 的选定部位。如图 4A 所示，狭孔 411 是经由机械切割，沿着四条对准半导体元件 31 的四个侧边的切割线穿过金属层 21、第一绝缘层 211 及核心层 41 而形成。穿孔 511 是于垂直方向延伸穿过金属层 21、第一绝缘层 211、核心层 41 及金属层 11。穿孔 511 可通过机械性钻孔而形成，也可经由其他技术如激光钻孔以及湿式或非湿式的电浆蚀刻而形成。

[0041] 请参照图 5，经由在金属层 21 上沉积第一被覆层 21' 并沉积进入第一盲孔 213、接着图案化金属层 21 及其上的第一被覆层 21' 而于第一绝缘层 211 上形成第一导线 215。或者，在先前的步骤中没有在第一绝缘层 211 上压合金属层 21 时，第一绝缘层 211 可被直接金属化以形成第一导线 215。第一导线 215 自第一绝缘层 211 于向上方向延伸，于第一绝缘层 211 上侧向延伸，并于向下方向延伸进入第一盲孔 213 以形成第一导电盲孔 217，该第一导电盲孔 217 是直接接触接触垫 312。因此，第一导线 215 可提供半导体元件 31 的信号路由及接地。

[0042] 亦如图 5 所示，沉积于狭孔 411 及穿孔 511 中的第一被覆层 21' 是提供屏蔽狭槽 414 及被覆穿孔 515，且第一被覆层 21' 更沉积于金属层 11 上。端子 222 及屏蔽盖 224 是经由于结构底面图案化金属层 11 及第一被覆层 21' 所定义出来。屏蔽狭槽 414 由第一导线 215 于向上方向延伸至屏蔽盖 224，且侧向覆盖半导体元件 31 及作为半导体元件的水平 EMI 屏障。屏蔽盖 224 于向下方向覆盖半导体元件 31、定位件 123 及屏蔽狭槽 414，并作为半导体元件 31 的垂直 EMI 屏障。端子 222 与屏蔽盖 224 间隔开来，并经由被覆穿孔 515 而电性连接至第一导线 215。

[0043] 第一被覆层 21' 可通过各种技术沉积形成单层或多层结构，其包括电镀、无电电镀、蒸镀、溅镀及其组合。举例来说，其结构是首先通过将该结构浸入活化剂溶液中，使绝缘层与无电镀铜产生触媒反应，接着以无电电镀方式被覆一薄铜层作为晶种层，然后以电镀方式将所需厚度的第二铜层形成于晶种层上。或者，于晶种层上沉积电镀铜层前，该晶种层可通过溅镀方式形成如钛 / 铜的晶种层薄膜。一旦达到所需的厚度，即可使用各种技术图案化被覆层以形成第一导线 215、端子 222 及屏蔽盖 224，其包括湿蚀刻、电化学蚀刻、激光辅助蚀刻及其与蚀刻掩膜（图未示）的组合，以定义出第一导线 215、端子 222 及屏蔽盖 224。

[0044] 为了便于说明，金属层 11、21 及第一被覆层 21' 是以单一层表示，由于铜为同质被覆，金属层间的界线（均以虚线绘示）可能不易察觉甚至无法察觉，然而第一被覆层 21' 与

第一绝缘层 211 之间、及第一被覆层 21' 与核心层 41 之间的界线则清楚可见。

[0045] 据此,如图 5 所示,完成的线路板 100 包含定位件 123、半导体元件 31、核心层 41、屏蔽盖 224、屏蔽狭槽 414、增层电路 201、端子 222 及被覆穿孔 515。在此实施例中,增层电路 201 包含第一绝缘层 211 及第一导线 215,且被覆穿孔 515 实质上由核心层 41、增层电路 201 及端子 222 共享。半导体元件 31 利用定位件 123 作为配置导件而设置于屏蔽盖 224 上的预定位置,且半导体元件 31 由屏蔽狭槽 414 侧向包围;其中屏蔽狭槽 414 白第一导线 215 向下延伸至屏蔽盖 224,且向外延伸超过半导体元件 31 的外围边缘。屏蔽狭槽 414 具有一朝向向上方向的开放端,并通过第一导线 215 而电性连接至半导体元件 31 的接地接触垫,且可作为半导体元件 31 的水平屏障。屏蔽盖 224 是通过屏蔽狭槽 414 而电性连接至半导体元件 31 的接地接触垫,其中屏蔽狭槽 414 与屏蔽盖 224 和第一导线 215 电性接触且可作为半导体元件 31 的垂直屏障。被覆穿孔 515 提供增层电路 201 和端子 222 间的电性连接,其中端子 222 自核心层 41 于向下方向延伸。

[0046] 实施例 2

[0047] 图 6 至图 15 是本发明另一较佳实施例的另一线路板的制造方法剖视图,该线路板包含定位件、半导体元件、核心层、屏蔽盖、屏蔽狭槽、双增层电路及被覆穿孔。

[0048] 为了简要说明的目的,于实施例 1 中的任何叙述可合并至此处的相同应用部分,且不再重复相同叙述。

[0049] 图 6 为一层压基板的剖视图,其包含金属层 11、介电层 13,和支撑板 15。介电层 13 通常为环氧树脂、玻璃环氧树脂、聚酰亚胺、及其类似物所制成,且具有 50 微米的厚度。在此实施态样中,介电层 13 介于金属层 11 以及支撑板 15 之间。然而,支撑板 15 在某些态样下可被省略。支撑板 15 通常由铜所制成,但铜合金或其他材料皆可被使用,支撑板 15 的厚度可于 25 至 1000 微米的范围内,而以制程及成本作为考虑,其较佳为 35 至 100 微米的范围内。在此实施态样中,支撑板 15 为厚度 35 微米的铜板。

[0050] 图 7 为具有形成于金属层 11 上的定位件 123 的结构剖视图。定位件 123 可被各种技术如电镀、无电电镀、蒸镀、溅镀及其组合结合光刻技术而沉积于金属层 11 上及被图案化。

[0051] 图 8 为于介电层 13 上定义出屏蔽盖 224 的结构剖视图。屏蔽盖 224 可通过光刻技术以及湿式蚀刻法移除金属层 11 的选定部位而形成,屏蔽盖 224 对应至用于放置半导体元件的预定位置,并可作为垂直 EMI 屏障。

[0052] 图 9 为利用黏着剂 16 将半导体元件 31 设置于屏蔽盖 224 上的结构剖视图,其中黏着剂 16 位于屏蔽盖 224 和半导体元件 31 之间,并接触屏蔽盖 224 和半导体元件 31。半导体元件 31 以其非主动面 313 面朝屏蔽盖 224 而贴附于屏蔽盖 224 上,定位件 123 白屏蔽盖 224 于向上方向延伸并延伸超过半导体元件 31 的非主动面 313,且定位件 123 告进半导体元件 31 的外围边缘以作为半导体元件 31 的配置导件。

[0053] 图 10 为叠合有核心层 41、第一绝缘层 211 及金属层 21 的结构剖视图。核心层 41 接触半导体元件 31、定位件 123、屏蔽盖 224 及介电层 13,并与半导体元件 31、定位件 123、屏蔽盖 224 及介电层 13 压合。第一绝缘层 211 接触金属层 21、半导体元件 31 及核心层 41,并提供金属层 21 和半导体元件 31 之间、金属层 21 和核心层 41 之间稳固地机械性连结。第一绝缘层 211 较佳为和介电层 13 具有相同材料,其中介电层 13 作为第二绝缘层 221。

[0054] 图 11 为具有第一盲孔 213 的结构剖视图。第一盲孔 213 延伸穿过金属层 21 和第一绝缘层 211，以显露半导体元件 31 的接触垫 312。

[0055] 请参照图 12，经由在金属层 21 上沉积第一被覆层 21' 及沉积进入第一盲孔 213、然后图案化金属层 21 及其上第一被覆层 21'，以于第一绝缘层 211 上形成第一导线 215。第一导线 215 自第一绝缘层 211 向上方向延伸，于第一绝缘层 211 上侧向延伸，并于向下方向延伸进入第一盲孔 213 以形成第一导电盲孔 217，其是与接触垫 312 直接接触。

[0056] 图 13 为叠合有第三绝缘层 231 的结构剖视图。第三绝缘层 231 接触第一绝缘层 211 及第一导线 215，并于向上方向覆盖第一绝缘层 211 及第一导线 215。

[0057] 图 14 为具有第二盲孔 223、第三盲孔 233、狭孔 411 及穿孔 511 的结构剖视图。第二盲孔 223 延伸穿过支撑板 15 及第二绝缘层 221，以显露屏蔽盖 224 的选定部位。第三盲孔 233 延伸穿过第三绝缘层 231，以显露第一导线 215 的选定部位。狭孔 411 延伸穿过第三绝缘层 231、第一绝缘层 211 及核心层 41，以显露屏蔽盖 224 的选定部位。穿孔 511 于垂直方向延伸穿过第三绝缘层 231、第一绝缘层 211、核心层 41、第二绝缘层 221 及支撑板 15。

[0058] 请参照图 15，第二导线 225 及第三导线 235 是分别形成在第二及第三绝缘层 221、231 上，其是经由在支撑板 15 及第三绝缘层 231 上沉积第二被覆层 22'，并沉积进入第二及第三盲孔 223、233，接着图案化第二被覆层 22' 及支撑板 15 所形成。第二导线 225 自第二绝缘层 221 向下方向延伸，于第二绝缘层 221 上侧向延伸，并于向上方向延伸进入第二盲孔 223 以形成第二导电盲孔 227，其是电性接触屏蔽盖 224。第三导线 235 自第三绝缘层 231 向上方向延伸，于第三绝缘层 231 上侧向延伸，并于向下方向延伸进入第三盲孔 233 以形成第三导电盲孔 237，其是电性接触第一导线 215。并且，第二被覆层 22' 更沉积于狭孔 411 及穿孔 511 中，以提供屏蔽狭槽 414 及被覆穿孔 515。

[0059] 据此，如图 15 所示，完成的线路板 200 包含定位件 123、半导体元件 31、核心层 41、屏蔽盖 224、屏蔽狭槽 414、双增层电路 202、203 及被覆穿孔 515。第一增层电路 202 于向上方向覆盖半导体元件 31 及核心层 41，且包含第一绝缘层 211、第一导线 215、第三绝缘层 231 及第三导线 235。第二增层电路 203 于向下方向覆盖屏蔽盖 224 及核心层 41，且包含第二绝缘层 221 及第二导线 225。屏蔽狭槽 414 接触第三导线 235 并自第三导线 235 向下方向延伸至屏蔽盖 224，且通过第一及第三导线 215、235 而电性连接至半导体元件 31 的接地接触垫。屏蔽盖 224 于向下方向覆盖半导体元件 31，并通过屏蔽狭槽 414、第一及第三导线 215、235 而电性连接至半导体元件 31 的接地接触垫。被覆穿孔 515 实质上由核心层 41、第一增层电路 202 及第二增层电路 203 共享，并提供第二导线 225 和第三导线 235 间的电性连接。

[0060] 实施例 3

[0061] 图 16 至图 21 是本发明再一较佳实施例的再一线路板的制造方法剖视图，该线路板包含与定位件电性接触的屏蔽狭槽。

[0062] 为了简要说明的目的，于实施例 1 中的任何叙述可合并至此处的相同应用部分，且不再重复相同叙述。

[0063] 图 16 为由图 1 至图 3 所示相同步骤所制造的结构剖视图。

[0064] 图 17 为具有第一盲孔 213 及狭孔 411 的结构剖视图。第一盲孔 213 延伸穿过金属层 21 及第一绝缘层 211，以显露半导体元件 31 的接触垫 312。狭孔 411 延伸穿过金属层

21、第一绝缘层 211 及核心层 41，以显露定位件 123 的选定部位。

[0065] 请参照图 18，经由在金属层 21 上沉积第一被覆层 21'，并沉积进入第一盲孔 213，接着图案化金属层 21 及其上的第一被覆层 21'，以在第一绝缘层 211 上形成第一导线 215。第一被覆层 21' 亦沉积进入狭孔 411，以提供屏蔽狭槽 414。第一导线 215 通过第一导线 215 提供半导体元件 31 的信号路由、及半导体元件 31 的接地接触垫与屏蔽狭槽 414 间的接地。并且，开口 111 形成穿过金属层 11 的用于后续形成被覆穿孔的预定位置。在此实施例中，金属层 11 作为屏蔽盖 224，以提供半导体元件 31 的垂直 EMI 屏障效果。

[0066] 图 19 为具有第二绝缘层 221 及第三绝缘层 231 的结构剖视图。第二绝缘层 221 于向下方向覆盖屏蔽盖 224 并填充开口 111。第三绝缘层 231 于向上方向覆盖第一绝缘层 211 及第一导线 215，并自狭孔 414 的开方端延伸进入狭孔 414。

[0067] 图 20 为具有第二盲孔 223、第三盲孔 233 及穿孔 511 的结构剖视图。第二盲孔 223 延伸穿过第二绝缘层 221，并对准屏蔽盖 224 的选定部位。第三盲孔 233 延伸穿过第三绝缘层 231，并对准第一导线 215 的选定部位。穿孔 511 对应开口 111，轴向对准开口 111，并位于开口 111 的中心，且于垂直方向延伸穿过第三绝缘层 231、第一绝缘层 211、核心层 41 及第二绝缘层 221。

[0068] 请参照图 21，第二导线 225 及第三导线 235 分别经由金属沉积及图案化而形成在第二及第三绝缘层 221, 231 上。第二导线 225 自第二绝缘层 221 于向下方向延伸，于第二绝缘层 221 上侧向延伸，并于向上方向延伸进入第二盲孔 223 以形成第二导电盲孔 227，其是电性接触屏蔽盖 224。第三导线 235 自第三绝缘层 231 于向上方向延伸，于第三绝缘层 231 上侧向延伸，并于向下方向延伸进入第三盲孔 233 以形成第三导电盲孔 237，其是电性接触第一导线 215。并且，被覆穿孔 515 是经由在穿孔 511 中沉积金属而形成。

[0069] 据此，如图 21 所示，完成的线路板 300 中，定位件 123 和屏蔽狭槽 414 的组合可作为半导体元件 31 的水平屏障，且屏蔽盖 224 可作为半导体元件 31 的垂直屏障。屏蔽狭槽 414 接触第一导线 215，并自第一导线 215 朝向下方向延伸至定位件 122，且通过第一导线 215 而电性连接至半导体元件 31 的接地接触垫。屏蔽盖 224 于向下方向覆盖半导体元件 31，并通过定位件 123、屏蔽狭槽 414 及第一导线 215 而电性连接至半导体元件 31 的接地接触垫。被覆穿孔 515 实质上由核心层 41、第一增层电路 202 及第二增层电路 203 共享，且提供第二导线 225 及第三导线 235 间的电性连接。

[0070] 实施例 4

[0071] 图 22 至图 27 是本发明一较佳实施例的线路板的另一制造方法剖视图，该线路板包含定位件、半导体元件、核心层、屏蔽狭槽及双增层电路。

[0072] 为了简要说明的目的，于实施例 1 中的任何叙述可合并至此处的相同应用部分，且不再重复相同叙述。

[0073] 图 22 及图 23 为在介电层上形成定位件的流程剖视图。

[0074] 图 22 为一层压基板的剖视图，其包含金属层 12、介电层 13、和支撑板 15。在此实施例中，介电层 13 位于金属层 12 和支撑板 15 之间。然而，支撑板 15 在某些态样下可被省略。金属层 12 绘示为 35 微米的铜层，但其他材料皆可被使用而不限于铜层。此外，金属层 12 可通过各种技术于介电层 13 上沉积形成单层或多层结构，其包括电镀、无电电镀、蒸镀、溅镀及其组合，且较佳为 10 至 200 微米间的厚度。

[0075] 图 23 为具有于介电层 13 上形成定位件 123 的结构剖视图。定位件 123 可通过光影技术和湿式蚀刻移除金属层 12 的选定部位而形成。

[0076] 图 22' 至 23' 是于介电层上形成定位件的另一实施态样的剖视图。

[0077] 图 22' 为具有一组凹穴 121 的层压基板剖视图。如上所述, 层压基板包含金属层 12、介电层 13 及支撑板 15, 且凹穴 121 是通过移除金属层 12 的选定部位而形成。

[0078] 图 23' 为具有于介电层 13 上形成定位件 122 的结构剖视图。定位件 122 可经由于凹穴 121 中分散或印刷一光敏性塑料材料 (如环氧树脂、聚酰亚胺等) 或非光敏性材料, 接着移除整体金属层 12 而形成。

[0079] 图 24 为使用黏着剂 16 将半导体元件 31 设置在介电层 13 上的结构剖视图和俯视图, 其中黏着剂 16 位于介电层 13 和半导体元件 31 之间, 且黏着剂 16 接触介电层 13 和半导体元件 31。半导体元件 31 以其主动面 311 面朝介电层 13 而贴附于介电层 13 上, 其中介电层 13 是作为第一绝缘层 211。定位件 123 自介电层 13 于向上方向延伸并延伸超过半导体元件 31 的主动面 311, 且靠近半导体元件 31 的外围边缘以作为半导体元件 31 的配置导件。

[0080] 图 25 为叠合有核心层 41、第二绝缘层 221 及金属层 22 的结构剖视图。核心层 41 接触半导体元件 31、定位件 123 及第一绝缘层 211, 并与半导体元件 31、定位件 123 及第一绝缘层 211 压合。第二绝缘层 221 接触金属层 22、半导体元件 31、核心层 41, 并提供金属层 22 与半导体元件 31 之间、金属层 22 与核心层 41 之间稳固的机械式连结。第一绝缘层 211 及第二绝缘层 221 较佳为使用相同材料。

[0081] 图 26 为具有第一盲孔 213 及狭孔 411 的结构剖视图。第一盲孔 213 延伸穿过支撑板 15、第一绝缘层 211 及黏着剂 16, 以显露半导体元件的接触垫 312。狭孔 411 延伸穿过的支撑板 15、第一绝缘层 211、核心层 41 及第二绝缘层 221, 以显露金属层 22 的选定部位。

[0082] 请参照图 27, 经由于支撑板 15 上沉积第一被覆层 21' 并沉积进入第一盲孔 213, 然后图案化支撑板 15 及其上的第一被覆层 21', 以于第一绝缘层 211 上形成第一导线 215。第一导线 215 自第一绝缘层 211 于向下方向延伸, 于第一绝缘层 211 上侧向延伸, 并于向上方向延伸进入第一盲孔 213 以形成第一导电盲孔 217, 其是与接触垫 312 直接接触。并且, 第一被覆层 21' 更沉积于狭孔 411 中以提供屏蔽狭孔 414, 且沉积于金属层 22 上, 然后图案化金属层 22 及其上的第一被覆层 21', 以定义出屏蔽盖 224 及第二导线 225。屏蔽狭槽 414 可作为半导体元件 31 的水平屏障, 并通过第一导线 215 而电性连接至半导体元件 31 的接地接触垫。屏蔽盖 224 可作为半导体元件 31 的垂直屏障, 且通过屏蔽狭槽 414 和第一导线 215 而电性连接至半导体元件 31 的接地接触垫。

[0083] 据此, 如图 27 所示, 完成的线路板 400 包含定位件 123、半导体元件 31、核心层 41、屏蔽狭槽 414 及双增层电路 202, 203。第一增层电路 202 于向下方向覆盖半导体元件 31、定位件 123、及核心层 41, 且第一增层电路 202 包含第一绝缘层 211 及第一导线 215。第二增层电路 203 于向上方向覆盖半导体元件 31 及核心层 41, 且第二增层电路 203 包含第二绝缘层 221 和屏蔽盖 224。屏蔽狭槽 414 接触第一导线 215, 并自第一导线 215 于向上方向延伸至屏蔽盖 224, 及侧向覆盖半导体元件 31, 以及具有朝向向下方向的开放端。屏蔽盖 224 于向上方向覆盖半导体元件 31 并向外侧向延伸至线路板 400 的外围边缘。

[0084] 图 26' 至 27' 是形成与屏蔽盖 224 及第一导线 215 电性接触的屏蔽狭槽 414 的另

一实施态样的剖视图。

[0085] 图 26' 为具有第一盲孔 213 及狭孔 411 的结构剖视图。该结构相似于图 26 所示的结构,除了狭孔 411 延伸穿过金属层 22、第二绝缘层 221、核心层 41 及第一绝缘层 211,以显露支撑板 15 的选定部位。

[0086] 图 27' 为完成的线路板 500 的剖视图,其中经由金属沉积及图案化以提供第一导线 215、屏蔽狭槽 414 及屏蔽盖 224。线路板 500 与图 27 所示结构相似,除了屏蔽狭槽 414 具有朝向向上方向的开放端,且屏蔽盖侧向延伸至线路板 500 的外围边缘。

[0087] 实施例 5

[0088] 图 28 至图 30 是本发明另一较佳实施例的另一线路板的制造方法剖视图,该线路板包含与定位件电性连接的屏蔽狭槽和屏蔽盖。

[0089] 为了简要说明的目的,于实施例 1 中的任何叙述可合并至此处的相同应用部分,且不再重复相同叙述。

[0090] 图 28 为由图 22 至图 25 所示相同步骤所制造的结构剖视图。

[0091] 图 29 为具有第一盲孔 213、狭孔 411 及穿孔 511 的结构剖视图。第一盲孔 213 延伸穿过支撑板 15、第一绝缘层 211 及黏着剂 16,以于向下方向显露半导体元件 31 的接触垫 312 及定位件 123 的选定部位。狭孔 411 延伸穿过金属层 22、第二绝缘层 221 及核心层 41,以于向上方向显露定位件 123 的选定部位。穿孔 511 于垂直方向延伸穿过金属层 22、第二绝缘层 221、核心层 41、第一绝缘层 211 及支撑板 15。

[0092] 请参照图 30,完成的电路板 600,其是经由金属沉积及图案化以提供第一导线 215、屏蔽狭槽 414、屏蔽盖 224 及被覆穿孔 515。经由在支撑板 15 上沉积第一被覆层 21',及沉积进入第一盲孔 213,接着图案化支撑板 15 及其上的第一被覆层 21',以于第一绝缘层 211 上形成第一导线 215。第一导线 215 自第一绝缘层 211 于向下方向延伸,于第一绝缘层 211 上侧向延伸,并于向上方向延伸进入第一盲孔 213 以形成第一导电盲孔 217,其是与接触垫 312 和定位件 123 电性接触。

[0093] 并且,第一被覆层 21'更沉积于狭孔 411 及穿孔 511 中,以提供屏蔽狭孔 411 和被覆穿孔 515,并沉积于金属层 22 上。在此实施例中,金属层 22 及第一被覆层 21'的组合作为屏蔽盖 224,以提供半导体元件 31 的垂直屏障效果。屏蔽狭槽 414 自屏蔽盖 224 于向下方向延伸至定位件 123,且通过定位件 123 及第一导线 215 而电性连接至半导体元件 31 的接地接触垫。屏蔽盖 224 自第二绝缘层 221 于向上方向延伸,且向外侧向延伸至线路板 600 的外围边缘,即通过屏蔽狭槽 414、定位件 123 及第一导线 215 而电性连接至半导体元件 31 的接地接触垫。并且,被覆穿孔 515 提供屏蔽盖 224 和第一增层电路 202 间、屏蔽狭槽 414 及第一增层电路 202 间的另一电性连接路径。

[0094] 实施例 6

[0095] 图 31 至图 33 是本发明再一较佳实施例的再一线路板的制造方法剖视图,其中屏蔽盖通过与定位件接触的导电沟而电性连接至第一增层电路。

[0096] 为了简要说明的目的,于实施例 1 中的任何叙述可合并至此处的相同应用部分,且不再重复相同叙述。

[0097] 图 31 为由图 22 至图 25 所示相同步骤所制造的结构剖视图,除了半导体元件 31 以其非主动面 313 面朝介电层 13 而设置于介电层 13 上,且第一绝缘层 211 及金属层 21 是

提供以于向上方向覆盖半导体元件 31 及核心层 41。在此实施例中，定位件 123 白介电层 13 于向上方向延伸并延伸超过半导体元件 31 的非主动面 313。核心层 41 接触半导体元件 31、定位件 123 及介电层 13，并与半导体元件 31、定位件 123 及介电层 13 压合，其中介电层 13 作为第二绝缘层 221。第一绝缘层 211 接触金属层 21、半导体元件 31、及核心层 41，并提供金属层 21 与半导体元件 31 之间、金属层 21 与核心层 41 之间稳固的机械性连结。

[0098] 图 32 及图 32A 分别为具有第一盲孔 213、沟孔 226、及狭孔 411 的结构剖视图及仰视图。第一盲孔 213 延伸穿过金属层 21 及第一绝缘层 211，以显露半导体元件 31 的接触垫 312。沟孔 226 延伸穿过支撑板 15 及第二绝缘层 221，以于向下方向显露定位件 123 的选定部位。狭孔 411 延伸穿过金属层 21、第一绝缘层 211 及核心层 41，以于向上方向显露定位件 123 的选定部位。如图 32A 所示，沟孔 226 是经由机械切割，沿着四条对准定位件 123 的四个侧边的切割线穿过支撑板 15 及第二绝缘层 221 而形成。

[0099] 图 33 为完成的线路板 700 的剖视图，其经由金属沉积及图案化，以提供第一导线 215、屏蔽狭槽 414、屏蔽盖 224 及导电沟 228。经由在金属层 21 上沉积第一被覆层 21' 并沉积进入第一盲孔 213，然后图案化金属层 21 及其上的第一被覆层 21'，以于第一绝缘层 211 上形成第一导线 215。并且，第一被覆层 21' 更沉积进入狭孔 411 及沟孔 226 以提供屏蔽狭槽 414 及导电沟 228，及沉积于支撑板 15 上。在此实施例中，支撑板 15 和第一被覆层 21' 的组合视为屏蔽盖 224。屏蔽狭槽 414 和定位件 123 的组合可作为半导体元件 31 的水平屏障，且通过第一导线 215 而电性连接至半导体元件 31 的接地接触垫。屏蔽盖 224 可作为半导体元件 31 的垂直屏障，且通过导电沟 228、定位件 123、屏蔽狭槽 414 及第一导线 215 而电性连接至半导体元件 31 的接地接触垫。

[0100] 另一实施态样如图 33' 所示，屏蔽盖 224 可通过第二导电盲孔 227 而电性连接至定位件 123。据此，线路板 800 中，屏蔽盖 224 通过第二导电盲孔 227、定位件 123、屏蔽狭槽 414 及第一导线 215 而电性连接至半导体元件 31 的接地接触垫。

[0101] 实施例 7

[0102] 图 34 至图 36 是本发明又一较佳实施例的又一线路板的制造方法剖视图，其中屏蔽盖通过被覆穿孔而电性连接至第一增层电路。

[0103] 为了简要说明的目的，于实施例 1 中的任何叙述可合并至此处的相同应用部分，且不再重复相同叙述。

[0104] 图 34 为如图 31 所示相同结构的剖视图。

[0105] 图 35 为具有第一盲孔 213、狭孔 411 及穿孔 511 的结构剖视图。第一盲孔 213 延伸穿过金属层 21 及第一绝缘层 211，以显露半导体元件 31 的接触垫 212。沟孔 411 延伸穿过金属层 21、第一绝缘层 211 及核心层 41，已于向上方向显露定位件 123 的选定部位。穿孔 511 于垂直方向延伸穿过金属层 21、第一绝缘层 211、核心层 41、第二绝缘层 221 及支撑板 15。

[0106] 图 36 为完成的电路板 900 的剖视图，其是经由金属沉积及图案化以提供第一导线 215、屏蔽狭槽 414、屏蔽盖 224 及被覆穿孔 515。经由在金属层 21 上沉积第一被覆层 211 及沉积进入第一盲孔 213，接着图案化金属层 21 及其上的第一被覆层 21'，以于第一绝缘层 211 上形成第一导线 215。并且，第一被覆层 21' 更沉积于狭孔 411 及穿孔 511 中以提供屏蔽狭槽 414 及被覆穿孔 515，且沉积于支撑板 15 上。在此实施例中，支撑板 15 和第一被覆

层 21' 的组合作为屏蔽盖 224。屏蔽狭槽 414 和定位件 123 的组合可作为半导体元件 31 的水平屏障，且通过第一导线 215 而电性连接至半导体元件 31 的接地接触垫。屏蔽盖 224 可作为半导体元件 31 的垂直屏障，且通过被覆穿孔 515 及第一导线 215 而电性连接至半导体元件 31 的接地接触垫。

[0107] 实施例 8

[0108] 图 37 至图 39 是本发明一较佳实施例的三维堆叠组体的制造方法剖视图，该三维堆叠组体包含多个线路板，其是以面对背的方式堆叠。

[0109] 为了简要说明的目的，于实施例 1 中的任何叙述可合并至此处的相同应用部分，且不再重复相同叙述。

[0110] 图 37 为具有位于两相邻电路板 110、120 间的内介电层 261 的结构剖视图。线路板 110、120 与图 27 所示相同，除了线路板 110、120 更分别包括第三绝缘层 231 及第四绝缘层 241。线路板 110、120 为垂直堆叠并利用内介电层 261 而互相结合，其中内介电层 261 接触并位于线路板 110 的第二绝缘层 221/ 屏蔽盖 224/ 第二导线 225 及线路板 120 的第一绝缘层 211/ 第一导线 215 之间。第三绝缘层 231 于向下方向覆盖及接触线路板 110 的第一绝缘层 211 及第一导线 215，且包含对准第一导线 215 的选定部位的第三盲孔 233。第四绝缘层 241 于向上方向覆盖及接触线路板 120 的第二绝缘层 221、屏蔽盖 224 及第二导线 225。

[0111] 图 38 为具有穿孔 511 的结构剖视图。穿孔 511 于垂直方向延伸穿过线路板 110、120 及内介电层 261。

[0112] 请参照图 39，线路板 110、120 分别具有第三导线 225 及第四导线 245。第三导线 235 于第三绝缘层 231 朝向下方向延伸，于第三绝缘层 231 上侧向延伸，并延伸进入第三盲孔 233 以形成第三导电盲孔 237，其是与第一导线 215 电性接触。第四导线 245 于第四绝缘层 241 朝向上方向延伸，并于第四绝缘层 241 上侧向延伸。亦如图 39 所示，被覆穿孔 515 是经由在穿孔 511 中沉积金属所形成。据此，完成的堆叠组体 101 包含多个线路板 110、120、内介电层 261 及被覆穿孔 515。线路板 110、120 各自包含定位件 123、半导体元件 31、核心层 41、屏蔽狭槽 414、第一增层电路 202 及第二增层电路 203。被覆穿孔 515 实质上由线路板 110、120 共享，且延伸穿过内介电层 261 及线路板 110、120，以提供线路板 110、120 间的电性连接。

[0113] 实施例 9

[0114] 图 40 至图 42 是本发明另一较佳实施例的另一三维堆叠组体的制造方法剖视图，该三维堆叠组体包含多个线路板，其是以背对背的方式堆叠。

[0115] 为了简要说明的目的，于实施例 1 中的任何叙述可合并至此处的相同应用部分，且不再重复相同叙述。

[0116] 图 40 为具有设于多个线路板 130、140 间的内介电层 261 的结构剖视图。线路板 130、140 为与图 3 所示相同，并以背对背的方式垂直堆叠，且利用内介电层 261 而互相结合，其中内介电层 261 设于线路板 130、140 之间，并接触各线路板 130、140 的屏蔽盖 224。

[0117] 图 41 为具有第一盲孔 213、狭孔 411 及穿孔 511 的结构剖视图。第一盲孔 213 延伸穿过金属层 21 及第一绝缘层 211，以显露各线路板 130、140 中半导体元件 31 的接触垫 312。狭孔 411 延伸穿过金属层 21、第一绝缘层 211 及核心层 41，以显露各线路板 130、140 中屏蔽盖 224 的选定部位。穿孔 511 于垂直方向延伸穿过线路板 130、140 及内介电层 261。

[0118] 请参照图 42, 各线路板 130, 140 通过金属沉积及图案化以形成第一导线 215。第一导线 215 自第一绝缘层 211 垂直延伸, 于第一绝缘层 211 上侧向延伸, 并延伸进入第一盲孔 213 以形成第一导电盲孔 217, 其是与半导体元件 31 的接触垫 312 电性连接。亦如图 42 所示, 通过在狭孔 411 及穿孔 511 中沉积金属, 以形成屏蔽狭槽 414 和被覆穿孔 515。据此, 完成的堆叠组体 102 包含线路板 130、140、内介电层 261 及被覆穿孔 515。各线路板 130、140 包含定位件 123、屏蔽盖 224、屏蔽狭槽 414、半导体元件 31、核心层 41 及增层电路 201。被覆穿孔 515 实质上由线路板 130、140 共享, 并延伸穿过内介电层 261 及线路板 130、140, 以提供线路板 130、140 间的电性连接。

[0119] 上述的线路板以及三维堆叠组体仅为说明范例, 本发明尚可通过其他多种实施例实现。此外, 上述实施例可基于设计及可靠度的考虑, 彼此混合搭配使用或与其他实施例混合搭配使用。线路板可包括多个阵列排序的屏蔽狭槽及屏蔽盖, 用于多个并排的半导体元件; 且增层电路可包括额外导线, 以容纳额外的半导体元件、屏蔽狭槽及屏蔽盖。同理, 线路板可包含复阵列定位件以容纳额外的半导体元件。

[0120] 半导体元件可为已封装或未封装芯片。此外, 该半导体元件可为裸芯片或晶圆级封装芯片 (wafer level packaged die) 等。定位件、屏蔽盖以及由屏蔽狭槽定义区域可客制化以容纳单一半导体元件, 举例来说, 定位件的图案可为正方形或矩形, 倘与单一半导体元件的形状相同或相似。四个屏蔽狭槽的各组可定义为正方形或矩形, 倘与单一半导体元件的形状相同或相似。同理, 屏蔽盖亦可客制化以与单一半导体元件的形状相同或相似。

[0121] 在本文中, “邻接”一词意指元件是一体成型 (形成单一个体) 或相互接触 (彼此无间隔或未隔开)。例如, 接触垫邻接于第一导线, 但并未邻接于第二导线。

[0122] “重叠”一词意指位于上方并延伸于一下方元件的周缘内。[重叠] 包含延伸于该周缘的内、外或坐落于该周缘内。例如, 在第一增层电路面朝向上方向时, 第一增层电路是重叠于半导体元件, 此乃因一假想垂直线可同时贯穿第一增层电路与半导体元件, 不论第一增层电路与半导体元件之间是否存有另一同样被该假想垂直线贯穿的元件 (如: 黏着剂), 且亦不论是否有另一假想垂直线仅贯穿第一增层电路而未贯穿半导体元件 (半导体元件的周缘外)。同样地, 第一增层电路是重叠于核心层, 且核心层是被第一增层电路重叠。此外, “重叠”与“位于上方”同义, “被重叠”则与“位于下方”同义。

[0123] “接触”一词意指直接接触。例如, 第一导电盲孔接触半导体元件的接触垫, 但第二导电盲孔并未接触半导体元件的接触垫。

[0124] “覆盖”一词意指于垂直及 / 或侧面方向上不完全以及完全覆盖。例如, 在第一增层电路面朝向上方向的状态下, 第一增层电路于向上方向覆盖半导体元件, 不论是否有另一元件 (如: 黏着剂) 位于半导体元件与第一增层电路之间。

[0125] “层”字包含图案化及未图案化的层体。例如, 当金属层设置于介电层上时, 金属层可为一空白未经光刻及湿式蚀刻的平板。此外, “层”可包含多个叠合层。

[0126] “对准”、“对齐”一词意指元件间的相对位置, 不论元件之间是否彼此保持距离或邻接, 或一元件插入且延伸进入另一元件中。例如, 当假想的水平线贯穿定位件及半导体元件时, 定位件侧向对准于半导体元件, 不论定位件与半导体元件之间是否具有其他被假想线贯穿的元件, 且不论是否具有另一贯穿半导体元件但不贯穿定位件的假想垂直线、或另一贯穿定位件但不贯穿半导体元件的假想垂直线。同样地, 屏蔽狭槽是侧向对准半导体元

件,第一盲孔对准半导体元件的接触垫、且屏蔽盖对准半导体元件。

[0127] “靠近”一词意指元件间的间隙的宽度不超过最大可接受范围。如本领域习知通识,当半导体元件以及定位件间的间隙不够窄时,由于半导体元件于间隙中的横向位移而导致半导体元件的位置误差可能会超过可接受的最大误差限制,一旦半导体元件的位置误差超过最大极限时,则不可能使用激光束对准接触垫,而导致半导体元件以及增层电路间的电性连接错误。因此,根据半导体元件的接触垫的尺寸,于本领域的技术人员可经由试误法以确认半导体元件以及定位件间的间隙的最大可接受范围,从而避免半导体元件以及增层电路间的电性连接错误。由此,“定位件靠近半导体元件的外围边缘”的用语是指半导体元件的外围边缘以及定位件间的间隙是窄到足以防止半导体元件的位置误差超过可接受的最大误差限制。

[0128] “设置”、“层叠”、“附着”、及“贴附”一语包含接触与非接触单一或多个支撑元件。例如,半导体元件是设置于屏蔽盖上,不论此半导体元件是实际接触屏蔽盖或与屏蔽盖以一黏着剂相隔。

[0129] “电性连接”一词意指直接或间接电性连接。例如,被覆穿孔提供了第一导线的电性连接,其不论被覆穿孔是否邻接第一导线、或经由第三导线电性连接至第一导线。

[0130] “上方”一词意指向上延伸,且包含邻接与非邻接元件以及重叠与非重叠元件。例如,当第一增层电路面朝向下方向时,定位件于其上方延伸,邻接第一绝缘层并自第一绝缘层突伸而出。

[0131] “下方”一词意指向下延伸,且包含邻接与非邻接元件以及重叠与非重叠元件。例如,在第一增层电路面朝向下方向时,第一增层电路于向下方向延伸于半导体元件下方,不论第一增层电路是否邻接该半导体元件。

[0132] “第一垂直方向”及“第二垂直方向”并非取决于线路板的定向,凡熟悉此项技术的人士即可轻易了解其实际所指的方向。例如,半导体元件的主动面朝第一垂直方向,且半导体元件的非主动面朝第二垂直方向,此与线路板是否倒置无关。屏蔽狭槽或被覆穿孔的第一端面朝第一垂直方向,且屏蔽狭槽或被覆穿孔的第二端面朝第二垂直方向。同样地,定位件是沿一侧向平面〔侧向〕对准半导体元件,此与线路板是否倒置、旋转或倾斜无关。因此,该第一及第二垂直方向是彼此相反且垂直于侧面方向,且侧向对准的元件是在垂直于第一与第二垂直方向的侧向平面相交。再者,当半导体元件的主动面朝向下方向时,第一垂直方向为向下方向,第二垂直方向为向上方向;当半导体元件的非主动面朝向上方向时,第一垂直方向为向上方向,第二垂直方向为向下方向。

[0133] 本发明的线路板以及使用其的三维堆叠组体具有多项优点。屏蔽狭槽及屏蔽盖可分别作为半导体元件的水平及垂直EMI屏障,以减少电磁干扰。由于增层电路的高路由选择能力,由增层电路提供的信号路由利于高I/O值以及高性能的应用。可依实际需求选择性地于线路板中提供定位件。例如,定位件可作为被屏蔽的半导体元件的精准的配置导件。由于半导体元件由黏着剂结合至增层电路或屏蔽盖,在固化期间可避免因配置错误或黏着剂回流造成的任何位移。因此,线路板及三维堆叠组体的可靠度高、价格平实且极适合量产。

[0134] 本案的制作方法具有高度适用性,且是以独特、进步的方式结合运用各种成熟的电性连结及机械性连结技术。此外,本案的制作方法不需昂贵工具即可实施。因此,相较于

传统封装技术，此制作方法可大幅提升产量、良率、效能与成本效益。

[0135] 在此所述的实施例是为例示的用，其中所述实施例可能会简化或省略本技术领域已熟知的元件或步骤，以免模糊本发明的特点。同样地，为使附图清晰，附图亦可能省略重复或非必要的元件及元件符号。

[0136] 精于此项技术的人士针对本文所述的实施例当可轻易思及各种变化及修改的方式。例如，前述的材料、尺寸、形状、大小、步骤的内容与步骤的顺序皆仅为范例。本领域人士可于不悖离如随附的权利要求范围所定义的本发明精神与范畴的条件下，进行变化、调整与均等技术。

[0137] 虽然本发明已于较佳实施态样中说明，然而应当了解的是，在不悖离本发明权利要求范围的精神以及范围的条件下，可对于本发明进行可能的修改以及变化。

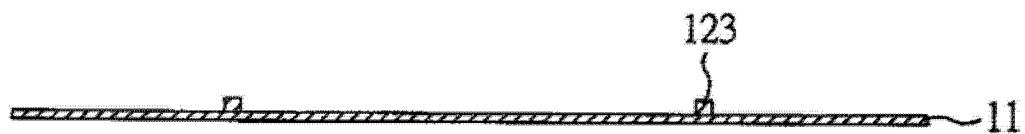


图 1

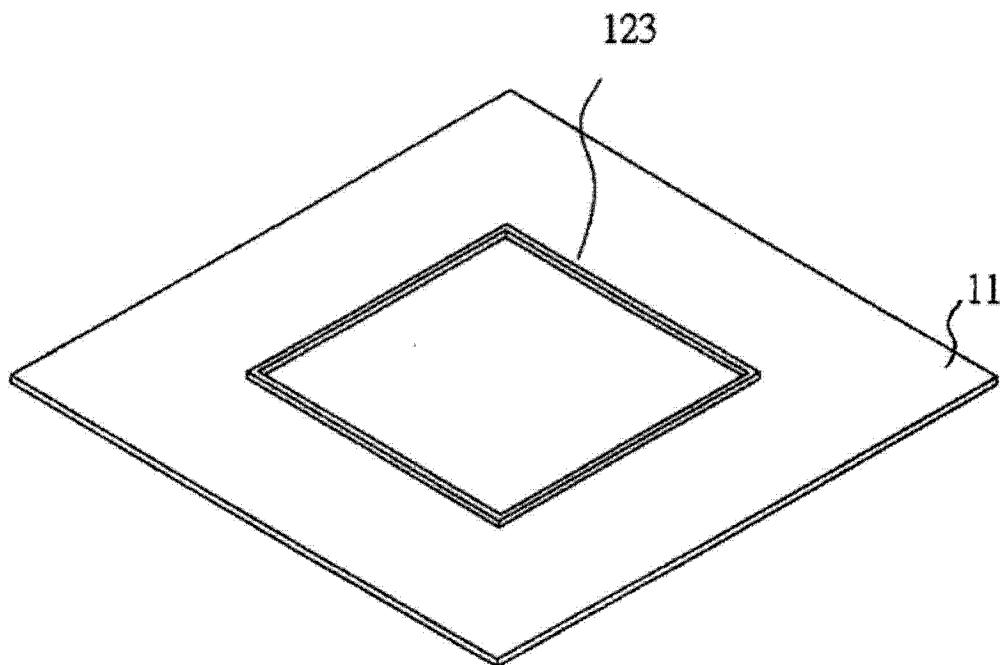


图 1A

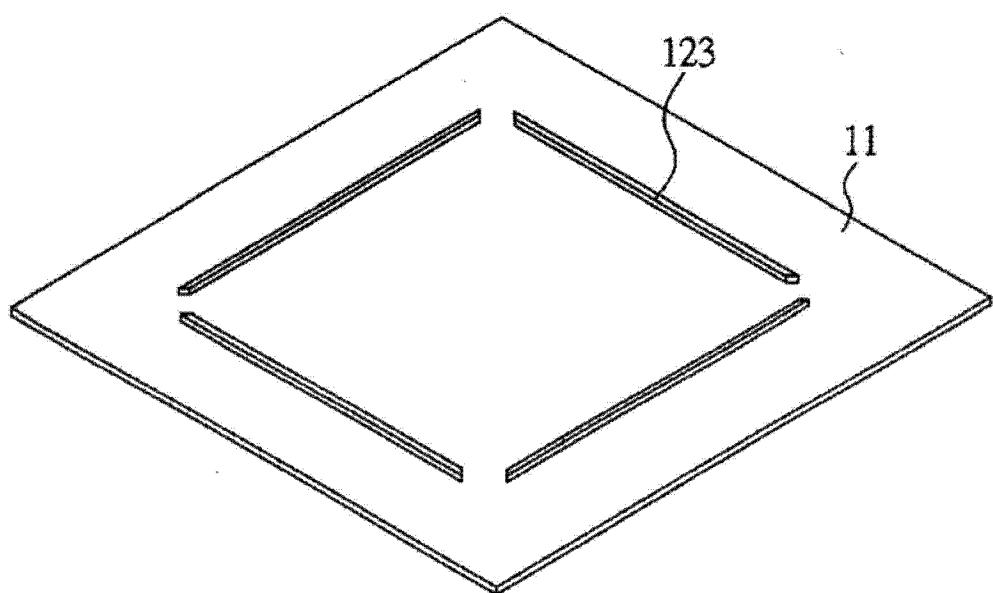


图 1B

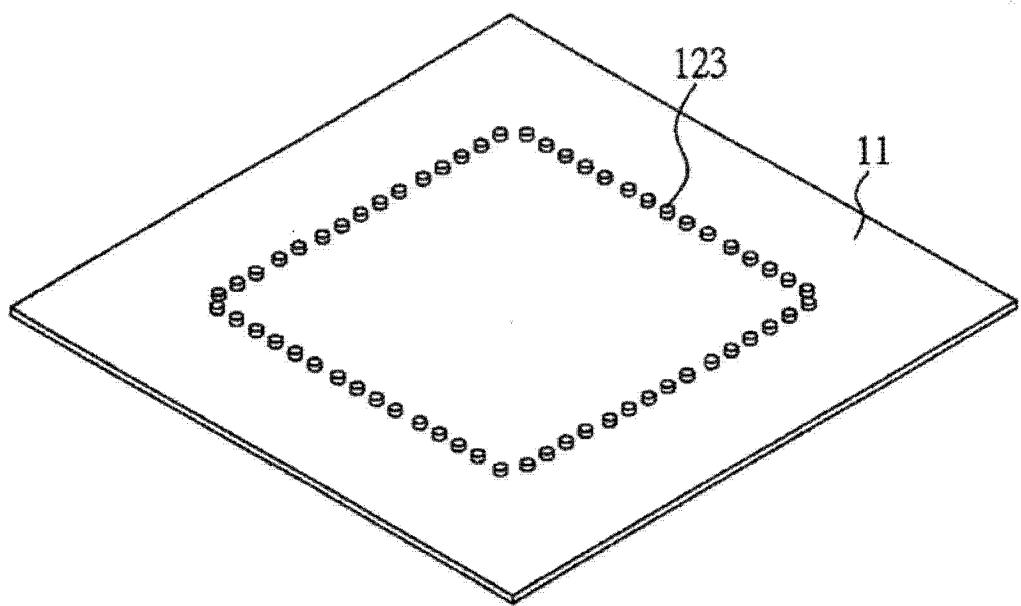


图 1C

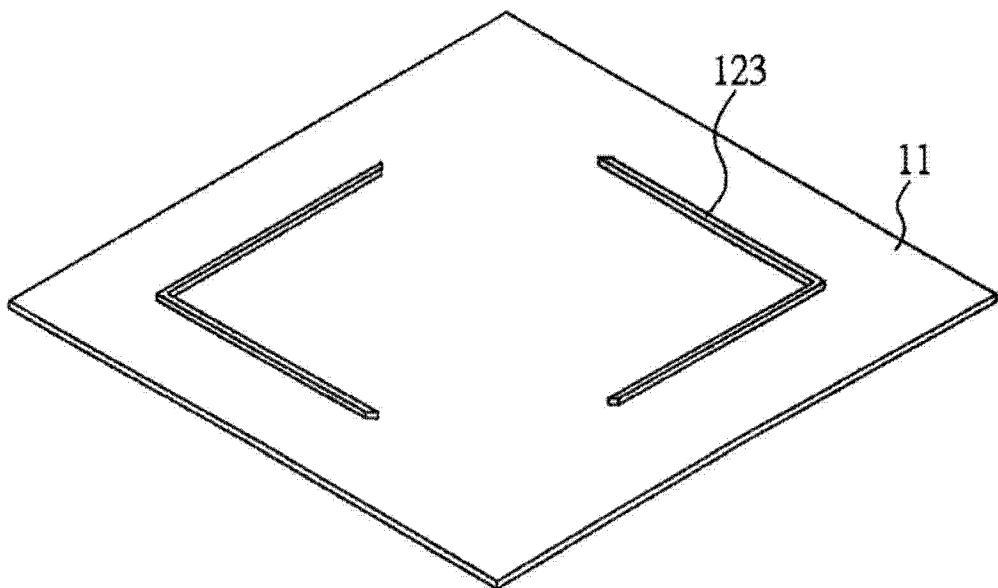


图 1D

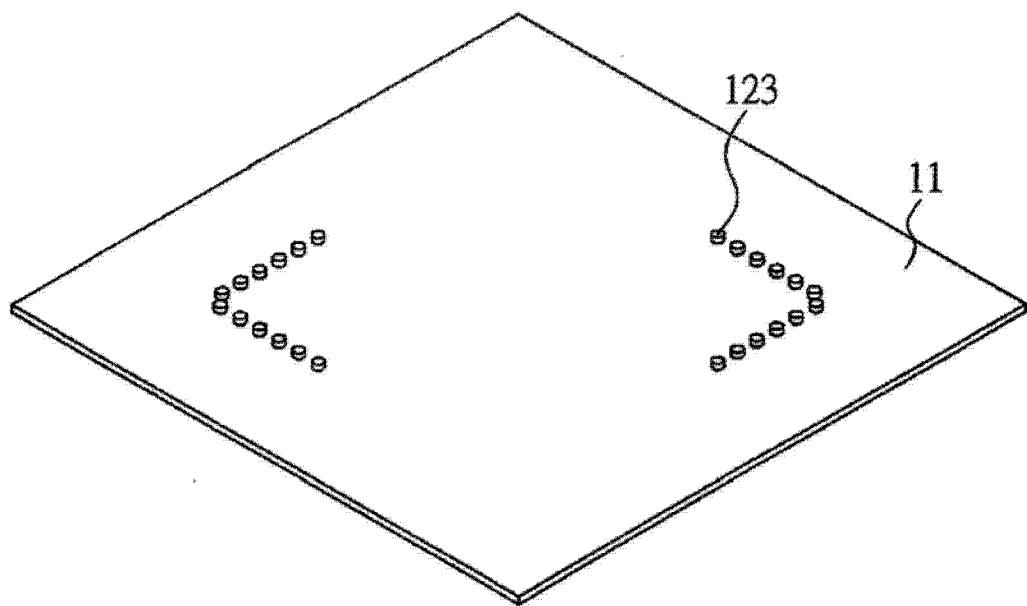


图 1E

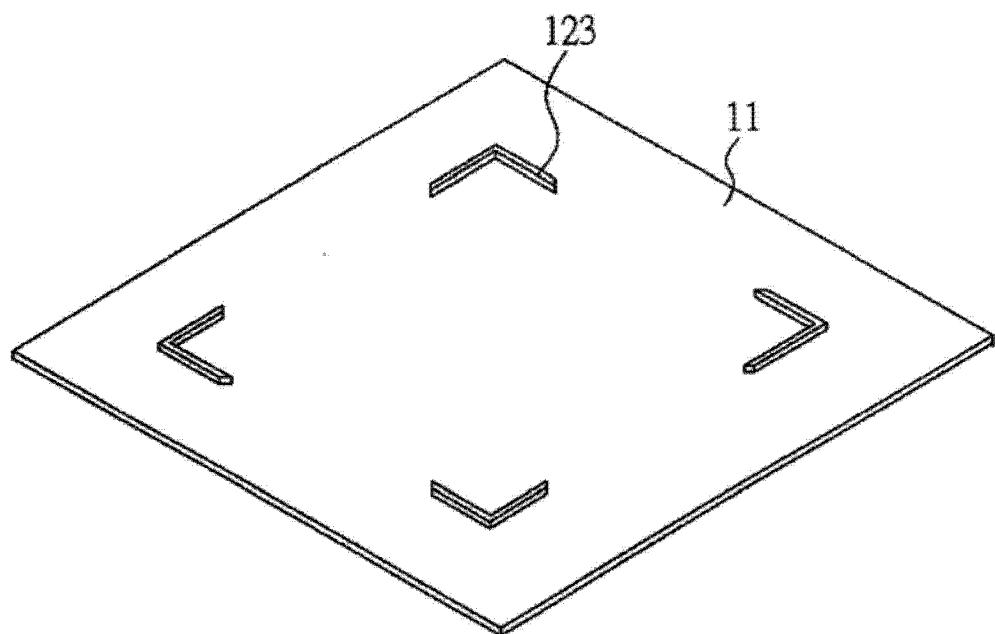


图 1F

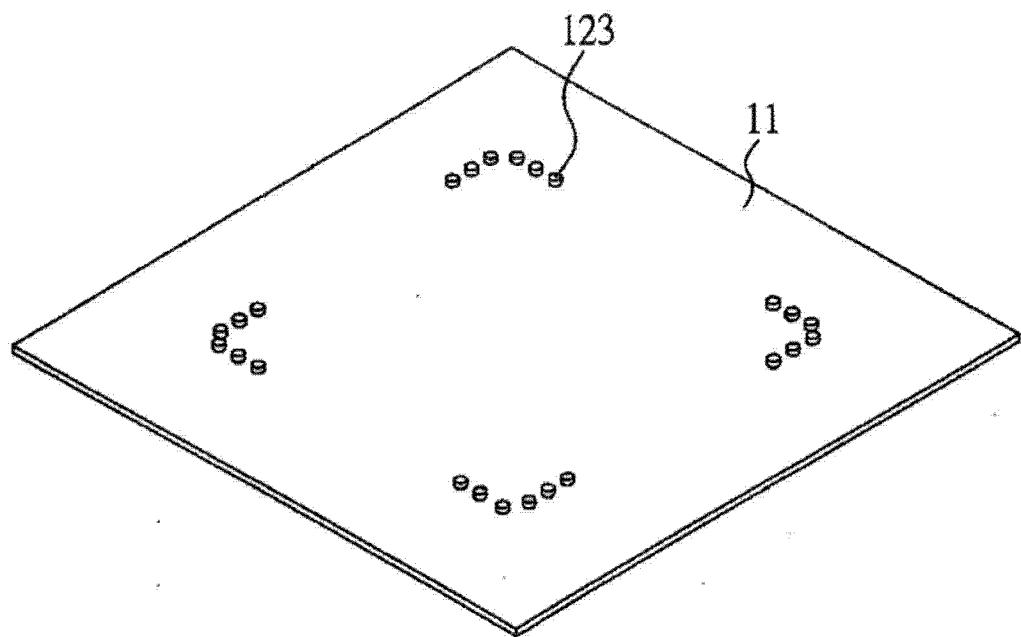


图 1G

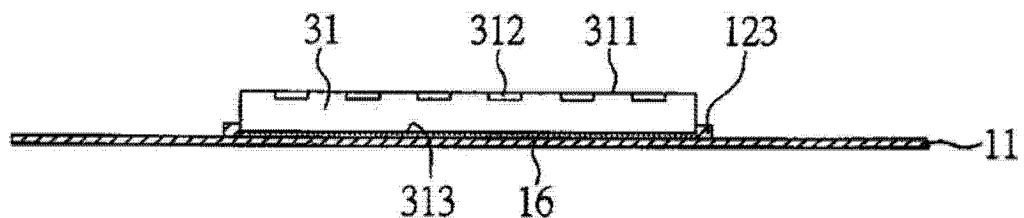


图 2

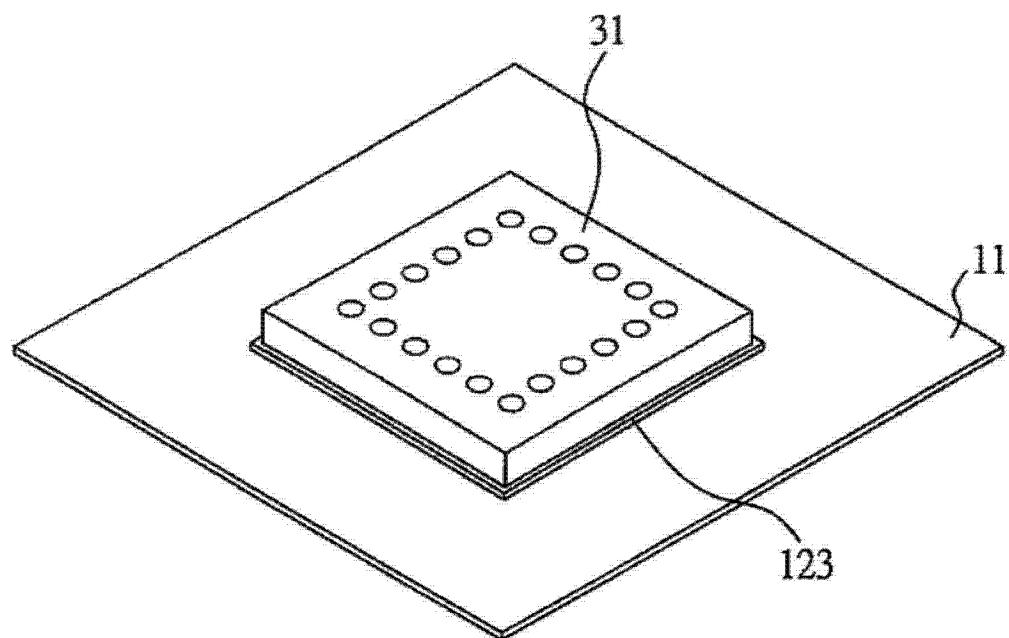


图 2A

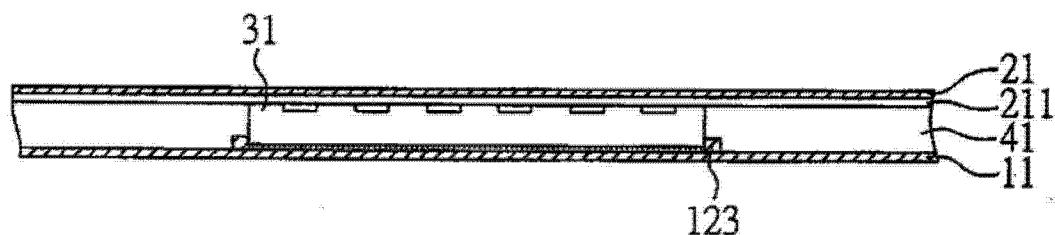


图 3

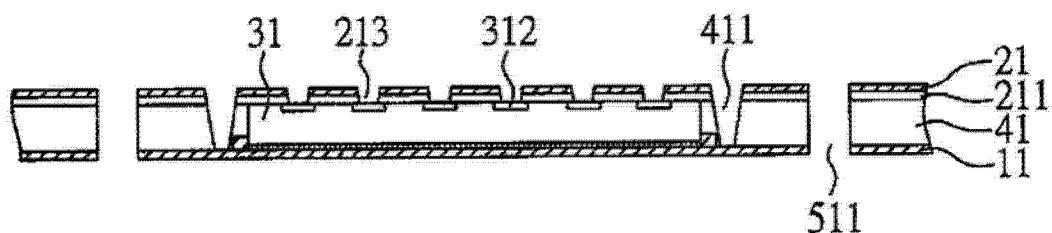


图 4

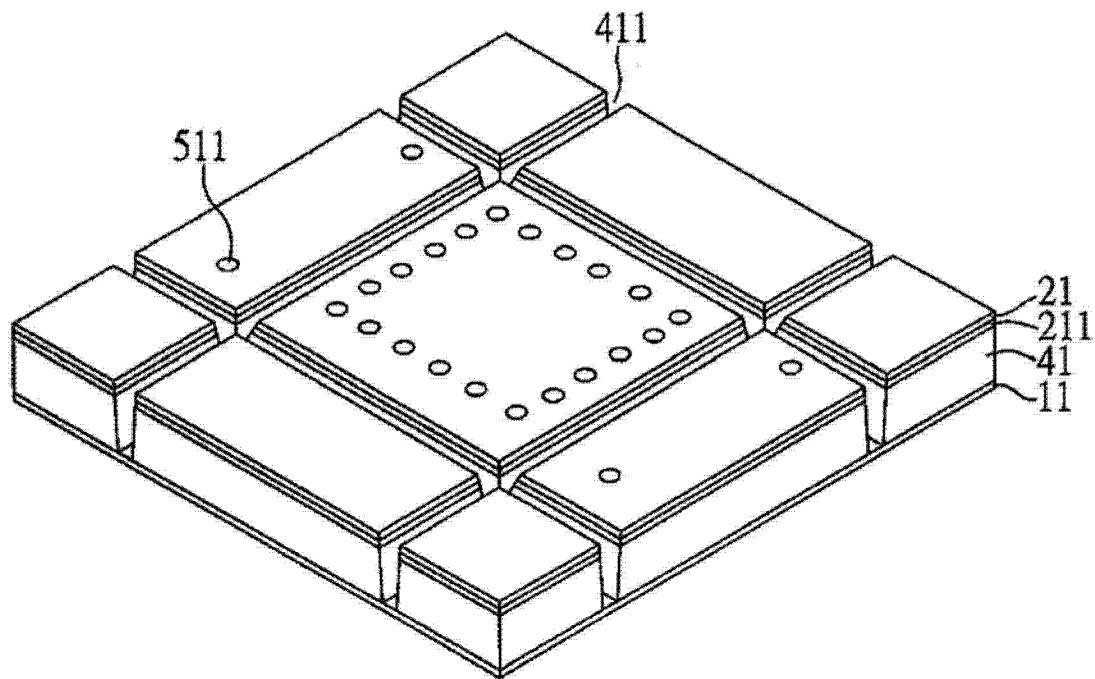


图 4A

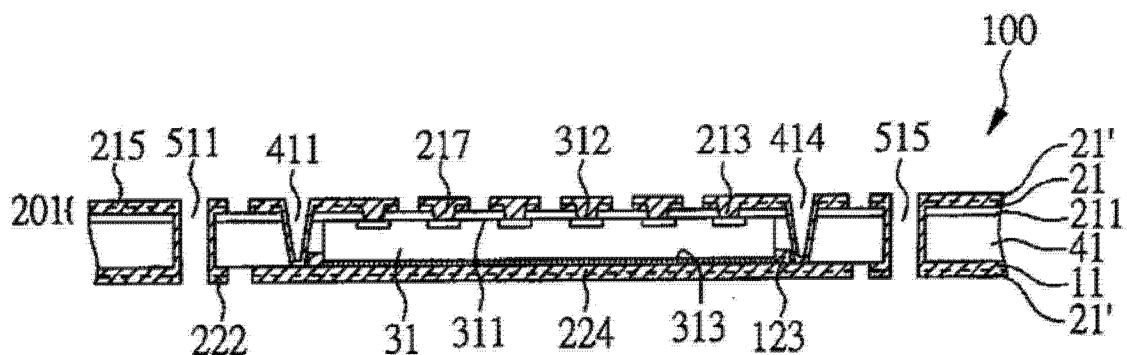


图 5

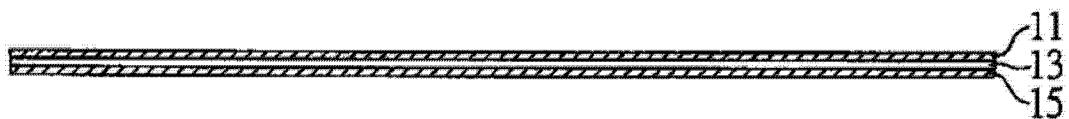


图 6

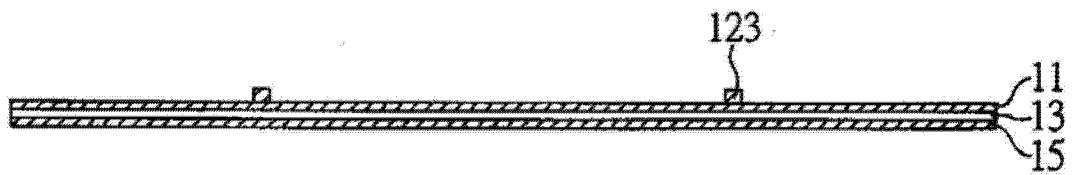


图 7

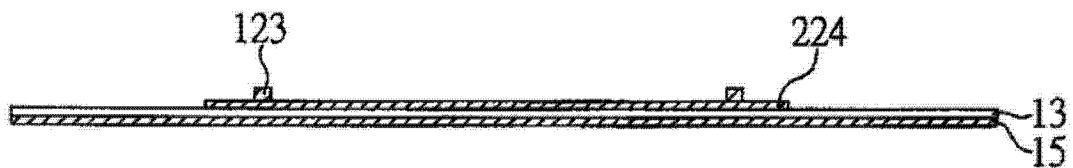


图 8

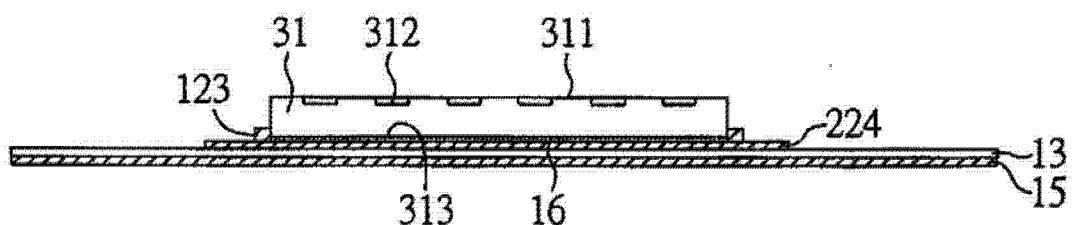


图 9

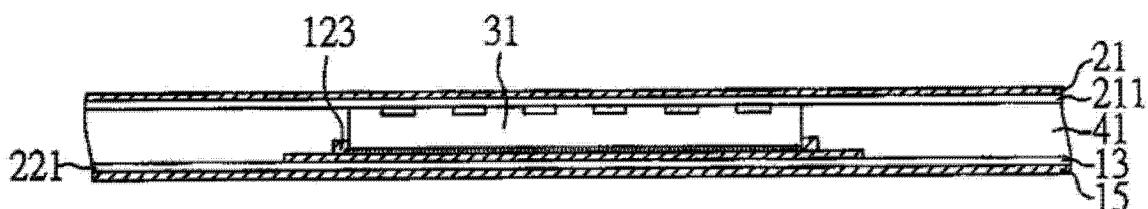


图 10

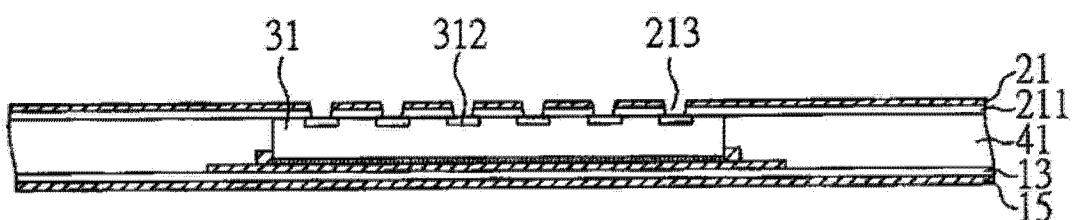


图 11

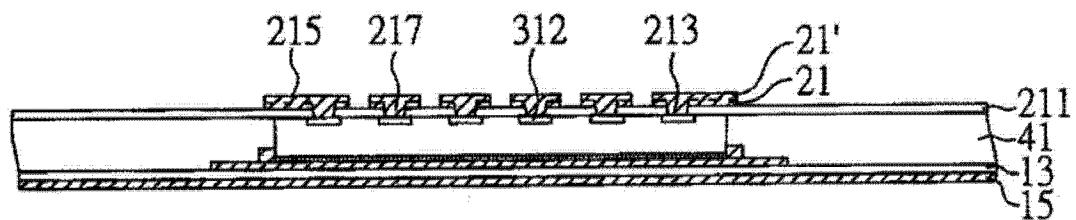


图 12

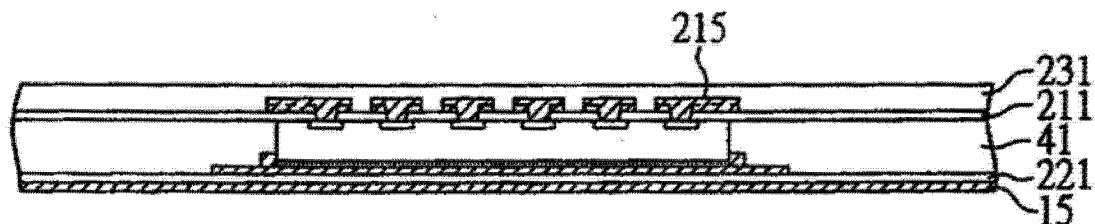


图 13

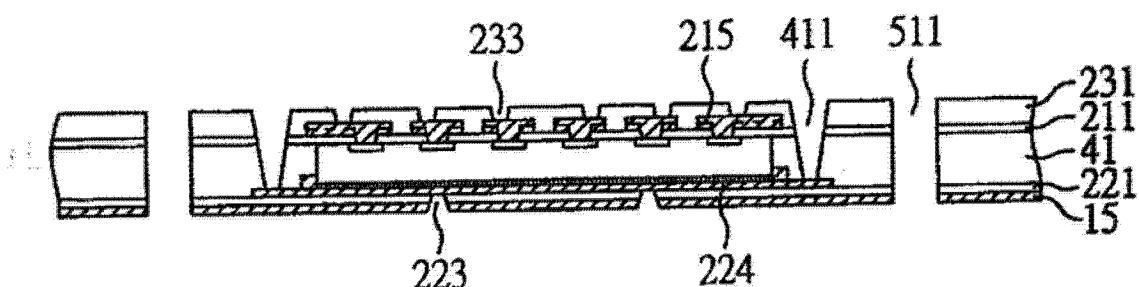


图 14

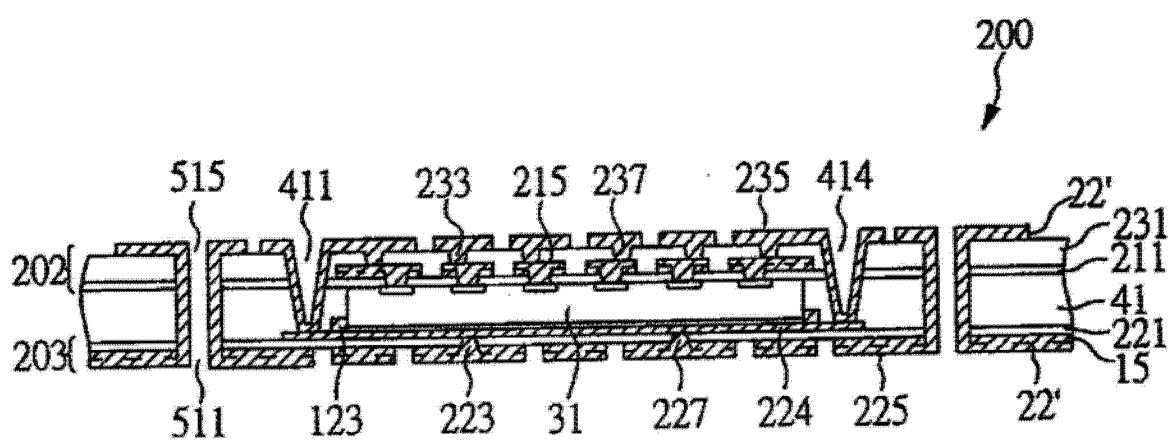


图 15

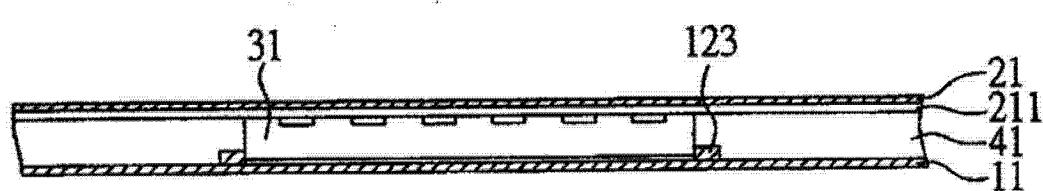


图 16

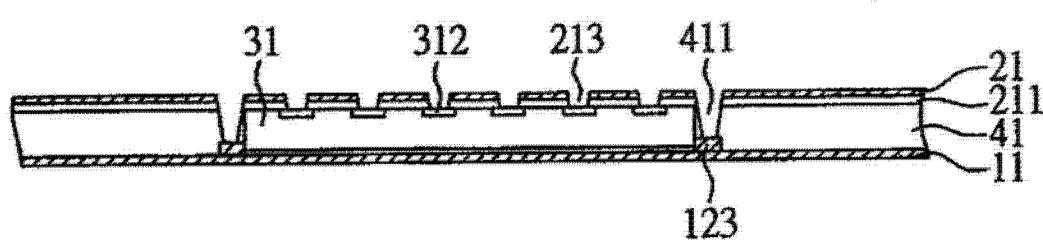


图 17

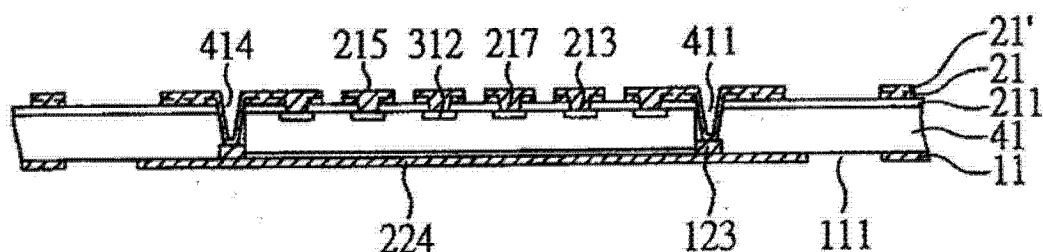


图 18

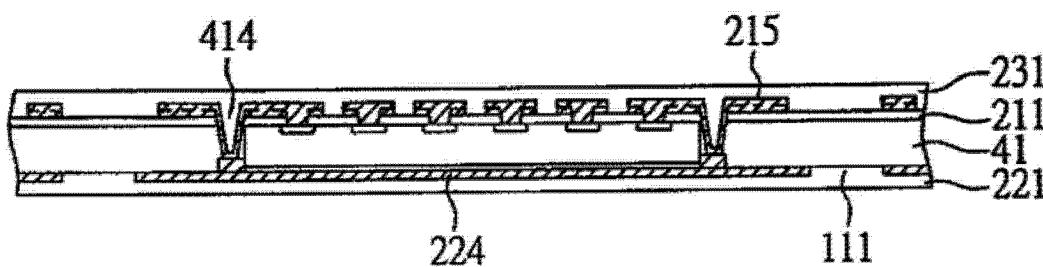


图 19

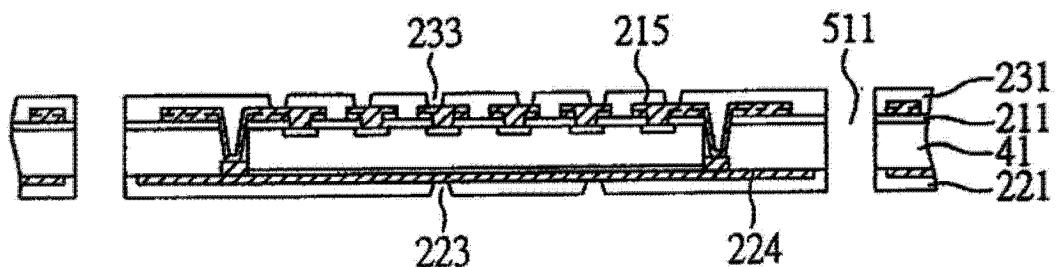


图 20

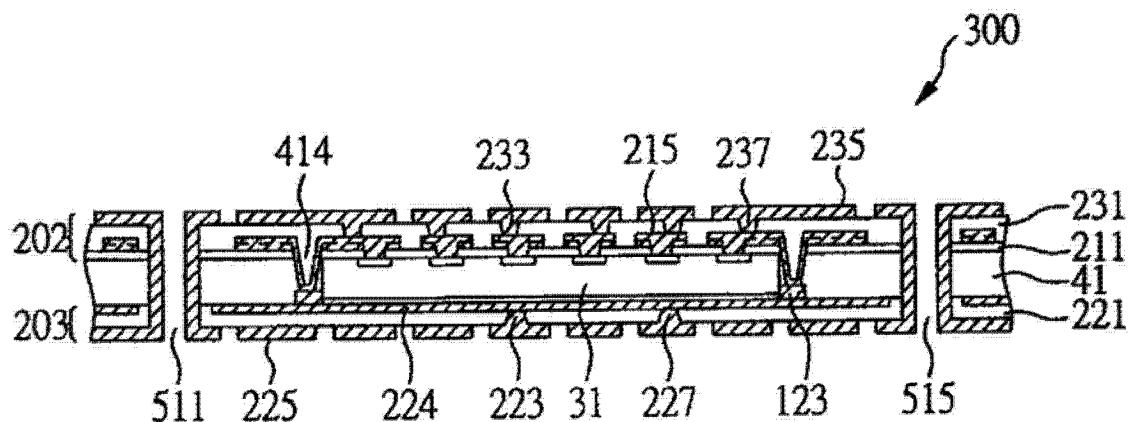


图 21

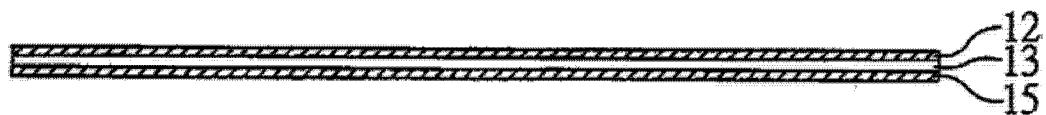


图 22

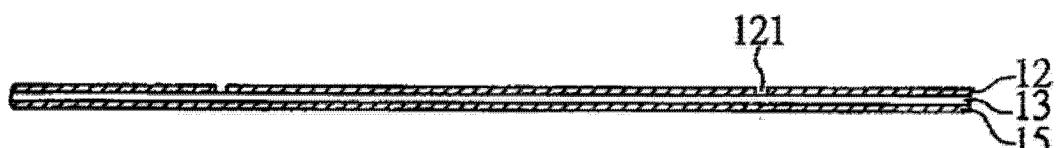


图 22'

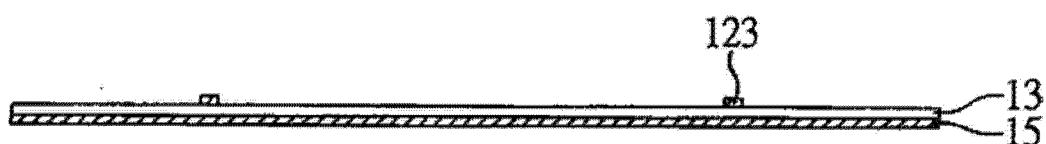


图 23

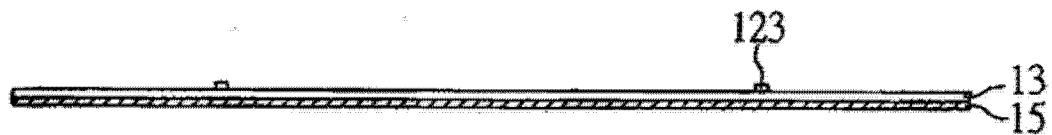


图 23'

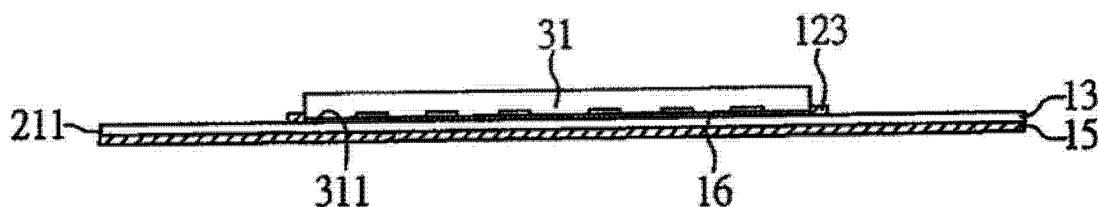


图 24

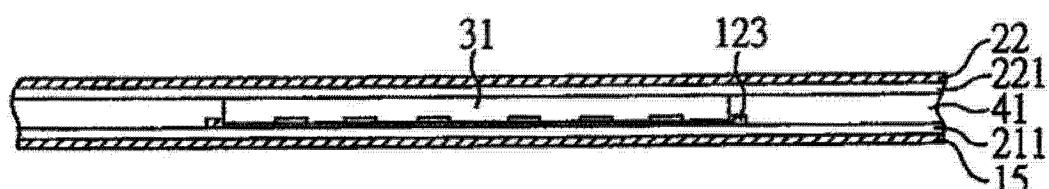


图 25

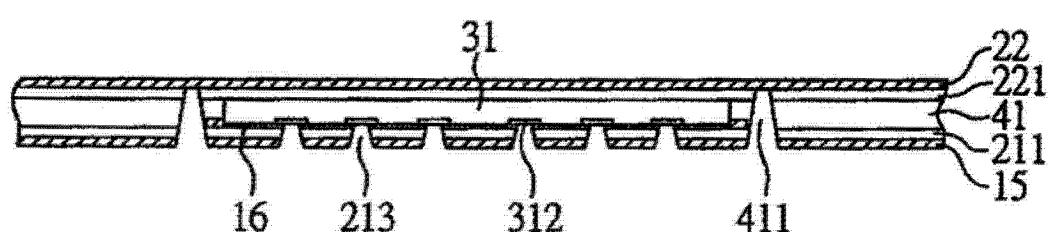


图 26

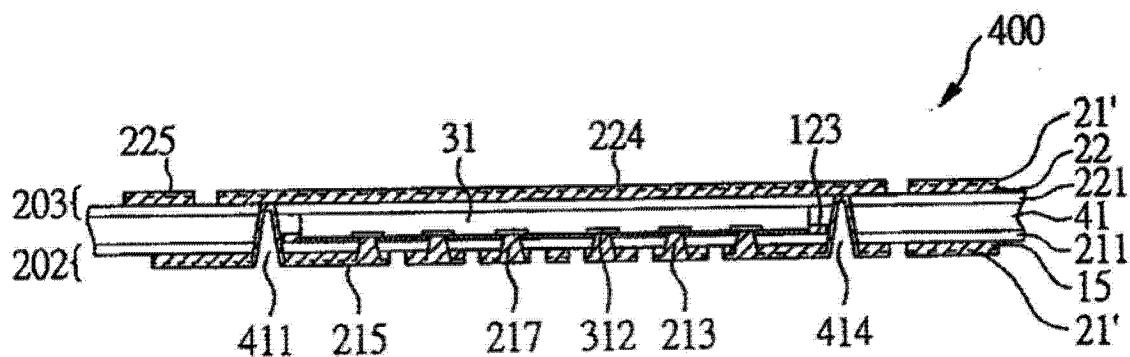


图 27

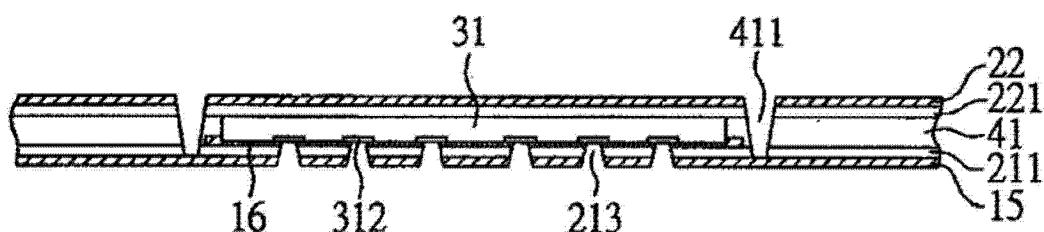


图 26'

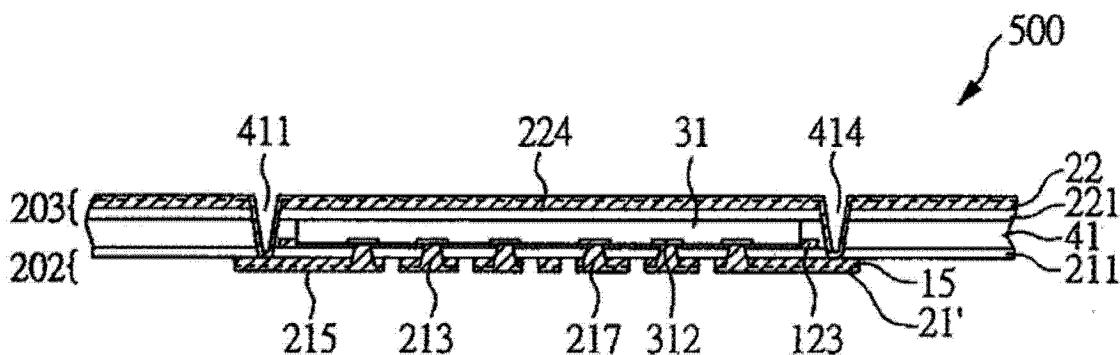


图 27'

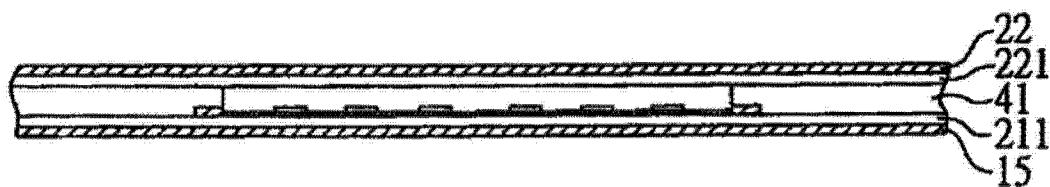


图 28

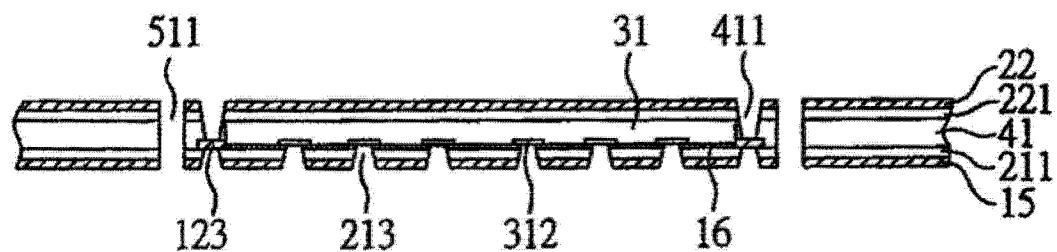


图 29

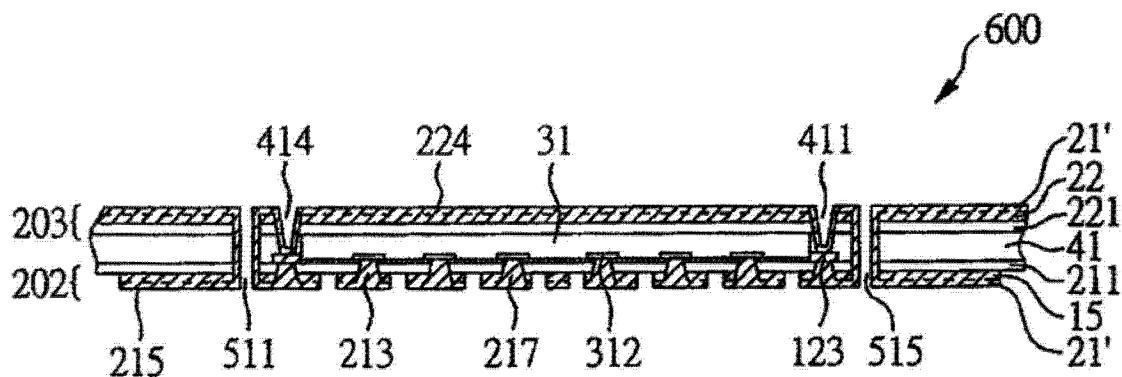


图 30

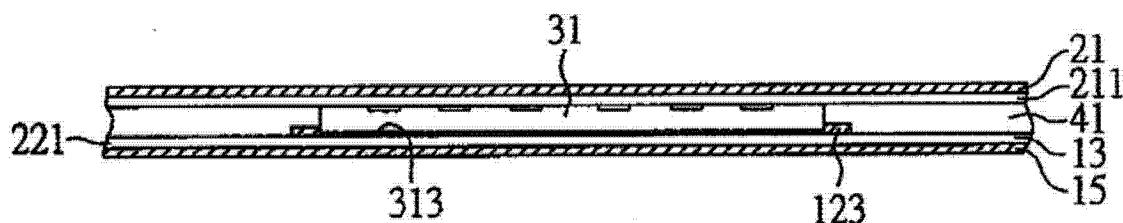


图 31

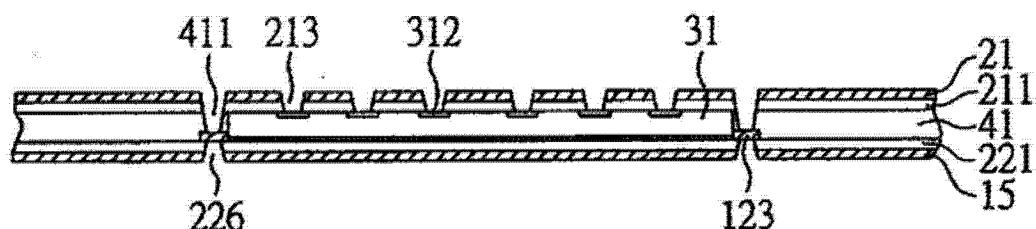


图 32

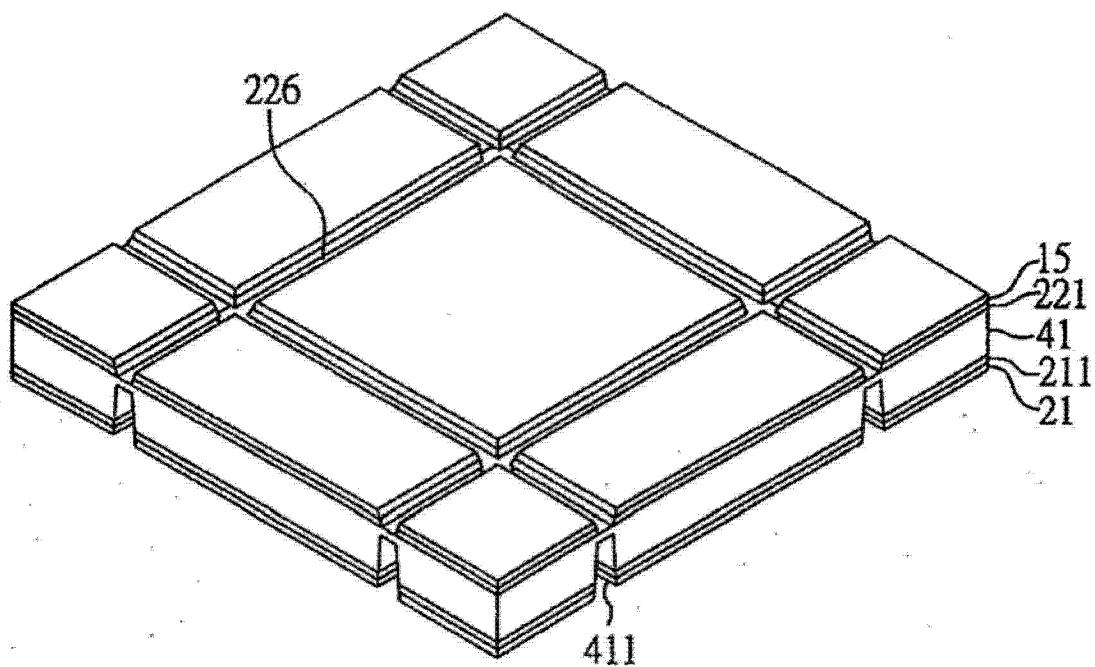


图 32A

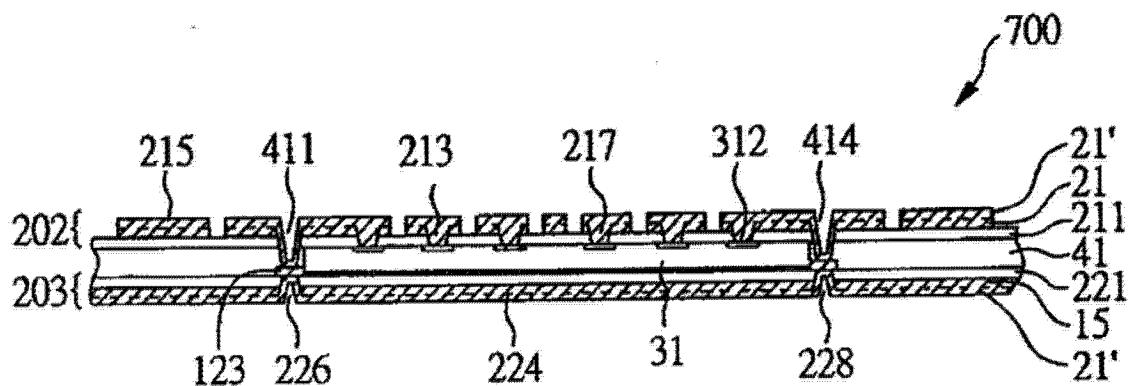


图 33

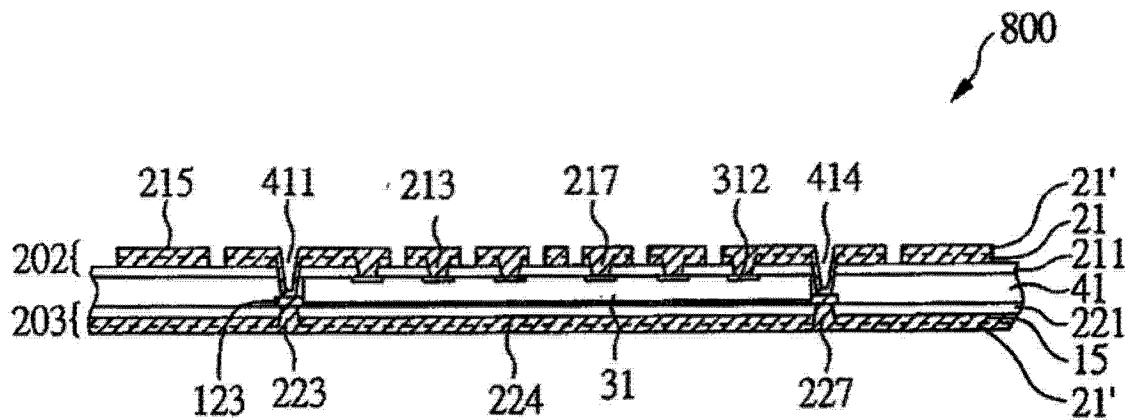


图 33'

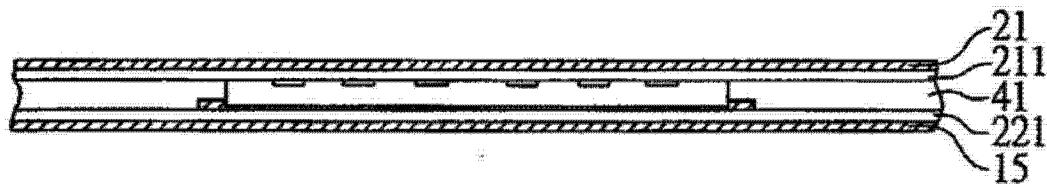


图 34

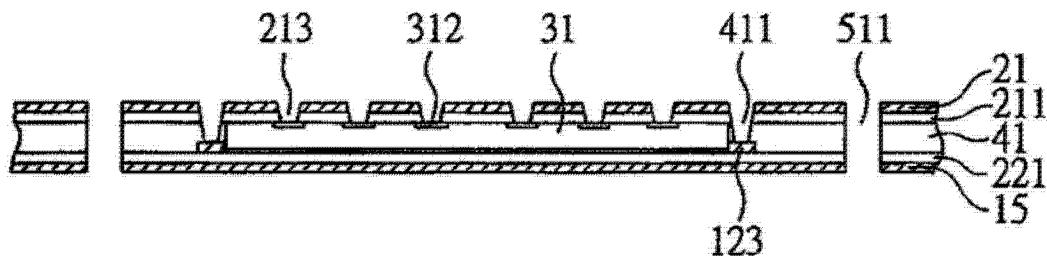


图 35

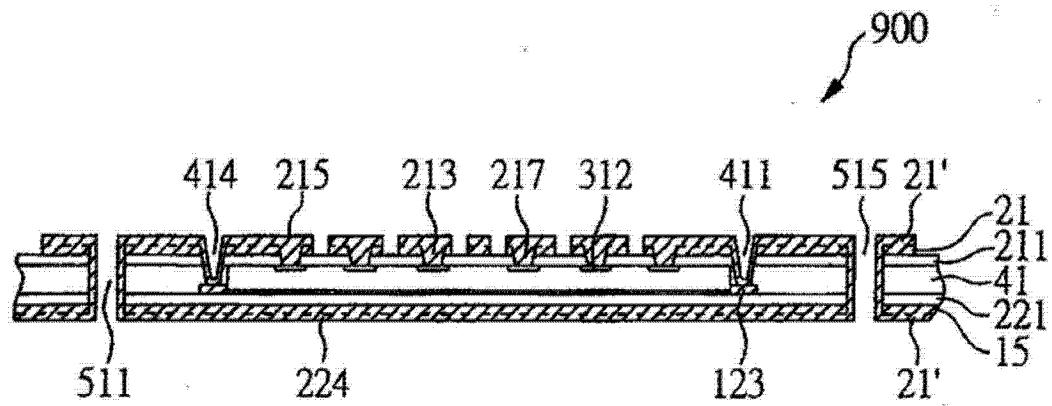


图 36

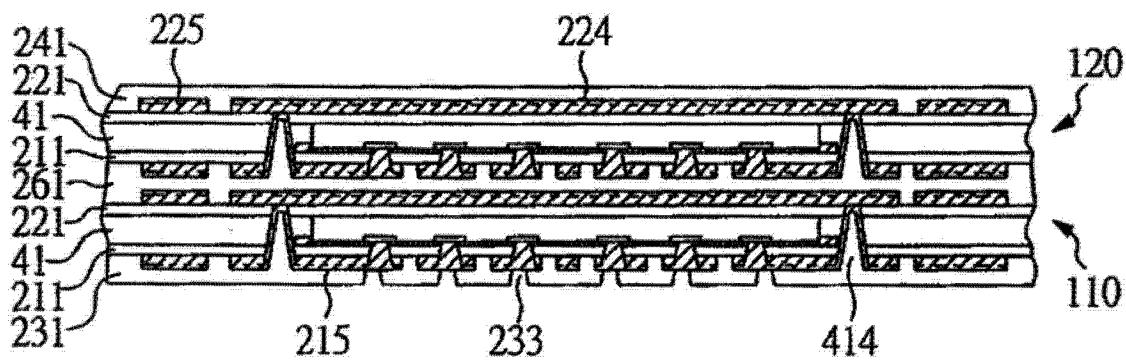


图 37

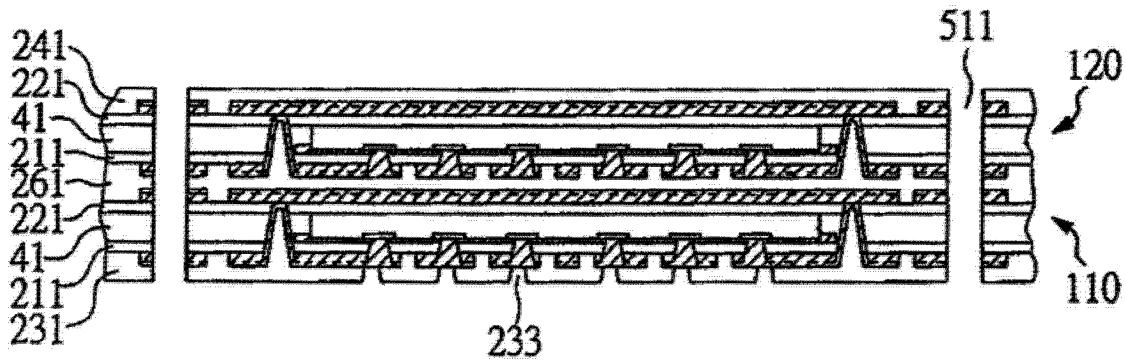


图 38

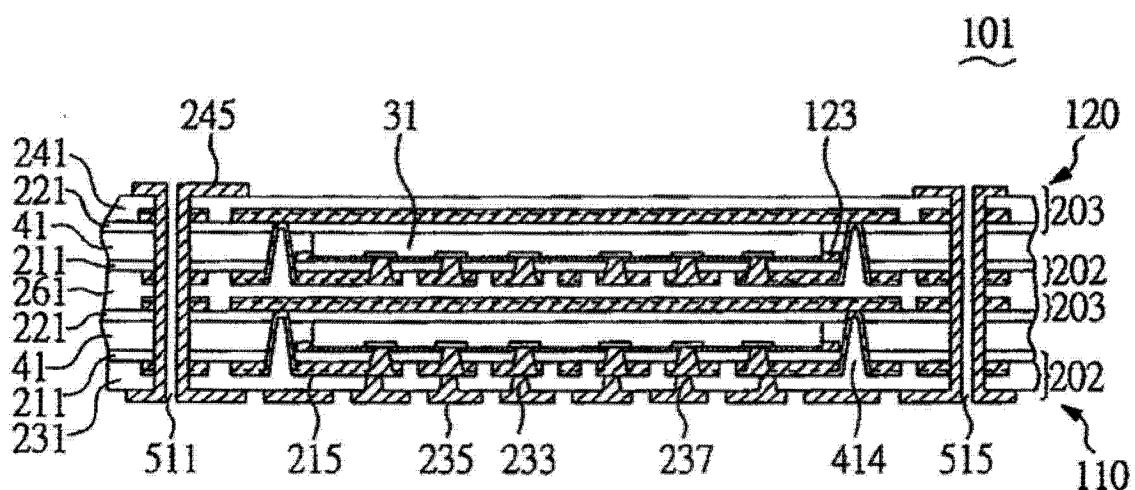


图 39

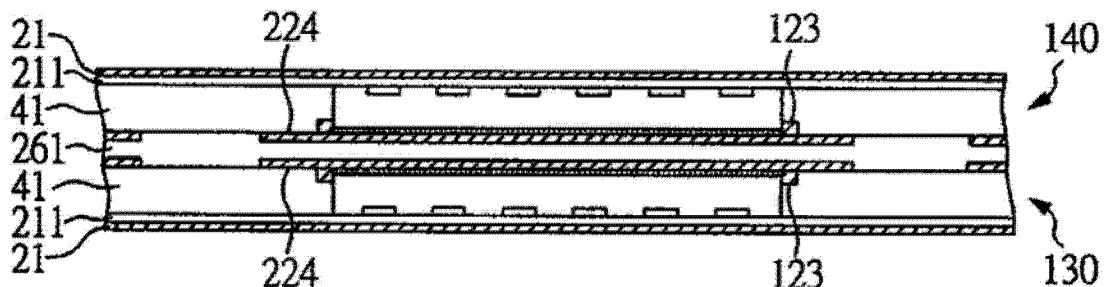


图 40

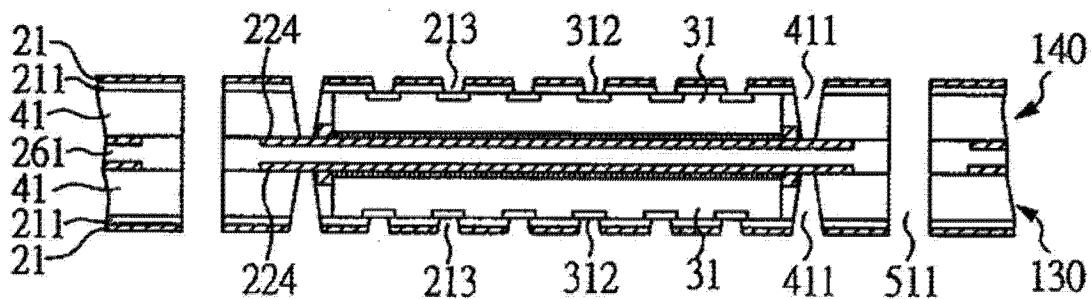


图 41

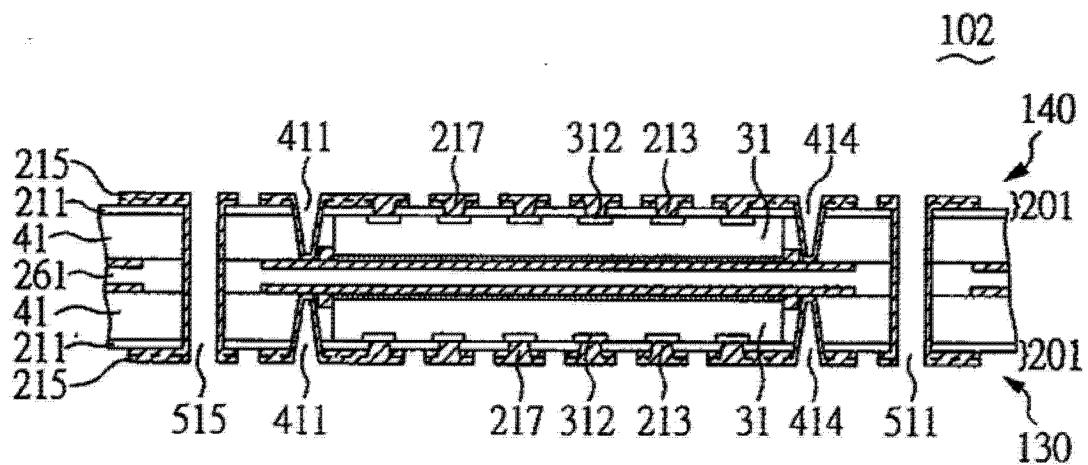


图 42