



GRAD PRO VYNALEZY A OBJEVY

(22) Přihlášeno 05 12 79
(21) [PV 8432-79]

(40) Zveřejněno

[45] Vydáno 15 09 86

(51) Int. Cl.³
G 06 F 3/023

[75]

Autor vynálezu

KOTOUČ JIŘÍ ing., BRNO

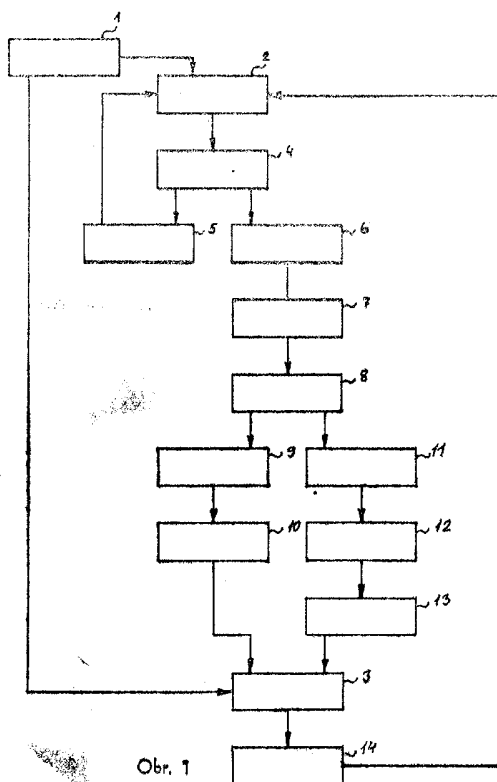
(54) Dekodér PE signálu zejména pro digitální kazetovou paměť

1

Předmětem vynálezu je dekodér PE signálu pro digitální kazetovou paměť.

Výhodou dekodéru PE signálu podle vynálezu je, že v každém okamžiku celého procesu v dekodéru v něm probíhá vždy pouze jedna činnost, což umožňuje algoritmovat dekodování a řešit prakticky všechny členy dekodéru hardwareovými a programovými prostředky procesoru. Při realizaci dekodéru podle vynálezu například s vhodným mikroprocesorem, lze bez jakéhokoliv přídavného hardware řešit programově čtecí část řadiče i pro nejrychlejší současné typy digitálních kazetových pamětí s transferem 10 000 bitů/sec.

2



Obz. 1

Vynález se týká dekodéru PE signálu zejména pro digitální kazetovou paměť.

U digitálních kazetových pamětí se používá sériový záznam informací s kódováním PE. Tato metoda kódování spočívá v tom, že logická jednička se zaznamenává jako změna magnetizace pásky určitého směru a logická nula jako změna magnetizace opačného směru. Tyto změny magnetizace se nazývají datové hrany a dějí se v datových intervalech konstantní délky, přičemž datový interval odpovídá jednomu bitu záznamu. Mají-li být po sobě zaznamenávány dvě logické nuly nebo logické jedničky, je doprostřed datového intervalu zaznamenána pomocná změna magnetizace opačného směru. Výstup čtecího obvodu vlastní kazetové paměti se vyznačuje pravouhlými přechody z logické nuly na logickou jedničku a naopak ve všech datových intervalech, tj. datové hrany signálu PE, s nepravidelnými přechody, vyskytujícími se pouze mezi dvěma datovými hranami stejného smyslu v polovině datového intervalu, tj. pomocné hrany signálu PE. Mezi jednotlivými sousedními hranami signál PE úroveň nemění.

Řadič pro digitální kazetové paměti musí při čtení informace signál PE dekódovat bit po bitu a převést ho na sériovou posloupnost bitů, tj. logických jedniček a nul. Dále musí převést zmíněnou sériovou informaci na paralelní tvar a jednotlivé byty ukládat do vyrovnávací paměti.

Současné řadiče pro digitální kazetové paměti používají hardwarové vyhodnocení a zpracování signálu PE, přičemž dekódovací obvody jsou řízeny signály časové základny čtení. Zpravidla pracuje dekodér tak, že při zjištění první datové hrany čteného bloku začne časová základna generovat signál „datového okénka“, na základě kterého se pomocí obvodu AND nebo NAND další datová hrana očekává v jistém časovém intervalu rozprostřeném obvykle symetricky kolem koncového bodu datového intervalu. Datové okénko je voleno tak, aby byla eliminována případná pomocná hrana uprostřed datového intervalu. Je-li během datového okénka zjištěna datová hrana, je logická úroveň PE signálu po této hraně zaznamenána do krajního bitu osmibitového posuvného registru. Po zjištění a zaznamenání osmi datových hran, tj. celého byte, zmíněným způsobem do řečeného posuvného registru do vyrovnávací paměti. Tento proces se cyklicky opakuje až do okamžiku, kdy během datového okénka není zjištěna žádná datová hrana. Pak je signalizována mezibloková mezera.

Nevýhodou řadičů obsahujících popsané dekodéry je, že jsou realizovány relativně složitými elektronickými obvody, přičemž ke generování datového okénka je třeba časové základny řízení stabilním generátorem.

Tyto nevýhody odstraňuje dekodér PE

signálu zejména pro digitální kazetovou paměť podle vynálezu, jehož podstatou je, že výstup vstupního členu je připojen na první vstup prvního členu vybavení vstupu a na první vstup druhého členu vybavení vstupu, výstup prvního členu vybavení vstupu je připojen na vstup členu srovnání signálu s obsahem pomocného registru, první výstup členu srovnání signálu je připojen na vstup členu kontroly počtu cyklů, druhý výstup členu srovnání signálu je připojen na vstup členu přenesení úrovně signálu do nejvyššího bitu datového registru, výstup členu přenesení úrovně signálu je připojen na vstup členu zvýšení obsahu čítače bitů, výstup členu zvýšení obsahu čítače bitů je připojen na vstup členu testování obsahu čítače bitů, první výstup členu testování je připojen na vstup členu posuvu obsahu datového registru, výstup členu posuvu obsahu datového registru je připojen na vstup prvního zpožďovacího členu, druhý výstup členu testování obsahu čítače bitů je připojen na vstup členu přenesení obsahu datového registru do vyrovnávací paměti, výstup zmíněného členu přenesení obsahu je připojen na vstup členu nulování obsahu čítače bitů, výstup členu nulování obsahu čítače bitů je připojen na vstup druhého zpožďovacího členu, přičemž výstupy obou zpožďovacích členů jsou připojeny na druhý a třetí vstup druhého členu vybavení vstupu, výstup druhého členu vybavení vstupu je připojen na vstup členu uložení úrovně signálu do pomocného registru, výstup zmíněného členu uložení úrovně signálu je připojen na druhý vstup prvního členu vybavení vstupu a výstup členu kontroly počtu cyklů je připojen na třetí vstup prvního členu vybavení vstupu.

Výhodou dekodéru PE signálu podle vynálezu je, že v každém okamžiku celého procesu v dekodéru v něm probíhá vždy pouze jedna činnost, což umožňuje algoritmovat dekódování a řešit prakticky všechny členy dekodéru hardwarovými a programovými prostředky procesoru. Při realizaci dekodéru podle vynálezu například s vhodným mikroprocesorem, lze bez jakéhokoliv přídavného hardware řešit programově čtecí část řadiče i pro nejrychlejší současné typy digitálních kazetových pamětí s transferem 10 000 bitů/sec.

Dekodér PE signálu zejména pro digitální kazetovou paměť je blokově znázorněn na výkresech, kde obr. 1 ukazuje propojení jednotlivých členů dekodéru z hlediska algoritmu zpracování signálu mezi jeho členy, tj. řídicí člen dekodéru a obr. 2 znázorňuje propojení zmíněného řídicího členu dekodéru s pracovními členy dekodéru.

Výstup vstupního členu 1 je připojen na první vstup prvního členu 2 vybavení vstupu (obr. 1) a na první vstup druhého členu 3 vybavení vstupu. Výstup prvního členu 2 vybavení vstupu je připojen na vstup členů

4 srovnání signálu s obsahem pomocného registru 15 — obr. 2, první výstup členu 4 srovnání signálu je připojen na vstup členu 5 kontroly počtu cyklů a druhý výstup členu 4 srovnání signálu je připojen na vstup členu 6 přenesení úrovně signálu do nejvyššího bitu datového registru 16. Výstup zmíněného členu 6 přenesení úrovně signálu je připojen na vstup členu 7 zvýšení obsahu čítače 17 bitů, výstup členu 7 zvýšení obsahu čítače 17 bitů je připojen na vstup členu 8 testování obsahu čítače 17 bitů a první výstup zmíněného členu 8 testování je připojen na vstup členu 9 posuvu obsahu datového registru 16. Výstup členu 9 posuvu obsahu datového registru 16 je připojen na vstup prvního zpožďovacího členu 10, druhý výstup členu 8 testování obsahu čítače 17 bitů je připojen na vstup členu 11 přenesení obsahu datového registru 16 do vyrovnávací paměti 18, přičemž výstup zmíněného členu 11 přenesení obsahu je připojen na vstup členu 12 nulování obsahu čítače 17 bitů. Výstup členu 12 nulování obsahu čítače 17 bitů je připojen na vstup druhého zpožďovacího členu 13 a výstupy obou zpožďovacích členů 10, 13 jsou připojeny na druhý a třetí vstup druhého členu 3 vybavení vstupu a výstup druhého členu 3 vybavení vstupu je připojen na vstup členu 14 uložení úrovně signálu do pomocného registru 15. Výstup zmíněného členu 14 uložení úrovně signálu je připojen na druhý vstup prvního členu 2 vybavení vstupu a výstup členu 5 kontroly počtu cyklů je připojen na třetí vstup prvního členu 2 vybavení vstupu.

Popsaný dekodér PE signálu podle vynálezu lze pochopitelně realizovat speciálně konstruovanými hardwarovými prostředky, avšak toto řešení nepřináší všechny možné výhody. Naopak je velmi výhodné, když vstupní člen 1 je realizován obvodem způsobením sběrnice neznázorněného procesoru a člen 2 vybavení vstupu a/nebo druhý člen 3 vybavení vstupu a/nebo člen 4 srovnání signálu s obsahem pomocného registru 15 a/nebo člen 5 kontroly počtu cyklů a/nebo člen 6 přenesení úrovně signálu do nejvyššího bitu datového registru 16 a/nebo člen 7 zvýšení obsahu čítače 17 bitů a/nebo člen 8 testování obsahu čítače 17 bitů a/nebo člen 9 posuvu obsahu datového registru 16 a/nebo první zpožďovací člen 10, a/nebo člen 11 přenesení obsahu datového registru 16 do vyrovnávací paměti 18 a/nebo člen 12 nulování obsahu čítače 17 bitů a/nebo druhý zpožďovací člen 13 a/nebo člen 14 uložení úrovně signálu do pomocného registru 15, jsou realizovány ekvivalentními programovými rutinami neznázorněného procesoru.

Je rovněž výhodné, když datový registr 16 a čítač 17 bitů jsou realizovány neznázorněnými registry procesoru nebo neznázorněnými buňkami operační paměti procesoru. Vyrovnávací paměť 18 může být s výhodou realizována částí neznázorněné ope-

rační paměti procesoru a pomocný registr 15 jedním bitem neznázorněné buňky operační paměti procesoru, nebo jedním bitem pracovního registru zmíněného procesoru.

Pro lepší pochopení činnosti dekodéru PE signálu podle vynálezu je na obr. 2 blokově znázorněno propojení řídicího členu 19 dekodéru, který je zobrazen na obr. 1, s pracovními členy dekodéru, tj. s pomocným registrem 15, datovým registrem 16, čítačem 17 bitů a vyrovnávací pamětí 18.

Před spuštěním činnosti dekodéru PE signálu podle vynálezu je vynulován čítač 17 bitů a v pomocném registru 15 je uložen obsah odpovídající svou logickou úrovní úrovní PE signálu v meziblokové mezeře pásky. Člen 5 kontroly počtu cyklů je nastaven na počet cyklů odpovídající prohledání pásky v délce větší než je maximální mezibloková mezera.

Po spuštění činnosti dekodéru podle vynálezu dojde k vybavení vstupu v prvním členu 2 vybavení vstupu, přičemž vstupní člen 1 slouží k přenesení logické úrovně PE signálu do zmíněného prvního členu 2 vybavení vstupu a rovněž do druhého členu 3 vybavení vstupu. Při této činnosti se zjistí okamžitá úroveň PE signálu a ve členu 4 srovnání signálu s obsahem pomocného registru 15 se provede srovnání zmíněné úrovně PE signálu s úrovní obsahu pomocného registru 15, která odpovídá magnetizaci meziblokové mezery. Jsou-li obě zmíněné hodnoty stejné, znamená to, že na neznázorněné pásce pod neznázorněnou čtecí hlavou se stále nachází mezibloková mezera. V tomto případě provede člen 5 kontroly počtu cyklů kontrolu počtu provedených cyklů a opět se vybaví vstup v prvním členu 2 vybavení vstupu. Tyto cykly probíhají tak dlouho, dokud se nezjistí rozdíl mezi úrovní PE signálu a úrovní obsahu pomocného registru 15, tj. dokud se nezjistí první datová hrana zápisu, nebo dokud se nevyčerpá povolený počet cyklů kontrolovaný členem 5 kontroly počtu cyklů. Ve druhém zmíněném případě člen 5 kontroly počtu cyklů činnost dekodéru ukončí, neboť na délce neznázorněné pásky větší než prodloužená mezibloková mezera nebyl nalezen záznam. V prvním zmíněném případě, tj. v případě, že byla zjištěna první datová hrana zápisu, se ve členu 6 přenesení úrovně signálu provede přenesení úrovně PE signálu do nejvyššího bitu datového registru 16 a člen 7 zvýšení obsahu čítače 17 bitů zvýší obsah čítače 17 bitů o jedničku, načež člen 8 testování obsahu datového registru 16 testuje obsah datového registru 16. Je-li obsah datového registru 16 různý od osmi, tj. nebyl dosud přečten celý osmibitový byte, posune člen 9 posuvu obsahu datového registru 16 obsah datového registru 16 o jednu pozici směrem k nejnižšímu bitu, čímž se v řádově nejvyšším bitu datového registru 16 uvolní místo pro další

čtený bit, přičemž tento děj se opakuje, dokud se nepřečte celý byte. Když je celý osmibitový byte přečten, tj. člen 8 testování obsahu čítače 17 bitů zjistí, že obsah čítače 17 bitů je roven osmi, přenesení obsahu datového registru 16 do vyrovnávací paměti 18 obsah datového registru 16 do vyrovnávací paměti 18, čímž se do vyrovnávací paměti uloží přečtený byte uspořádaný tak, že první přečtený bit je na řádově nejnižší pozici a poslední přečtený bit je na řádově nejvyšší pozici, což odpovídá způsobu záznamu u kazetových digitálních pamětí. Toto platí při čtení vpřed, při čtení vzad lze proces obrátit, tj. první přečtený bit člen 6 přenesení úrovně signálu přenesení obsahu datového registru 16, přičemž před přenášením každého dalšího čteného bitu se obsah datového registru 16 přesune o jednu pozici směrem k nejvyššímu bitu. Při čtení vzad je ještě nutno ve členu 11 přenesení obsahu před přenesením obsahu datového registru 16 do vyrovnávací paměti 18 negovat obsah datového registru 16, čímž se zajistí správné čtení vzad. Realizačně výhodnější je však provádět čtení vpřed i vzad jednotným způsobem, tj. způsobem popsaným pro čtení vpřed, a teprve po ukončení čtení celého bloku dat provést ve vyrovnávací paměti 18 příslušné přesuny a úpravy. Dále se ve členu 12 nulování obsahu čítače 17 bitů provede nulování obsahu čítače 17 bitů — příprava čtení dalšího byte — a generuje se vhodné zpoždění ve druhém zpožďovacím členu 13. Zpoždění prvního a druhého zpožďovacího členu 10, 13 je voleno tak, že doba provádění činností dekodéru od okamžiku vybavení vstupu v prvním členu vybavení vstupu 2 před zjištěním datové hrany ve členu 4 srovnání signálu s obsahem pomocného registru 15 do okamžiku vybavení výstupu ve druhém členu 3 vybavení vstupu je nezávislá na tom, zda činnost proběhla přes člen 9 posuvu obsahu datového registru 16 a první zpožďovací člen 10, nebo přes člen 11 přenesení obsahu datového registru 16, člen 12 nulování obsahu čítače 17 bitů a druhý zpožďovací člen 13, a že tato doba je delší než polovina datového intervalu a kratší než datový interval. Z hlediska spolehlivosti čtení je výhodné, když tato doba je přibližně 75 % délky datového intervalu. Z uvedeného vyplývá, že v okamžiku vybavení vstupu ve druhém členu 3 vybavení vstupu se ze vstupního členu 1 přenesení stav PE signálu mezi pomocnou hranou a následující datovou hranou. Tento stav, tj. logická úroveň, se uloží do pomocného registru 15, načež se začne zjišťovat další datové hrany ve smyčce tvořené prvním členem 2 vybavení vstupu, členem 4 srovnání signálu a členem 5 kontroly počtu cyklů, přičemž člen 5 kontroly počtu cyklů musí být nastaven na menší počet cyklů, než při zjišťování první dote-

kové hrany. V praxi je dostatečné, odpovídá-li počet povolených cyklů polovině datového intervalu. Nastavení členu 5 kontroly počtu cyklů je možno provést kdykoliv v době od okamžiku zjištění datové hrany do okamžiku prvního vybavení vstupu v prvním členu 2 vybavení vstupu při zjišťování další datové hrany, tj. jako součást činností členu 4 srovnání signálu, členu 6 přenesení úrovně signálu, členu 7 zvýšení obsahu čítače 17 bitů a členu 14 uložení úrovně signálu do pomocného registru 15. Pro účely jednodušší realizace členu 5 kontroly počtu cyklů lze smyčku tvořenou prvním členem 2 vybavení vstupu, členem 4 srovnání signálu a členem 5 kontroly počtu cyklů provést dvakrát, přičemž v první zmíněné smyčce se zjišťuje pouze první datová hrana bloku, a ve druhé pak všechny další, čímž odpadá rozdílné nastavení členu 5 kontroly počtu bitů. Činnost dekodéru podle vynálezu probíhá popsaným způsobem tak dlouho, dokud se ve členu 5 kontroly počtu cyklů nezjistí, že v rámci povoleného počtu cyklů činností prvního členu 2 vybavení vstupu, členu 4 srovnání signálu a členu 5 kontroly počtu cyklů nebyla zjištěna datová hrana, což znamená, že byl již přečten celý blok a činnost dekodéru se přeruší. Poslední čtený byte, tj. POSTAMBLE zůstává v tomto okamžiku v datovém registru 16, přičemž je již přenesen do vyrovnávací paměti 18, čítač 17 bitů je vynulován, v pomocném registru 15 je obsah odpovídající úrovni PE signálu za poslední datovou hranou zápisu — tj. úrovni v meziblokové mezeře. Po skončení činnosti dekodéru je tedy v případě úspěšného čtení bloku provedeno počáteční nastavení pro čtení dalšího bloku automaticky. Z obr. 1 i popisu činnosti dekodéru PE signálu je zřejmé, že pořadí členu 6 přenesení úrovně signálu a členu 7 zvýšení obsahu čítače 17 bitů, jakož i pořadí členu 9 posuvu obsahu datového registru 16 a prvního zpožďovacího členu 10 je libovolné, přičemž to též platí i o pořadí členu 11 přenesení obsahu, členu 12 nulování obsahu čítače 17 bitů a druhého zpožďovacího členu 13.

Při požadavku ochrany vyrovnávací paměti 18 před přemazáním většího celku v důsledku chyby obsluhy, například založením kazety s testovacím signálem o kmitočtu rovném převrácené hodnotě poloviny nebo čtvrtiny datového intervalu, lze do kterékoli větve dekodéru vřadit neznázorněný člen testu a kontroly počtu bytů předaných do vyrovnávací paměti 18. Zjistí-li tento neznázorněný člen, že bylo přečteno a předáno více než 260 bytů, tj. max. povolená délka bloku 256 bytů, 1 byte PREAMBLE, 2 byte CRC, 1 byte POSTAMBLE, ukončí zmíněný člen činnost dekodéru.

Vzhledem k tomu, že existuje řešení kodéru PE signálu, umožňující jeho konstruk-

ci rovněž programovými rutinami procesoru, vytváří dekodér PE signálu podle vynálezu předpoklady pro řešení prakticky čistě

programového řadiče pro kazetovou digitální paměť.

PŘEDMĚT VYNÁLEZU

1. Dekodér PE signálu zejména pro digitální kazetovou paměť, vyznačený tím, že výstup vstupního členu (1) je připojen na první vstup prvního členu (2) vybavení vstupu a na jeho první vstup druhého členu (3) vybavení vstupu, výstup prvního členu (2) vybavení vstupu je připojen na vstup členu (4) srovnání signálu s obsahem pomocného registru (15), první výstup členu (4) srovnání signálu je připojen na vstup členu (5) kontroly počtu cyklů, druhý výstup členu (4) srovnání signálu je připojen na vstup členu (6) přenesení úrovně signálu do nejvyššího bitu datového registru (16), výstup členu (6) přenesení úrovně signálu je připojen na vstup členu (7) zvýšení obsahu čítače (17) bitů, výstup členu (7) zvýšení obsahu čítače (17) bitů je připojen na vstup členu (8) testování obsahu čítače (17) bitů, první výstup členu (8) testování je připojen na vstup členu (9) posuvu obsahu datového registru (16), výstup členu (9) posuvu obsahu datového registru (16) je připojen na vstup prvního zpožďovacího členu (10), druhý výstup členu (8) testování obsahu čítače (17) bitů je připojen na vstup členu (11) přenesení obsahu datového registru (16) do vyrovnávací paměti (18), výstup zmíněného členu (11) přenesení obsahu je připojen na vstup členu (12) nulování obsahu čítače (17) bitů, výstup členu (12) nulování obsahu čítače (17) bitů je připojen na vstup druhého zpožďovacího členu (13), přičemž výstupy obou zpožďovacích členů (10, 13) jsou připojeny na druhý a třetí vstup druhého členu (3) vybavení vstupu, výstup druhého členu (3) vybavení vstupu je připojen na pomocného registru (15), výstup zmíněného členu (14) uložení úrovně signálu je připojen na druhý vstup prvního členu (2)

vybavení vstupu a výstup členu (5) kontroly počtu cyklů je připojen na třetí vstup prvního členu (2) vybavení vstupu.

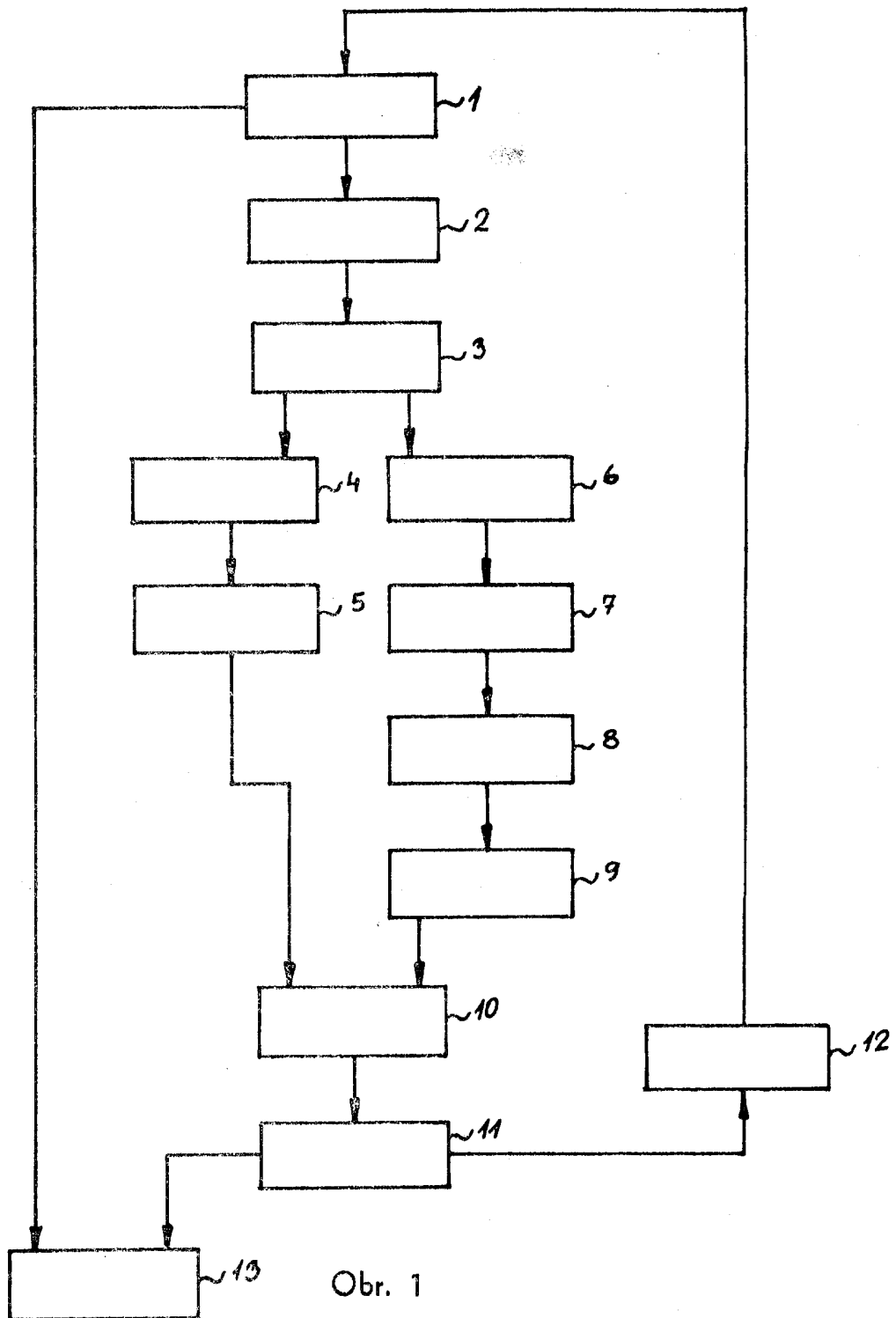
2. Dekodér PE signálu podle bodu 1 vyznačený tím, že vstupní člen (1) je tvořen obvodem přizpůsobení sběrnice procesoru a první člen (2) vybavení vstupu a/nebo druhý člen (3) vybavení vstupu a/nebo člen (4) srovnání signálu s obsahem pomocného registru (15) a/nebo člen (5) kontroly počtu cyklů a/nebo člen (6) přenesení úrovně signálu do nejvyššího bitu datového registru (16) a/nebo člen (7) zvýšení obsahu čítače (17) bitů a/nebo člen (8) testování obsahu čítače (17) bitů a/nebo člen (9) posunu obsahu datového registru (16) a/nebo první zpožďovací člen (10) a/nebo člen (11) přenesení obsahu datového registru (16) do vyrovnávací paměti (18) a/nebo člen (12) nulování obsahu čítače (17) bitů a/nebo druhý zpožďovací člen (13) a/nebo člen (14) uložení úrovně signálu do pomocného registru (15), jsou tvořeny ekvivalentními programovými rutinami neznázorněného procesoru.

3. Dekodér PE signálu podle bodu 1 vyznačený tím, že datový registr (16) a čítač (17) bitů jsou tvořeny pracovními registry procesoru.

4. Dekodér PE signálu podle bodu 1 vyznačený tím, že datový registr (16) a čítač (17) bitů jsou tvořeny buňkami operační paměti procesoru.

5. Dekodér PE signálu podle bodu 1 vyznačený tím, že vyrovnávací paměť (18) je tvořena částí operační paměti procesoru.

6. Dekodér podle bodu 1 vyznačený tím, že pomocný registr (15) je tvořen jedním bitem pracovního registru procesoru nebo jedním bitem buňky operační paměti procesoru.



Obr. 1

