

公告本

申請日期： 87-08-04 案號： 87112811

類別： G11C 34/29/00

(以上各欄由本局填註)

發明專利說明書

434542

一、 發明名稱	中文	同步式半導體儲存裝置
	英文	
二、 發明人	姓名 (中文)	1. 越川康二
	姓名 (英文)	1.
	國籍	1. 日本
	住、居所	1. 日本國東京都港區芝五丁目7番1號
三、 申請人	姓名 (名稱) (中文)	1. 日本電氣股份有限公司
	姓名 (名稱) (英文)	1. 日本電氣株式會社
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都港區芝五丁目7番1號
	代表人 姓名 (中文)	1. 金子尚志
	代表人 姓名 (英文)	1.



434542

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

日本 JP

1997/08/08 9-227393

有

有關微生物已寄存於

寄存日期

寄存號碼



五、發明說明 (1)

本發明是有關於一種同步式半導體儲存裝置，且特別是有關於一種同步式半導體儲存裝置之內部同步信號產生電路。

近來，半導體儲存裝置之操作速度亦隨著CPU之增加而被要求增加。舉例來說，日本公開61-148692(1986)、6-76566(1994)、7-45068(1995)便揭露有能與100MHz以上之外部時脈同步操作之同步式半導體儲存裝置。

如第1圖所示，典型之半導體儲存裝置通常具有以外部時脈CLK為輸入之輸入接收器1，以/CS信號(晶片選擇信號)為輸入之輸入接收器2，以/RAS信號(列位址選擇信號)為輸入之輸入接收器3，以/CAS信號(行位址選擇信號)為輸入之輸入接收器4，以/WE信號(寫入致能信號)為輸入之輸入接收器5，以位址信號ADD為輸入之輸入接收器6，以資料輸入信號為輸入之輸入接收器7，以輸入接收器1之輸出為輸入之脈衝產生電路8，以脈衝產生電路8之輸出為輸入並輸出一內部同步信號ICLK之反相器I15，以輸入接收器2、3、4、5、6之輸出及內部同步信號ICLK為輸入且輸出若干解碼控制信號12之命令解碼器10，及以控制信號12及輸入接收器6、7之輸出為輸入且輸出資料至資料輸出端之內部電路11。

另外，脈衝產生電路8，舉例來說，是由接收一輸入至該脈衝產生電路8之反相器I1，以反相器I1之輸出為輸入之反相器I2，以反相器I2之輸出為輸入之反相器I3，及以脈衝產生電路8之輸入及反相器I3之輸出為輸入之反及

五、發明說明 (2)

開NA1所組成。

第2圖係說明外部時脈CLK及內部同步信號ICLK間關聯之操作波形。當外部時脈CLK由低位準移至高位準、且輸入接收器I1之輸出亦移至高位準時，反及開NA1之輸出會因反相器I3之輸出為高位準而變成低位準。因此，內部同步信號ICLK(即反相器I15之輸出)會變成高位準、且反相器I3之輸出會隨著輸入接收器I1之平移至高位準而在特定時間後變成低位準。也因此，反及開NA1之輸出會變成高位準、且反相器I15之輸出(內部同步信號ICLK)則會變成低位準。

如是，內部同步信號ICLK便是在外部時脈CLK由低位準移至高位準時產生。

與內部同步時脈ICLK同步，外部信號/CS、/RAS、/CAS、/WE係送入命令解碼器10。而控制信號12則利用門鎖及解碼以得到。

第3圖係習知同步式半導體記憶裝置之應用。如圖中所示，在時間C1(當外部時脈CLK由低位準平移至高位準)時，啟動命令(active command)係在/CS、/RAS、/CAS、/WE分別設為低、低、高、高位準時輸入。同時，列位址(ROW)則用作位址信號ADD。待一特定時間後，在時間C2(當外部時脈由低位準移至高位準)時，讀取命令(read command)係在/CS、/RAS、/CAS、/WE分別設為低、高、低、高位準時輸入。同時，行位址(COL)則用作位址信號ADD。隨後，將列位址及行位址對應之資料送至資料輸出



五、發明說明 (3)

端。並且，在一特定時間後，在時間C3(當外部時脈由低位準移至高位準)時，預充電命令(precharge command)係在/CS、/RAS、/CAS、/WE分別設為低、低、高、低位準時輸入。藉此，內部電路可設為待命狀態以允許下次存取。

另外，第4圖則說明非同步式動態隨機記憶體之應用，其類似於資料的讀取。如圖中所示，在時間C1(將/RAS由高位準移至低位準)時，輸入啟動命令並同時以列位址(ROW)作為位址信號。在一特定時間後，在時間C2(保持/WE為高位準，並將/CAS由高位準移至低位準)時，輸入讀取命令並同時以行位址(COL)作為位址信號。隨後，將列位址及行位址對應之資料輸出至資料輸出端。再者，在一特定時間後，在時間C3時，將/RAS及/CAS回復至高位準以輸入預充電命令。藉此，內部電路係設在待命狀態以允許下次存取。

比較第3圖之同步式半導體裝置及第4圖之非同步式半導體儲存裝置，由時間C1至輸出資料DOUT至資料輸出端之時間(t_1)約等於彼此相等。另外，由時間C1至輸入預充電命令之時間(t_2)則等於由時間C1至預充電後再次輸入啟動命令之時間(t_3)。至於在外部信號的操作頻率方面，第4圖之非同步式半導體儲存裝置只具有一外部信號最快可操作在 $(1/2t_3)$ Hz，而第3圖之同步式半導體儲存裝置則具有一外部時脈CLK最快可操作在 $(3/t_3)$ Hz。

在習知同步式半導體儲存裝置中，輸出一位元資料需要三個周期之外部時脈CLK。因此，為降低 t_3 以進行迅速

五、發明說明 (4)

之記憶胞測試，記憶體測試器乃必須操作在高頻。

舉例來說，為在 $t_3=100\text{ns}$ 進行測試，外部時脈必須操作在33MHz。特別是以探測器接觸晶圓的測試過程中，操作在33MHz的測試環境還必須考慮探測器的阻抗，負載等因素。因此，相較於非同步式半導體儲存裝置之測試環境，這種情況乃需要進一步的投資。

另外，在燒入(burn-in)測試中，其通常執行於製造完成後，數個半導體儲存裝置係並排測試。故測試器，因負載過大，只能驅動低頻信號。因此，在習知同步式半導體儲存裝置的測試中，每位元記憶胞之存取時間會大於非同步式半導體儲存裝置之存取時間。也因此，測試時間乃必須拉長。

有鑑於此，本發明的一個目的就是提供一種同步式半導體儲存裝置，其記憶體測試頻率可遠大於記憶體測試器之操作頻率，即使是使用低頻外部時脈之記憶體測試器，因此可降低測試時間。

根據本發明，一種同步式半導體儲存裝置係包括：

一第一脈衝產生電路，在一外部時脈輸入由一第一位準移至一第二位準時，產生一第一脈衝；以及

一第二脈衝產生電路，在不同於該外部時脈輸入之一第二信號輸入平移位準時，產生一第二脈衝；

其中，一內部同步信號係同時參考該第一脈衝及該第二脈衝以產生。

根據本發明之另一個例子，一種同步式半導體儲存裝



五、發明說明 (5)

置係包括：

一脈衝產生電路，在一外部時脈輸入由一第一位準移至一第二位準時，產生一脈衝，並允許該脈衝依據不同於該外部時脈輸入之一第二信號輸入以產生；

其中，一內部同步信號係依據該脈衝以產生。

根據本發明之另一個例子，一種同步式半導體儲存裝置係包括：

一第一脈衝產生電路，在一外部時脈輸入由一第一位準移至一第二位準時，產生一第一脈衝；以及

一第二脈衝產生電路，在製造時未連結之一連接墊平移位準時，產生一第二脈衝；

其中，一內部同步信號係同時參考該第一脈衝及該第二脈衝以產生。

根據本發明之另一個例子，一種同步式半導體儲存裝置係包括：

一第一脈衝產生電路，在一外部時脈輸入由一第一位準移至一第二位準時，產生一第一脈衝；

第一及第二輸入緩衝器，接收不同於該外部時脈輸入之一第二信號輸入；及

一第二脈衝產生電路，在該第一輸入緩衝器之輸出平移位準時，產生一第二脈衝；

其中，一內部同步信號係允許同時對應該第一脈衝及該第二脈衝，

該第二輸入緩衝器係控制為不啟動，當該內部同步信



五、發明說明 (6)

號設定為對應該第二脈衝，以及

該第一輸入緩衝器係控制為不啟動，當該內部同步信號係設定為不對應該第二脈衝。

為了使本發明前述之目的、特徵與優點得更易明瞭，乃列舉較佳實施例，並配合所附圖式，進一步予以說明如下。

圖式說明

第1圖係習知同步式半導體儲存裝置之方塊圖；

第2圖係說明外部時脈CLK及內部同步信號ICLK間關聯之操作波形圖；

第3圖係第1圖習知同步式半導體儲存裝置之應用之操作波形圖；

第4圖係習知非同步式半導體儲存裝置之應用之操作波形圖；

第5圖係本發明第一實施例同步式半導體儲存裝置之方塊圖；

第6圖係本發明第一實施例同步式半導體儲存裝置之操作波形圖；

第7圖係本發明第一實施例同步式半導體儲存裝置之應用之操作波形圖；

第8圖係本發明第二實施例同步式半導體儲存裝置之方塊圖；

第9圖係本發明第三實施例同步式半導體儲存裝置之方塊圖；



五、發明說明 (7)

第10圖係本發明第四實施例同步式半導體儲存裝置之方塊圖；以及

第11圖係本發明第一至第四實施例同步式半導體儲存裝置之應用之操作波形圖。

實施例

以下將說明本發明同步式半導體儲存裝置之實施例。本發明實施例之同步式半導體儲存裝置係包括一第一脈衝產生電路(第5圖之"8")，在一外部時脈輸入由一第一位準移至一第二位準時產生一第一脈衝；一第二脈衝產生電路(第5圖之"9")，在不同於該外部時脈輸入之一第二信號輸入之位準平移時產生一第二脈衝。藉此，在測試過程中，可依據該外部時脈輸入或該第二信號輸入之由第一位準移至第二位準，即第一及第二脈衝，產生一內部同步信號。

第5圖係本發明第一實施例之同步式半導體儲存裝置。

請參考第5圖，第一實施例之同步式半導體儲存裝置具有以外部時脈CLK為輸入之輸入接收器1，以/CS信號(晶片選擇信號)為輸入之輸入接收器2，以/RAS信號(列位址選擇信號)為輸入之輸入接收器3，以/CAS信號(行位址選擇信號)為輸入之輸入接收器4，以/WE信號(寫入致能信號)為輸入之輸入接收器5，以位址信號ADD為輸入之輸入接收器6，以資料輸入信號為輸入之輸入接收器7，以輸入接收器1之輸出為輸入之脈衝產生電路8，以輸入接收器2之輸出為輸入之脈衝產生電路9，以脈衝產生電路8、9之



五、發明說明 (8)

輸出為輸入且輸出一內部同步信號ICLK之反及閘NA4，以輸入接收器2、3、4、5、6之輸出及內部同步信號ICLK為輸入且輸出若干欲解碼之控制信號12及測試模式啟動信號TEST之命令解碼器10，以測試模式啟動信號TEST及輸入接收器2之輸出為輸入且輸出信號ICSB之或閘OR，及以內部同步信號ICLK、控制信號12及輸入接收器6、7之輸出為輸入且輸出資料至資料輸出端之內部電路11。

脈衝產生電路8，舉例來說，是由接收一輸入至該脈衝產生電路8之反相器I1，以反相器I1之輸出為輸入之反相器I2，以反相器I2之輸出為輸入之反相器I3，及以脈衝產生電路8之輸入及反相器I3之輸出為輸入之反及閘NA1所組成。

脈衝產生電路9，舉例來說，是由接收一輸入至該脈衝產生電路9之反相器I4，以反相器I4之輸出及測試模式啟動信號TEST為輸入之反及閘NA2，以反及閘NA2之輸出為輸入之反相器I5，及以脈衝產生電路9之輸入及反相器I5之輸出為輸入之反及閘NA3所組成。

第6圖係說明第一實施例同步式半導體儲存裝置之操作波形。請參考第5圖及第6圖，第一實施例之同步式半導體儲存裝置將說明如下。

當外部時脈由低位準移至高位準、且輸入接收器1之輸出亦移至高位準時，反及閘NA1之輸出會因反相器I3之輸出為高位準而變成低位準。另外，當測試模式啟動信號TEST為低位準時，反及閘NA3之輸出則是高位準。因此，



五、發明說明 (9)

內部同步時脈ICLK，即反及閘NA4之輸出，會因反及閘NA1之輸出移至低位準而變成高位準。

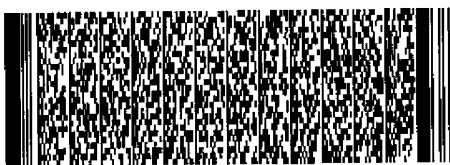
隨著輸入接收器1(輸入為外部時脈)之輸出移至高位準，反相器I3之輸出會在特定時間後變成低位準。藉此，反及閘NA1的輸出會變成高位準，而內部同步信號ICLK，反及閘NA4的輸出，則會變成低位準。

如此，當測試模式啟動信號TEST為低位準(測試模式未啟動)時，內部同步信號ICLK便可藉外部時脈之由低位準移至高位準而產生，如習知技術。

接著，當外部時脈CLK由低位準移至高位準時，/CS、/RAS、/CAS、/WE均設定為低位準且測試模式入口之鎖鑰位址會同時送至位址信號ADD。因此，測試模式啟動信號TEST，命令解碼器10的輸出，會變成高位準。

隨著測試模式啟動信號TEST移至高位準，當/CS信號由低位準移至高位準、且輸入接收器2之輸出亦移至高位準時，反及閘NA3之輸出會因反相器I5之輸出為高位準而變成低位準。藉此，當反及閘NA1的輸出為高位準時，內部同步信號ICLK，即反及閘NA4之輸出，亦會變成高位準。隨著輸入接收器2之輸出移至高位準，反相器I5的輸出會在特定時間後變成低位準。因此，反及閘NA3的輸出會變成高位準、且內部同步信號ICLK，反及閘NA4的輸出，會變成低位準。

總之，內部同步信號ICLK係利用外部時脈CLK或/CS信號之由低位準移至高位準而產生。

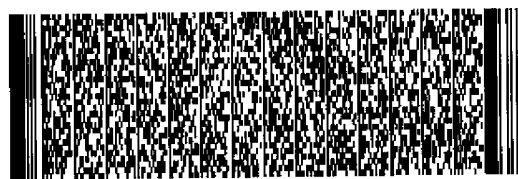
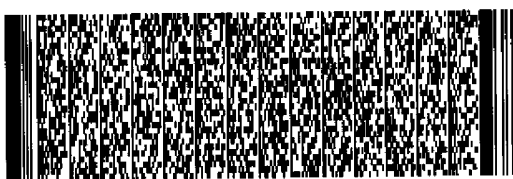


五、發明說明 (10)

同時，隨著測試模式啟動信號TEST移至高位準，內部/CS信號之信號ICSB係固定低位準(第6圖之邏輯電路係以測試模式啟動信號TEST及輸入接收器2之輸出為輸入且輸出第5圖信號ICSB之或閘OR實現)。/CS是在數個同步式半導體儲存裝置中選取一個同步式半導體儲存裝置之輸入信號。因此，/CS在只有一個同步式半導體儲存裝置的應用中並不需。如此，當輸入命令編碼器10之/CS邏輯在測試模式入口後固定於低位準，亦不會發生問題。

第7圖係第一實施例同步式半導體儲存裝置之應用。請參考第7圖，在進行測試模式入口後，在時間C1(當外部時脈CLK由低位準平移至高位準)時，啟動命令(active command)係在/RAS、/CAS、/WE分別設為低、高、高位準時輸入。同時，列位址(ROW)則用作位址信號ADD。待一特定時間後，在時間C2(當/CS信號由低位準移至高位準)時，讀取命令(read command)係在/RAS、/CAS、/WE分別設為高、低、高位準時輸入。同時，行位址(COL)則用作位址信號ADD。隨後，將列位址及行位址對應之資料送至資料輸出端。並且，在一特定時間後，在時間C3(當外部時脈由低位準移至高位準)時，預充電命令(precharge command)係在/RAS、/CAS、/WE分別設為低、高、低位準時輸入。藉此，內部電路可設為待命狀態以允許下次存取。

與第3圖習知同步式半導體儲存裝置比較，假設由時間C1至輸出資料DOUT至資料輸出端之時間(t_1)、由時間C1



五、發明說明 (11)

至輸入預充電命令之時間(t_2)、及由時間C1至預充電後再次輸入啟動命令之時間(t_3)係彼此相等。在外部信號的操作頻率方面，第一實施例之同步式半導體儲存裝置只具有一外部信號最快可操作在 $(3/2t_3)$ Hz，而第3圖之同步式半導體儲存裝置則具有一外部時脈CLK最快可操作在 $(3/t_3)$ Hz。因此，頻率可降低 $1/2$ 。

第8圖係本發明第二實施例之同步式半導體儲存裝置。

請參考第8圖，第二實施例之同步式半導體儲存裝置具有以外部時脈為輸入之輸入接收器1、以 $/CS$ 信號為輸入之輸入接收器2、以輸入接收器1、2之輸出及測試模式啟動信號TEST為輸入之脈衝產生電路13、及以脈衝產生電路13之輸出為輸入且輸出一內部同步信號ICLK之反相器I8。

另外，脈衝產生電路13具有：反或閘G1以進行輸入接收器2輸出及測試模式啟動信號TEST間AND運算及輸入接收器1輸出間之NOR運算、以反或閘G1之輸出為輸入之反相器I6、以反相器I6之輸出為輸入之反相器I7、及反及閘NA2以進行OR運算及反相器I7輸出間之NAND運算，其中，OR運算係指輸入接收器2輸出及測試模式啟動信號TEST間AND運算與輸入接收器1輸出之OR運算。

第二實施例同步式半導體儲存裝置之操作與第一實施例相同。不過，輸入接收器1、2的輸出必須先進行邏輯運算。因此，反相器可在大負載之內部同步信號ICLK中作為輸出緩衝器。通常，為驅動大負載信號必須使用大電容電



五、發明說明 (12)

晶體之緩衝器。因此，只以兩個電晶體作為緩衝器之反相器可提供較小之電路面積，相較於以四個電晶體作為緩衝器之反相器。

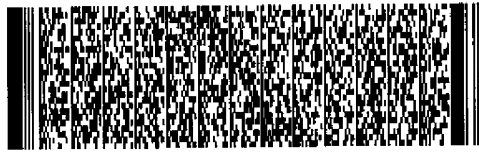
第9圖係本發明第三實施例之同步式半導體儲存裝置。

請參考第9圖，第三實施例之同步式半導體儲存裝置具有：以外部時脈為輸入之輸入接收器1、連接未連接墊NC之輸入接收器14、以輸入接收器1之輸出為輸入之脈衝產生電路8、以輸入接收器14之輸出為輸入之脈衝產生電路15、以脈衝產生電路8，9之輸出為輸入且輸出一內部同步信號ICLK之反及閘NA6、及插在輸入接收器14及地點間且具有足夠阻值之電阻元件R。

舉例來說，脈衝產生電路8具有：反相器I1以接收一輸入至脈衝產生電路8、以反相器I1之輸出為輸入之反相器I2、以反相器I2之輸出為輸入之反相器I3、及以脈衝產生電路8之輸入及反相器I3之輸出為輸入之反及閘NA1。

舉例來說，脈衝產生電路9具有：反相器I9以接收一輸入至脈衝產生電路9、以反相器I9之輸出為輸入之反相器I10、以反相器I10之輸出為輸入之反相器I11、及以脈衝產生電路9之輸入及反相器I11之輸出為輸入之反及閘NA5。

在晶圓測試中，探測器係站於製造時未進行連結之未連接墊NC。因此，內部同步信號ICLK可以隨外部時脈CLK或未連接墊NC之由低位準移至高位準而產生。



五、發明說明 (13)

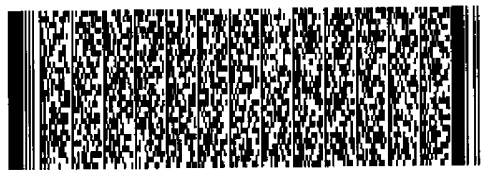
第一及第二實施例係使用/CS信號的位準平移。相對地，第三實施例則使用製造時未進行連結之未連接墊NC。因此，高頻測試可在保有/CS信號之功能下進行。

同時，隨著大阻值電阻元件R之插於輸入接收器14及地點間，輸入接收器14之輸入在外部電位未送至未連接墊時會變成地點。電阻元件R可以大阻值薄膜、低效能電晶體等方式提供。

第10圖係本發明第四實施例之同步式半導體儲存裝置。

請參考第10圖，第四實施例之同步式半導體儲存裝置具有：以外部時脈CLK為輸入之輸入接收器1，以/CS信號及測試模式啟動信號TEST為輸入之輸入接收器2A，以/CS信號為輸入之輸入接收器2B，以/RAS信號為輸入之輸入接收器3，以/CAS信號為輸入之輸入接收器4，以/WE信號為輸入之輸入接收器5，以位址信號ADD為輸入之輸入接收器6，以輸入接收器1之輸出為輸入之脈衝產生電路8，以輸入接收器2A之輸出為輸入之脈衝產生電路16，以脈衝產生電路8、16之輸出為輸入且輸出一內部同步信號ICLK之反及閘NA8，及以輸入接收器2B、3、4、5、6之輸出及內部同步信號ICLK為輸入且輸出若干欲解碼之控制信號12及測試模式啟動信號TEST之命令解碼器10。

脈衝產生電路8，舉例來說，是由接收一輸入至該脈衝產生電路8之反相器I1，以反相器I1之輸出為輸入之反相器I2，以反相器I2之輸出為輸入之反相器I3，及以脈衝



五、發明說明 (14)

產生電路8之輸入及反相器I3之輸出為輸入之反及開NA1所組成。

脈衝產生電路16，舉例來說，是由接收一輸入至該脈衝產生電路16之反相器I12，以反相器I12之輸出為輸入之反相器I13、以反相器I13之輸出為輸入之反相器I14、及以脈衝產生電路16之輸入及反相器I14之輸出為輸入之反及開NA7所組成。

當測試模式啟動時，測試模式啟動信號TEST會變成高位準、且輸入接收器2A會啟動。如此，/CS信號對應之輸入會送至脈衝產生電路16。

另外，當測試模式未啟動時，測試模式啟動信號TEST係低位準、且輸入接收器2A亦未啟動。因此，輸入接收器之電路路徑會被切斷，且其輸出亦會固定在低位準。

通常，由外部時脈CLK之低位準移至高位準至輸出資料之存取時間是同步式半導體儲存裝置之重要參數。也就是說，必須迅速產生內部同步信號ICLK。因此，由路徑上輸入接收器產生內部同步信號ICLK之響應必須很快。故，電晶尺寸必須增加，導致耗費電流的增加。

在第一及第二實施例中，由於/CS信號之輸入接收器2必須快速操作，故耗費電流必須增加。在第四實施例中，在測試模式操作之輸入接收器2A具有較高之耗費電流以加快操作速度，但正常使用者模式中，輸入接收器2A並未啟動、且輸入接收器2B係操作在較少之耗費電流。因此，第四實施例之整體耗費電流可以降低。



五、發明說明 (15)

第11圖係本發明同步式半導體儲存裝置之另一個應用。請參考第11圖，在進行測試模式入口後，在時間C1(當外部時脈CLK由低位準平移至高位準)時，啟動命令(active command)係在/RAS、/CAS、/WE分別設為低、高、高位準時輸入。同時，列位址(ROW)則用作位址信號ADD。待一特定時間後，在時間C2(當/CS信號由低位準移至高位準)時，讀取命令(read command)係在/RAS、/CAS、/WE分別設為高、低、高位準時輸入。同時，行位址(COL)則用作位址信號ADD。另外，將寫入資料DIN送入資料輸入端，寫入資料DIN可寫入列位址及行位址輸入。在一特定時間後，在時間C3(當外部時脈由低位準移至高位準)時，預充電命令(precharge command)係在/RAS、/CAS、/WE分別設為低、高、低位準時輸入。藉此，內部電路可設為待命狀態以允許下次存取。

在此，自寫入命令之時間C2至預充電命令之時間C3之時間(t_4)通常稱為"寫入恢復時間"，其係同步式半導體儲存裝置之重要參數。

時間 t_4 之目標效能無法以習知低頻記憶體測試器進行測試，因為它通常等於同步式半導體儲存裝置之最小時脈周期時間。在這個發明中，時間 t_4 可利用輸入信號之時序平移而輕易縮短。因此，即使在使用低頻記憶體測試器的製程(如晶圓測試製程)中，此參數之量測亦可以進行。

雖然本發明已由上述實施例說明，內部同步信號ICLK亦可由外部時脈CLK及DQM信號之位準平移得到。



五、發明說明 (16)

DQM 信號係同步式半導體儲存裝置所提供之功能，用以暫時遮罩(失能)資料輸出或資料輸入。這是個允許在測試，如/CS 信號中固定位準之信號。

更者，由/CS、QM 輸入及外部時脈CLK 產生內部同步信號ICLK，記憶體測試可在三倍於記憶體測試器之頻率下執行。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



434542
- 279787

四、中文發明摘要 (發明之名稱：同步式半導體儲存裝置)

一種同步式半導體儲存裝置，其具有：一第一脈衝產生電路，在一外部時脈輸入由一第一位準移至一第二位準時，產生一第一脈衝；以及一第二脈衝產生電路，在不同於該外部時脈輸入之一第二信號輸入平移位準時，產生一第二脈衝；其中，一內部同步信號係同時參考該第一脈衝及該第二脈衝以產生。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種同步式半導體儲存裝置，包括：

一第一脈衝產生電路，在一外部時脈輸入由一第一位準移至一第二位準時，產生一第一脈衝；以及

一第二脈衝產生電路，在不同於該外部時脈輸入之一第二信號輸入平移位準時，產生一第二脈衝；

其中，一內部同步信號係同時參考該第一脈衝及該第二脈衝以產生。

2. 一種同步式半導體儲存裝置，包括：

一脈衝產生電路，在一外部時脈輸入由一第一位準移至一第二位準時，產生一脈衝，並允許該脈衝依據不同於該外部時脈輸入之一第二信號輸入以產生；

其中，一內部同步信號係依據該脈衝以產生。

3. 一種同步式半導體儲存裝置，包括：

一第一脈衝產生電路，在一外部時脈輸入由一第一位準移至一第二位準時，產生一第一脈衝；以及

一第二脈衝產生電路，在製造時未連結之一連接墊平移位準時，產生一第二脈衝；

其中，一內部同步信號係同時參考該第一脈衝及該第二脈衝以產生。

4. 一種同步式半導體儲存裝置，包括：

一第一脈衝產生電路，在一外部時脈輸入由一第一位準移至一第二位準時，產生一第一脈衝；

第一及第二輸入緩衝器，接收不同於該外部時脈輸入之一第二信號輸入；及



六、申請專利範圍

一 第二脈衝產生電路，在該第一輸入緩衝器之輸出平移位準時，產生一第二脈衝；

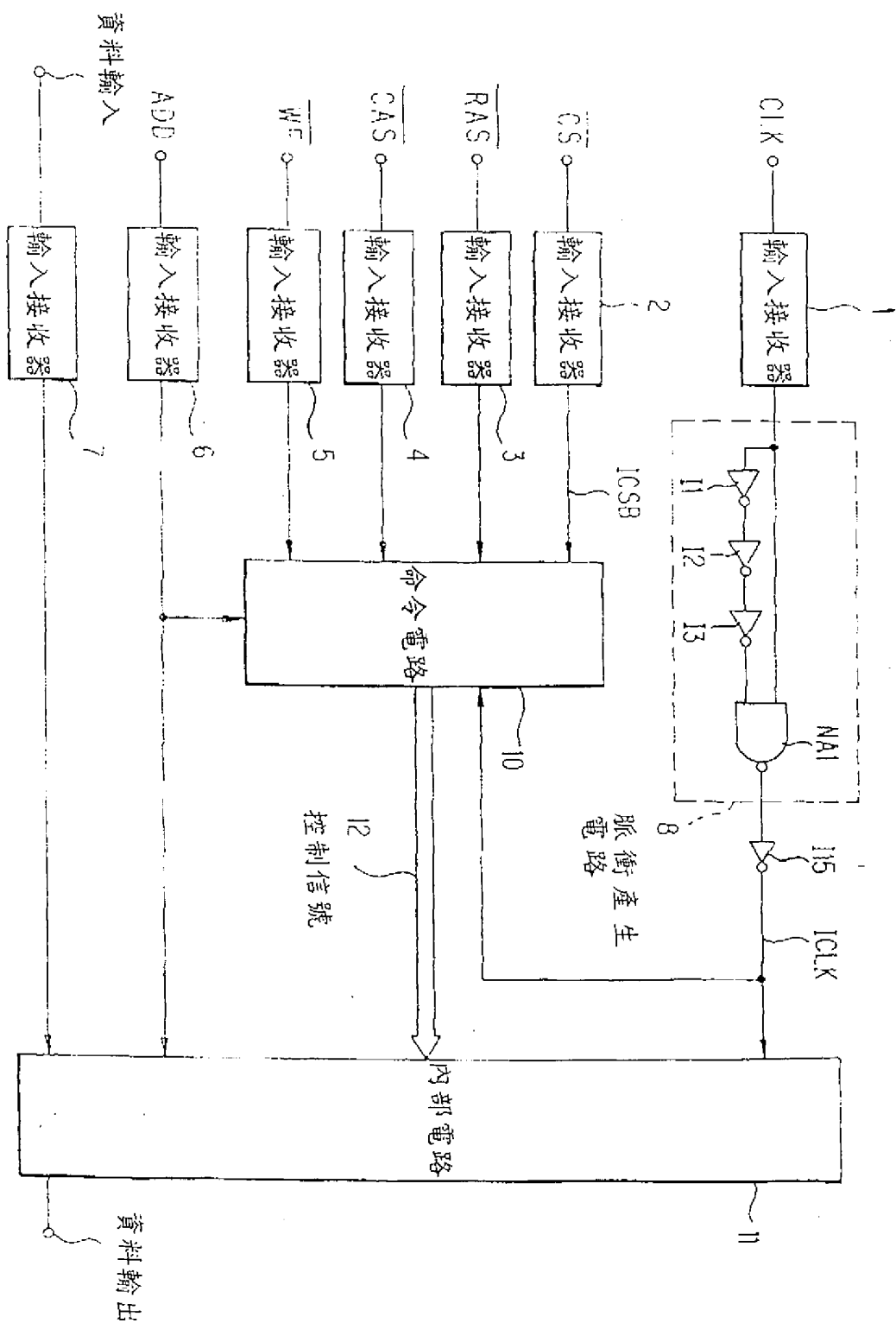
其中，一內部同步信號係允許同時對應該第一脈衝及該第二脈衝，

該第二輸入緩衝器係控制為不啟動，當該內部同步信號設定為對應該第二脈衝，以及

該第一輸入緩衝器係控制為不啟動，當該內部同步信號係設定為不對應該第二脈衝。

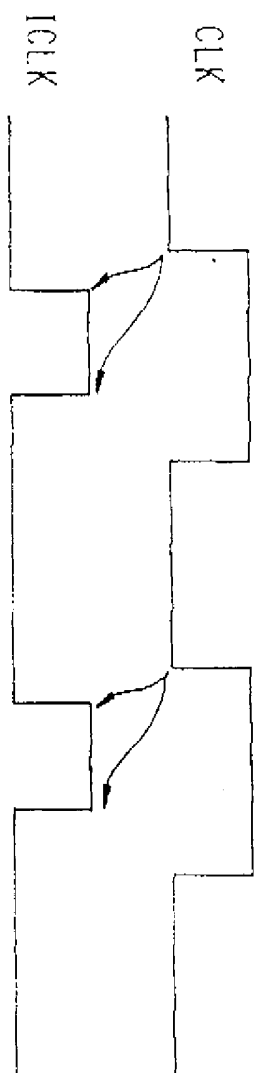


圖式



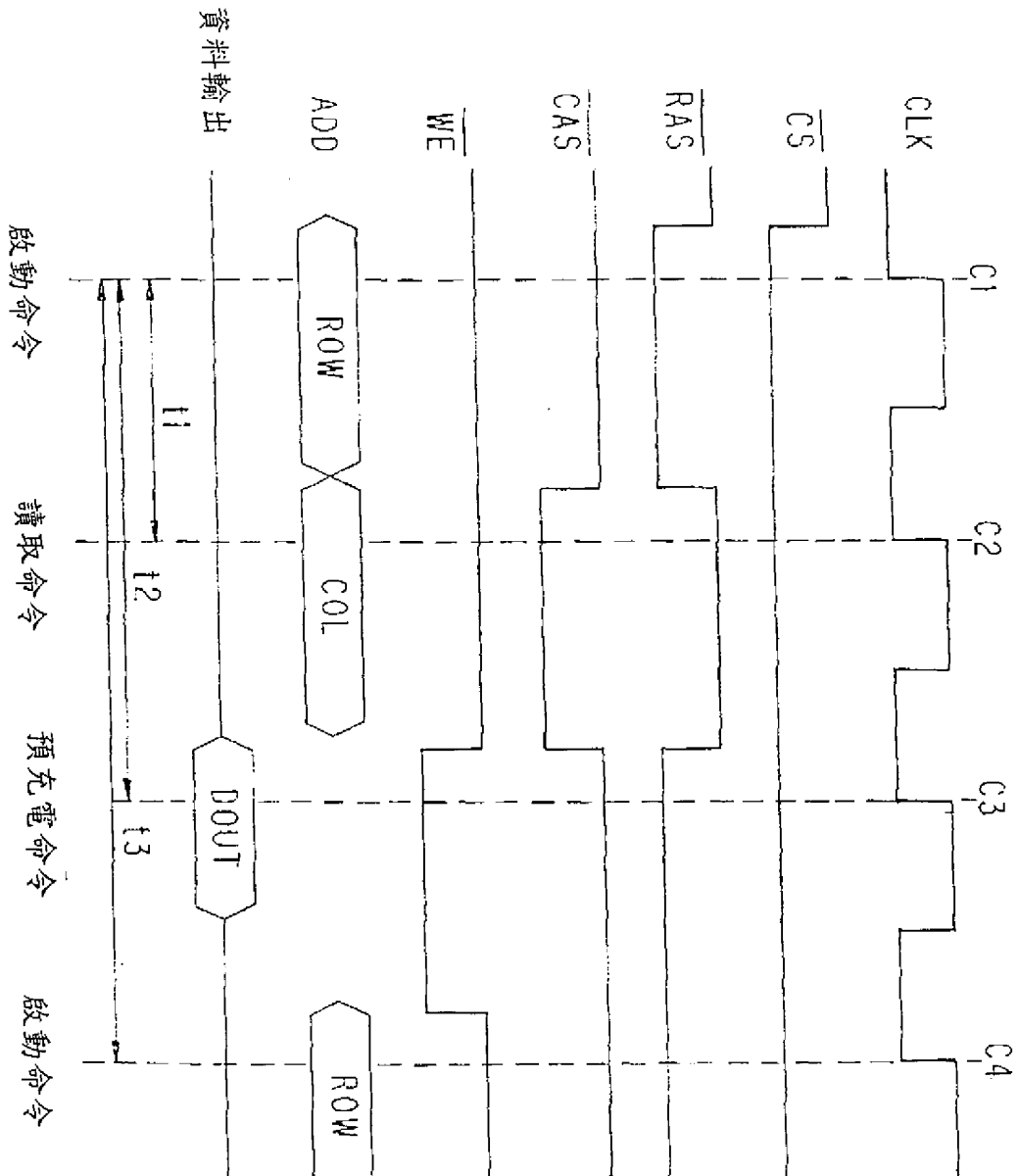
第 1 圖

圖式



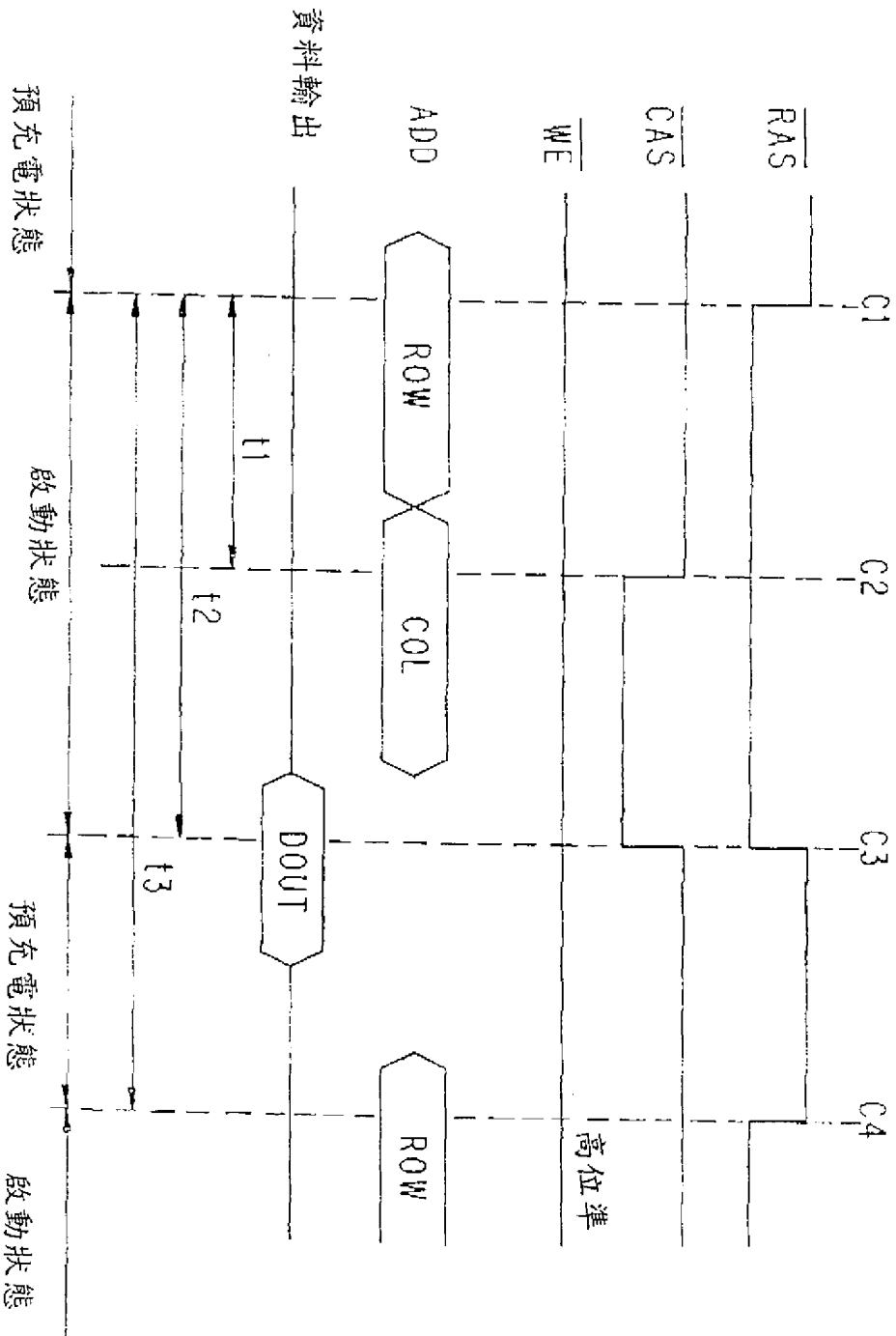
第 2 圖

圖式



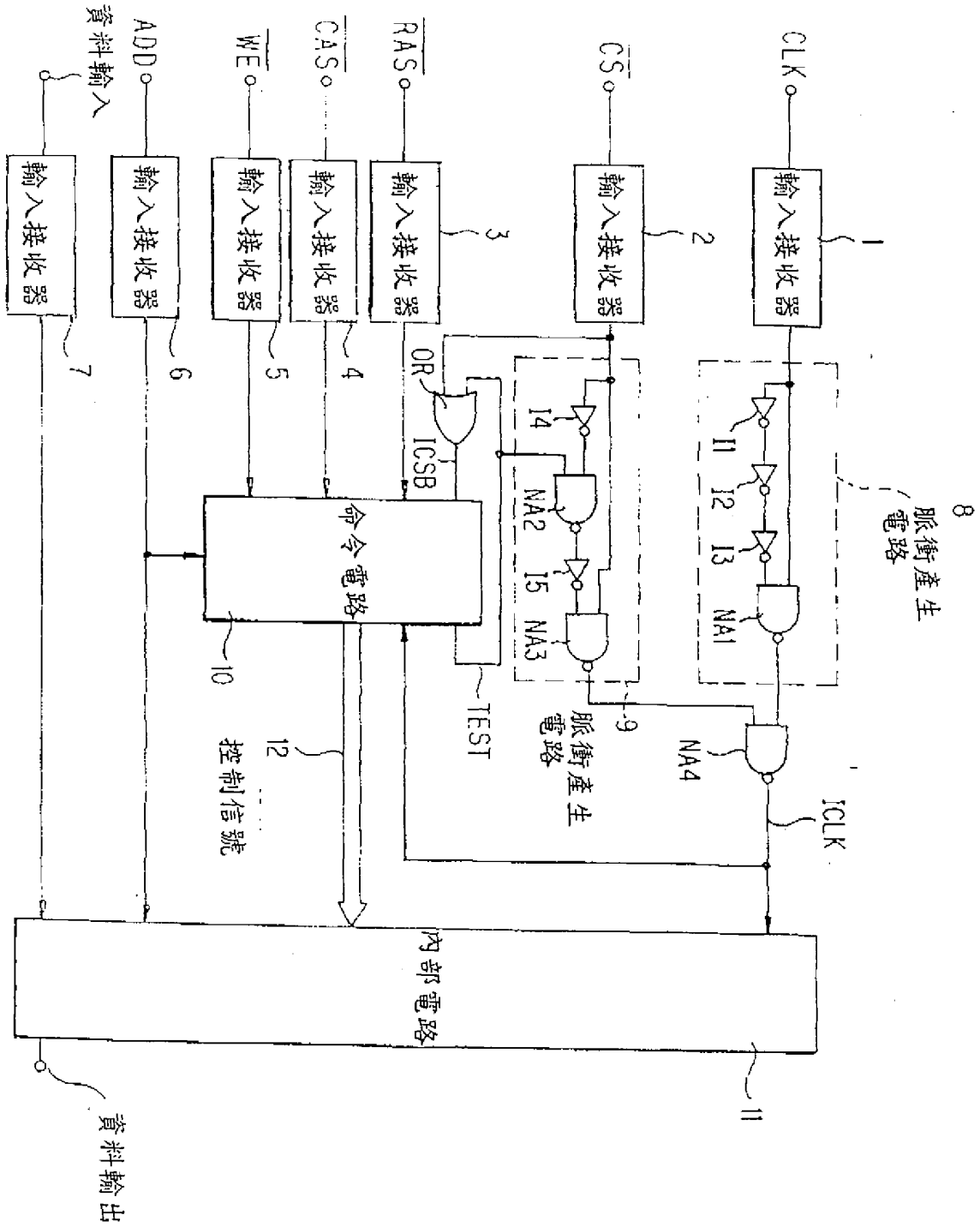
第 3 圖

圖式



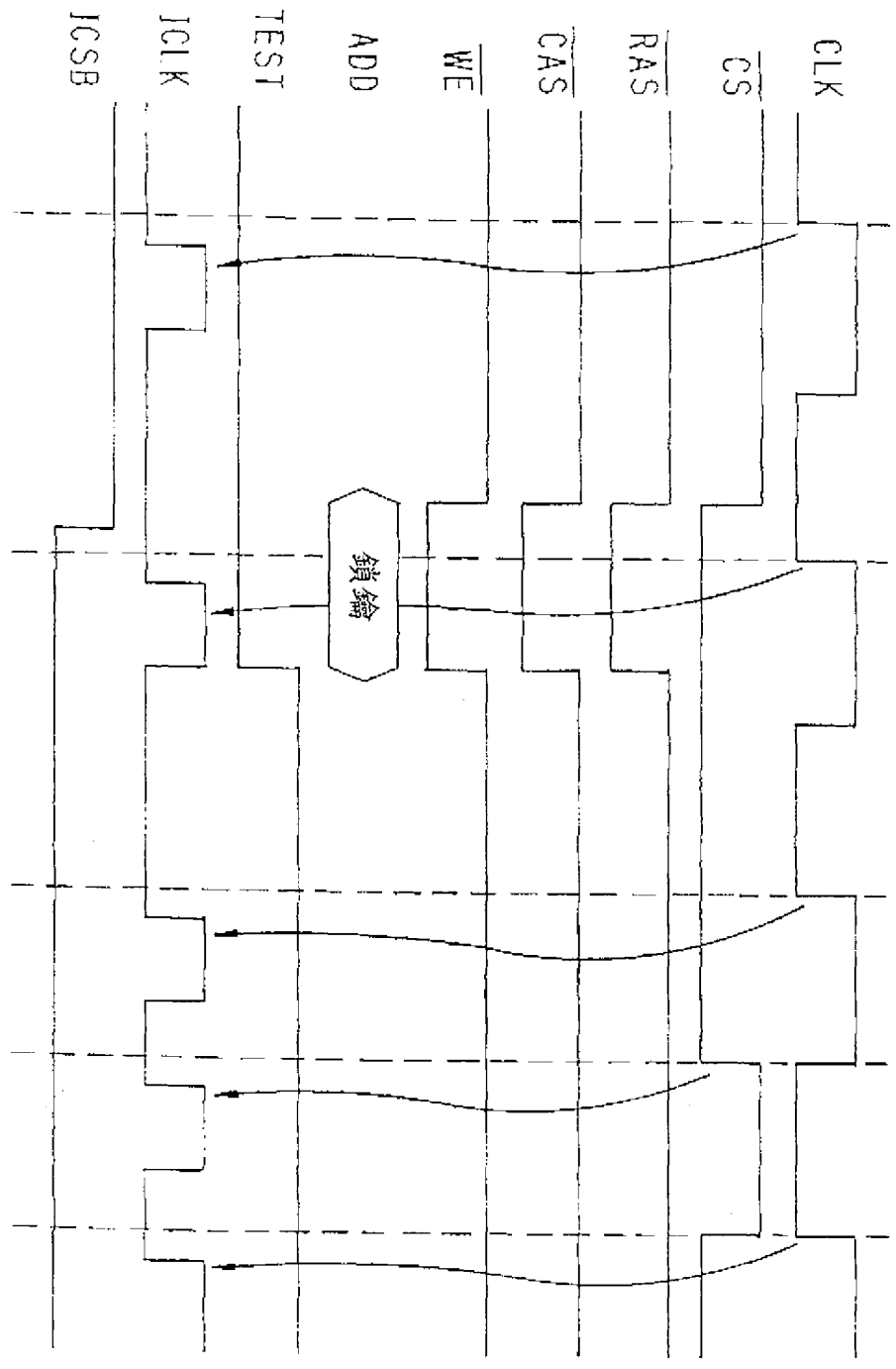
第 4 圖

圖式



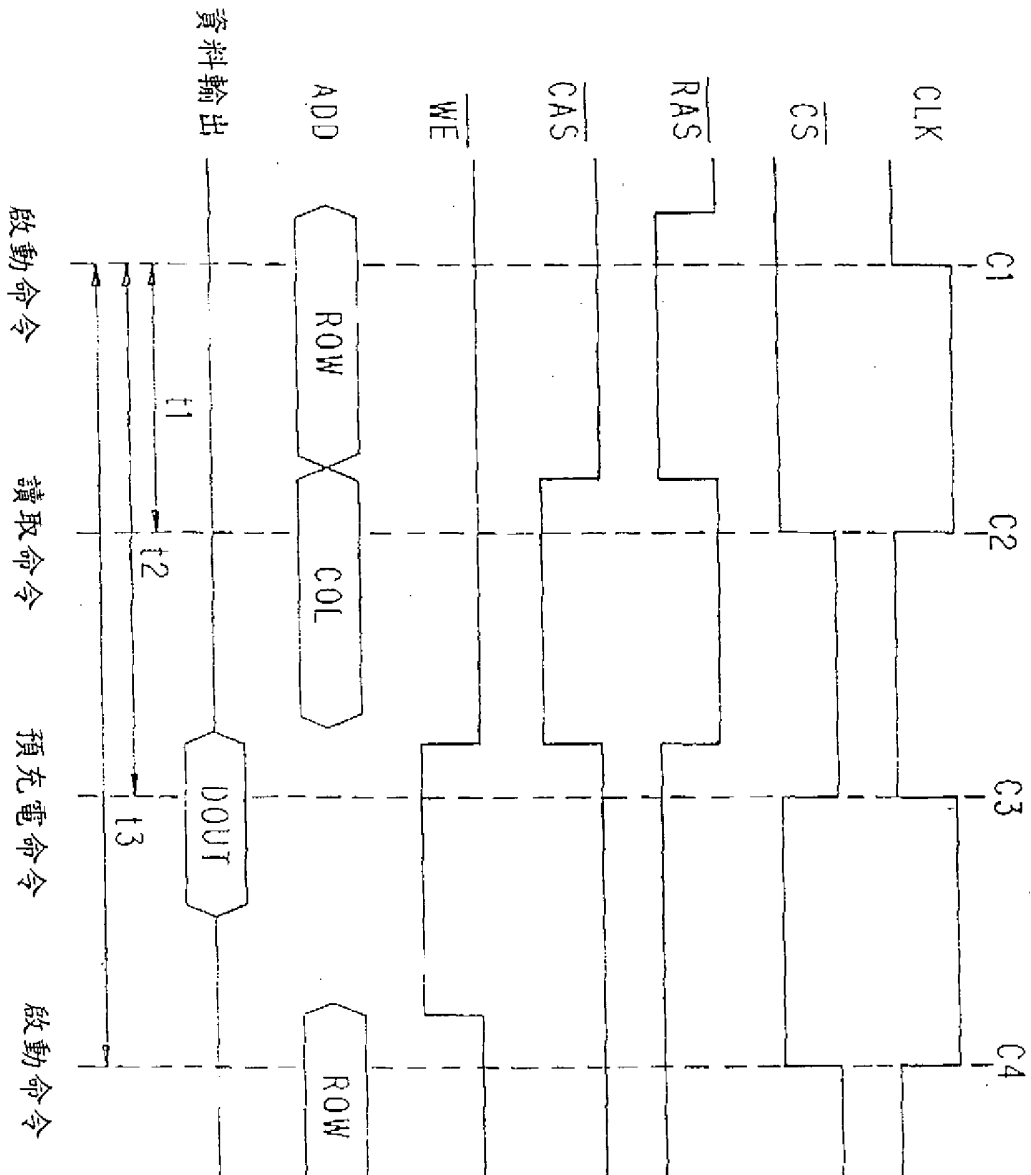
第 5 圖

圖式



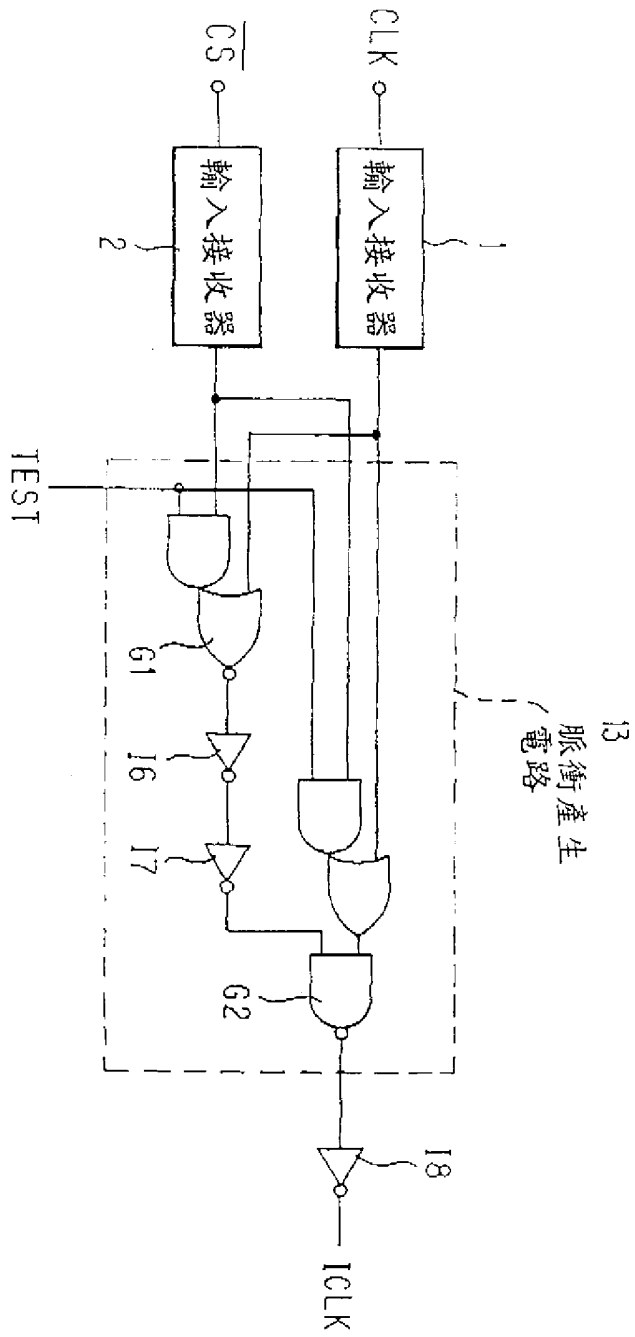
第 6 圖

圖式



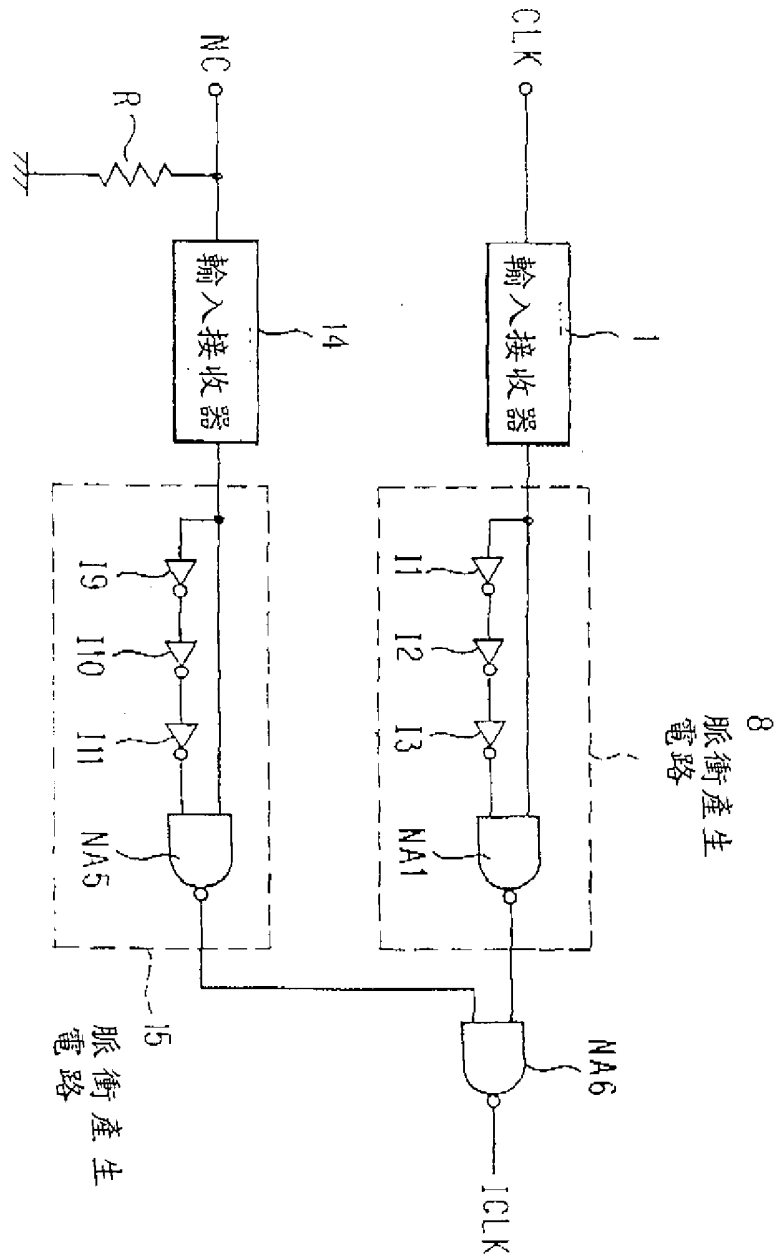
第 7 圖

圖式



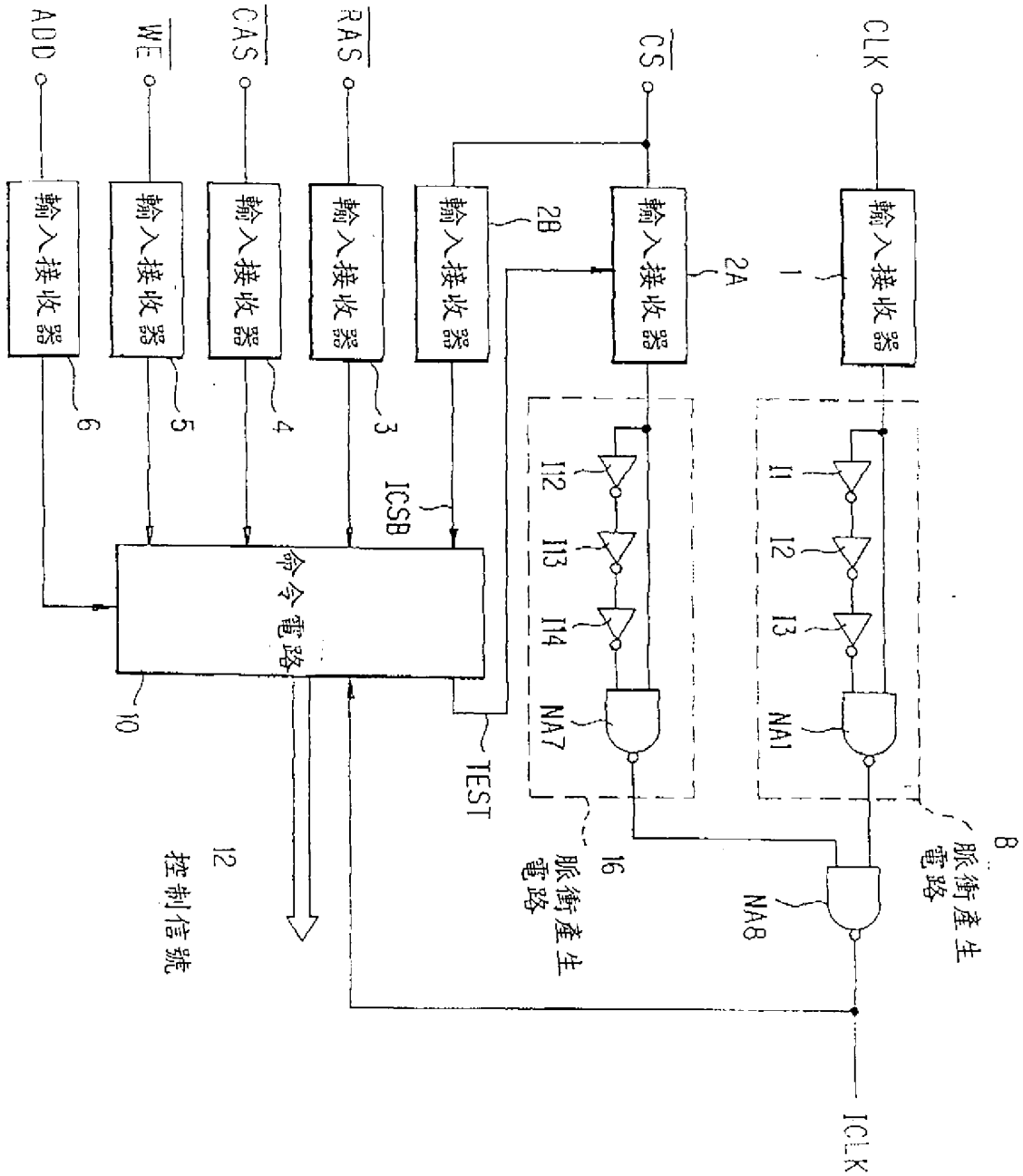
第 8 圖

圖式



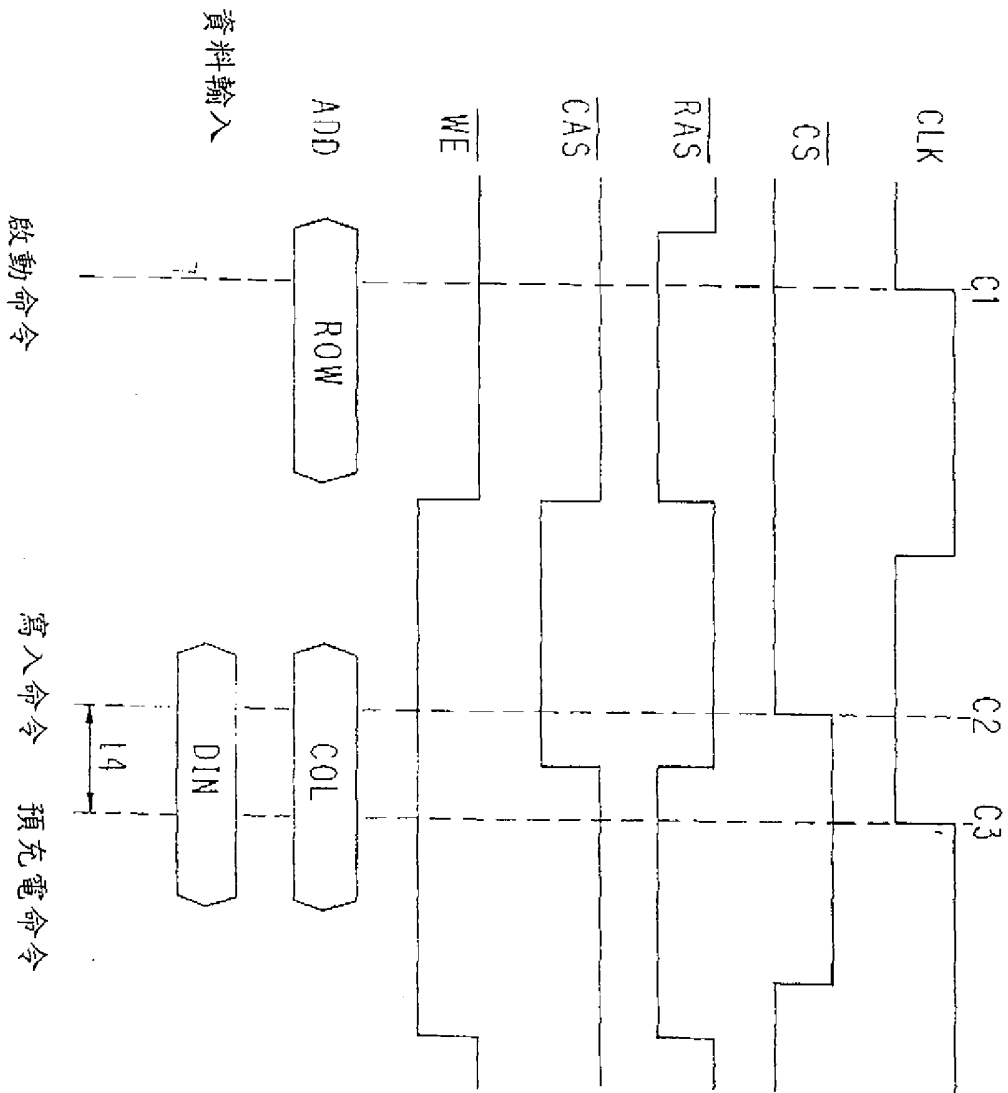
第 9 圖

圖式



第 10 圖

圖式



第 11 圖