

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2012년 12월 27일 (27.12.2012)



(10) 국제공개번호
WO 2012/177101 A2

- (51) 국제특허분류:
H03K 5/156 (2006.01)
- (21) 국제출원번호: PCT/KR2012/004999
- (22) 국제출원일: 2012년 6월 25일 (25.06.2012)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2011-0061881 2011년 6월 24일 (24.06.2011) KR
- (71) 출원인 (US 을(를) 제외한 모든 지정국에 대하여): 엘에스산전 주식회사 (LSIS CO., LTD.) [KR/KR]; 경기도 안양시 동안구 호계동 1026-6, 431-080 Gyeonggi-do (KR).
- (72) 발명자: 곁
- (75) 발명자/출원인 (US 에 한하여): 선종국 (SEON, Jong Kug) [KR/KR]; 경기도 수원시 권선구 금곡동 LG 빌리지 410동 303호, 441-704 Gyeonggi-do (KR).
- (74) 대리인: 정종욱 (CHUNG, Jong Ok) 등; 서울특별시 강남구 도곡동 423-5 덕영빌딩 4층, 135-855 Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO,

AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

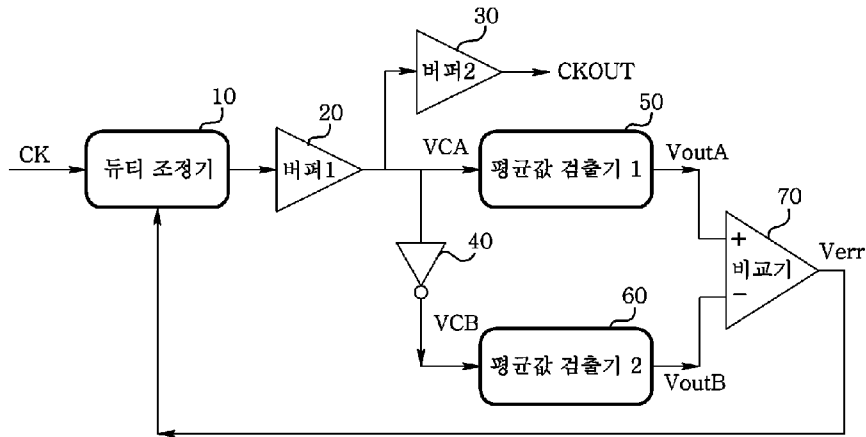
공개:

— 국제조사보고서 없이 공개하며 보고서 접수 후 이를 별도 공개함 (규칙 48.2(g))

(54) Title: DUTY CYCLE CORRECTION APPARATUS

(54) 발명의 명칭 : 듀티 사이클 보정장치

[Fig. 3]



10 ... Duty adjuster
20 ... Buffer 1
30 ... Buffer 2

50 ... Average value detector 1
60 ... Average value detector 2
70 ... Comparator

(57) Abstract: Disclosed is a duty cycle correction apparatus. The apparatus of the present invention adjusts signal widths of an input signal, averages the widths of the signal, and inverts the signal, then averages the widths of the inverted signal, compares the two averaged signals, and outputs the difference between the two averaged signals.

(57) 요약서: 듀티 사이클 보정장치가 개시된다. 본 발명의 장치는, 입력신호의 신호폭을 조정하고, 이 신호의 폭을 평균화하고, 이 신호를 반전한 후, 반전한 신호의 폭을 평균화하여, 평균화한 두 신호를 비교하고 그 차이를 출력한다.

WO 2012/177101 A2

명세서

발명의 명칭: 듀티 사이클 보정장치

기술분야

- [1] 본 발명은 듀티 사이클 보정장치에 관한 것이다.
[2]

배경기술

- [3] 일반적으로, 듀티 사이클 보정기는, 디지털 시스템의 보정회로, 전원회로에 사용되는 스위칭 레귤레이터(Switching Regulator) 또는 신호동기 시스템의 지연동기루프 등에서 가장 널리 사용되는 회로 중 하나로서, 내부 또는 외부 클럭신호의 듀티 사이클을 보정하여, 정확한 데이터가 전달되도록 에러율을 감소시키는 역할을 하는 것이다.
- [4] 디지털 시스템에서는, 경로(path)지연과 반사경로에 의해 발생된 듀티 비율의 변화를 50%로 보정하여, 시스템의 샘플링(sampling) 신호가 정확하게 데이터를 검출할 수 있게 한다. 전원회로에 사용되는 스위칭 레귤레이터에서는, 스위치의 정확한 듀티 비율을 조절하여 성능을 향상시킨다. 또한, 지연동기루프에서는, 수신신호 데이터의 듀티 비율을 정확하게 조정 및 동기화하여 수신감도를 향상시킨다.
- [5] 그러나, 종래의 듀티 사이클 보정기는, 펄스 발생기를 반드시 필요로 하므로, 정확한 펄스폭을 유지하기 위해 복잡한 회로가 요구되고, 듀티 사이클을 보정할 수 있는 범위가 제한적인 문제점이 있다. 또한, 종래의 듀티 사이클 보정기에서 사용되는 지연기는, 자체 고유의 지연오차를 가지고, 이러한 오차는 듀티 비율을 더욱 부정확하게 하는 문제점이 있다.

[6]

발명의 상세한 설명

기술적 과제

- [7] 본 발명이 해결하고자 하는 기술적 과제는, 펄스 발생기와 지연기를 사용하지 않아 자체 오차를 최소화하는 듀티 사이클 보정장치를 제공하는 것이다.
- [8] 본 발명이 해결하고자 하는 또 다른 기술적 과제는, 공정변화와 온도변화에 둔감하게 설계하여, 입력신호의 듀티 비율 변동에 따른 시스템 성능 저하를 최소화하는 듀티 사이클 보정장치를 제공하는 것이다.

[9]

과제 해결 수단

- [10] 위와 같은 기술적 과제를 해결하기 위해, 입력신호의 듀티 비율을 보정하기 위한, 본 발명의 듀티 사이클 보정장치는, 상기 입력신호의 신호폭을 조정하는 조정부; 상기 조정부의 출력신호의 폭을 평균화하는 제1평균화부; 상기 조정부의 출력신호를 반전하는 인버터부; 상기 인버터부의 출력신호의 폭을

평균화하는 제2평균화부; 및 상기 제1 및 제2평균화부의 출력신호를 비교하고 그 차이를 출력하는 비교부를 포함한다.

- [11] 본 발명의 일실시예에서, 상기 비교부의 출력을 이용하여 상기 조정부가 상기 입력신호의 폭을 조정할 수 있다.
- [12] 본 발명의 일실시예에서, 상기 제1평균화부 및 상기 제2평균화부의 출력신호의 비율을 선택하여, 상기 비교부가 해당 비율에 따라 차이를 출력하도록 하는 선택부를 더 포함할 수 있다.
- [13] 본 발명의 일실시예에서, 상기 조정부의 출력을 일시적으로 저장하여 상기 제1평균화부로 출력하는 제1버퍼부를 더 포함할 수 있다.
- [14] 본 발명의 일실시예에서, 상기 인버터부는, 상기 제1버퍼부의 출력을 반전할 수 있다.
- [15] 본 발명의 일실시예에서, 상기 제1버퍼부의 출력을 일시적으로 저장하여 출력하는 제2버퍼부를 더 포함할 수 있다.
- [16] 본 발명의 일실시예에서, 상기 조정부의 출력과 상기 인버터부의 출력의 듀티 비율이 일치되는 경우, 상기 비교부의 출력이 실질적으로 0이 될 때까지, 상기 비교부의 출력이 상기 조정부로 입력될 수 있다.
- [17] 본 발명의 일실시예에서, 상기 조정부는, 입력신호의 폭을 상기 비교부의 출력에 의해 조절하는 조절부; 및 상기 조절부의 동작을 온/오프하는 제1스위치를 포함할 수 있다.
- [18] 본 발명의 일실시예에서, 상기 제1평균화부 및 상기 제2평균화부는, 전류를 공급하는 전류원; 상기 전류원으로부터 공급되는 전류를 입력되는 전압의 하이/로우에 따라 스위칭하기 위한 제2스위치; 및 상기 제2스위치의 스위칭에 의해, 상기 전류원의 전류를 이용하여 입력되는 전압의 폭을 평균화하여 출력하는 저대역 통과필터(LPF)를 포함할 수 있다.
- [19] 본 발명의 일실시예에서, 상기 LPF는 커패시터를 포함할 수 있다.
- [20]

발명의 효과

- [21] 본 발명에 의하면, 종래의 듀티 사이클 보정장치에서 사용하던 펄스 발생기를 사용하지 않아, 시스템의 소형화가 가능하며, 전력소모를 줄일 수 있다.
- [22] 또한, 본 발명은 고유의 지연오차를 발생하는 지연기를 사용하지 않아, 정밀도를 한층 높일 수 있다.
- [23]

도면의 간단한 설명

- [24] 도 1은 종래의 듀티 사이클 보정장치의 구성도이다.
- [25] 도 2는 도 1의 각 노드에서의 신호 사이클을 설명하기 위한 도면이다.
- [26] 도 3은 본 발명에 따른 듀티 사이클 보정장치의 일실시예 구성도이다.
- [27] 도 4a는 도 3의 듀티 조정기의 일실시예 상세 구성도이다.

- [28] 도 4b는 도 4a를 실제로 구현한 일실시에 회로도이다.
 [29] 도 5a는 도 3의 듀티 조정기의 다른 실시예 상세 구성도이다.
 [30] 도 5b는 도 5a를 실제로 구현한 일실시에 회로도이다.
 [31] 도 6 및 도 7은 도 3의 평균값 검출기의 일실시에 상세 구성도이다.
 [32] 도 8은 도 6 및 도 7의 평균값 검출기의 입력파형을 나타내는 일예시도이다.
 [33] 도 9는 본 발명에 따른 듀티 사이클 보정장치의 제2실시에 구성도이다.
 [34]

발명의 실시를 위한 최선의 형태

- [35] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다.
 [36] 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
 [37] 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소를 설명하는데 사용될 수 있지만, 상기 구성요소는 상기 용어들에 의해 한정되지는 않는다.
 [38] 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제2 구성요소는 제1 구성요소로 명명될 수 있고, 유사하게 제1 구성요소도 제2 구성요소로 명명될 수 있다.
 [39] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급될 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급될 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.
 [40] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
 [41] 본 출원에서, "포함한다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
 [42] 또한 본 출원에서 첨부된 도면은 설명의 편의를 위하여 확대 또는 축소하여 도시된 것으로 이해되어야 한다.
 [43] 이하에서는, 첨부된 도면을 참조로 하여, 종래의 듀티 사이클 보정장치를 설명하고, 이어, 본 발명의 듀티 사이클 보정장치를 상세히 설명하기로 한다.

- [44] 도 1은 종래의 듀티 사이클 보정장치의 구성도이고, 도 2는 도 1의 각 노드에서의 신호 사이클을 설명하기 위한 도면이다.
- [45] 도면에 도시된 바와 같이, 종래의 듀티 사이클 보정기는, 펄스 발생기(100), 반주기 시간 지연기(110), 매칭 지연기(120) 및 SR 래치(Latch)(130)로 구성된다.
- [46] 도 1 및 도 2를 참조로 설명하면, 부정확한 듀티 비율을 가지는 입력신호 CK_in에 대해, 펄스 발생기(100)는 CK_in의 상승에지에서 펄스를 발생시킨다.
- [47] 반주기 시간 지연기(110)는 펄스 발생기(100)의 반주기의 지연시간을 두어 반전신호를 발생시킨다.
- [48] 매칭 지연기(120)는 반주기 시간 지연기(110)의 고유한(intrinsic) 지연에 의해 발생된 오차를 보정하며, 펄스 발생기(100)에 대해 반전신호를 발생한다.
- [49] SR 래치(130)는 반주기 시간 지연기(110)와 매칭 지연기(120)의 출력신호의 상승(rising) 또는 하강(falling) 순간에, 상승(rising) 또는 하강(falling)을 반복하여, 부정확한 듀티 비율을 가지는 신호 CK_in에 대하여 정확한 듀티 비율을 가지는 출력신호 CK_out을 출력한다.
- [50] 위와 같은 종래의 듀티 사이클 보정기는, 펄스 발생기(100)가 필요하므로, 정확한 펄스폭을 유지하기 위하여 회로가 복잡해지는 문제점이 있다. 또한, 입력신호 CK_in의 듀티 비율이 낮을 경우, 펄스 발생기(100)의 폭이 더욱 부정확하게 되어, 듀티 비율의 오차가 시간에 따라 변동하게 되어, 듀티 사이클을 보정할 수 있는 범위가 제한적인 문제점이 있다.
- [51] 또한, 종래의 듀티 사이클 보정기는, 반주기 시간 지연기(110) 및 매칭 지연기(120)와 같은 지연기가 자체의 고유 지연오차를 가지고, 이러한 오차는 듀티 비율을 더욱 부정확하게 하는 문제점이 있다.
- [52]
- [53] 본 발명은 위와 같은 종래기술의 문제점을 해결하기 위하여, 듀티 사이클 보정장치의 설계에 있어, 펄스 발생기를 사용하지 않고, 또한 지연기에서 발생하는 고유의 지연오차를 최소화하기 위하여 지연기를 사용하지 않는다.
- [54] 또한, 본 발명은, 공정변화와 온도변화에 둔감하도록 설계되었으며, 입력신호의 듀티 비율의 변동에 따른 시스템의 성능저하를 최소화한다. 또한, 최저 전력소모를 가능하게 하여, 본 발명의 듀티 사이클 보정장치를 더욱 다양한 분야에 적용할 수 있다. 이하, 본 발명의 듀티 사이클 보정장치를 상세하게 설명한다.
- [55] 도 3은 본 발명에 따른 듀티 사이클 보정장치의 일실시에 구성도이다.
- [56] 도면에 도시된 바와 같이, 본 발명의 보정장치는, 듀티 조정기(Duty-Alert Clock)(10), 버퍼(Buffer)1(20), 버퍼2(30), 인버터(Inverter)(40), 평균값 검출기(Average Value Detector)1(50), 평균값 검출기2(60) 및 비교기(Comparator)(70)를 포함한다.
- [57] 듀티 조정기(10)는, 부정확한 듀티 비율을 가지는 입력신호 CK가 입력되면, 비교기(70)에서 검출된 출력신호 Verr의 크기에 의해 신호폭을 조정한다.

- [58] 버퍼1(20)은 듀티 조정기(10)의 출력을 일시로 저장하였다가 출력하고, 버퍼2(30)는 버퍼1(20)의 출력을 일시로 저장하였다가 출력한다. 버퍼2(20)의 출력은 듀티 조정기(10)의 출력의 확인을 위한 신호로 사용될 수 있다.
- [59] 평균값 검출기1(50)은 듀티 조정기(10)의 출력 VCA의 폭을 평균화한다.
- [60] 인버터(40)는 버퍼1(20)의 출력을 반전하여 VCB를 출력한다.
- [61] 평균값 검출기2(60)는, 인버터(40)의 출력 VCB의 폭을 평균화한다.
- [62] 평균값 검출기1(50)과 평균값 검출기2(60)의 출력 VoutA, VoutB는 다시 비교기(70)가 비교하여, 비교한 출력을 듀티 조정기(10)에 제공한다.
- [63] 이를 신호의 흐름으로 설명하면, 듀티 조정기(10)에 부정확한 듀티 비율을 가지는 입력신호 CK가 입력되면, 비교기(70)에서 검출된 출력 Verr의 크기에 의해 입력신호의 폭이 조절되고, 그 출력 VCA는 평균값 검출기1(50)에 의해 평균화되고, 인버터(40)에 의해 반전된 신호 VCB는 평균값 검출기2(60)에서 평균화되어, 다시 비교기(70)에서 재비교된다.
- [64] 이러한 과정은, VCA와 VCB의 듀티 비율이 완전히 일치되는 50% 듀티 비율의 시스템에서는, 비교기(70)에서 검출된 출력신호 Verr가 영(zero)이 될 때까지 반복된다. 이러한 과정을 통해 본 발명의 듀티 사이클 보정장치는, 펄스 발생기나 지연기 등을 사용하지 않아도, 정확하게 듀티 비율을 조절할 수 있다.
- [65]
- [66] 도 4a 및 도 5a는 각각 도 3의 듀티 조정기의 일실시에 상세 구성도이며, 도 4b는 도 4a를, 도 5b는 도 5a를 실제로 구현한 일실시에 회로도이다.
- [67] 도 4a 및 도 5a에 도시된 바와 같이, 본 발명의 듀티 사이클 보정장치의 듀티 조정기(10)는, 조절기(12)의 동작을 온/오프하는 스위치(SW)(11)와 전압 또는 전류를 조절하는 조절기(12)를 포함한다. 도 4a 및 도 5a에서는, 그 구성은 동일하지만, 그 배치가 다른 예가 도시되어 있는 것이다.
- [68] 조절기(12)는 각각, 입력신호 CK의 폭을, 비교기 출력 Verr에 의해 조절한다.
- [69] 도 4a 및 도 5a의 실제 구현에는, 각각 도 4b 및 도 5b와 같으며, 본 발명의 일실시에에서, 트랜지스터 Mp는 스위치(11)로, 트랜지스터 Mn은 조절기(12)로 각각 사용되었다.
- [70]
- [71] 도 6 및 도 7은 도 3의 평균값 검출기의 일실시에 상세 구성도로서, 도 3의 평균값 검출기1(50) 및 평균값 검출기2(60) 모두 동일하게 구성될 수 있을 것이다. 설명의 편의를 위하여, 평균값 검출기1(50)의 경우를 예를 들어 설명하기로 하겠으나, 평균값 검출기2(60)를 본 발명의 설명에서 배제하는 것은 아니다.
- [72] 도 6 및 도 7에 도시된 바와 같이, 본 발명의 보정장치의 평균값 검출기1(50)은, 전류원(51), 저대역 통과 필터(Low Pass Filter; LPF)(52) 및 스위치(53)를 포함한다. 도 6과 도 7에서는, 구성은 동일하지만, 그 배치가 다른 예가 도시되어 있다. LPF(52)는 커패시터(capacitor)로 대체될 수도 있다.

[73]

[74] 도 8은 도 6 및 도 7의 평균값 검출기1(50)의 입력파형을 나타내는 일예시도이다. 도면에 도시된 바와 같이, VCA 또는 VCB의 출력신호의 폭만큼, 스위치(53)는 온(ON)과 오프(OFF)를 반복한다.

[75] 도 6의 평균값 검출기1(50)에서는, 스위치(53)가 온(ON)인 경우에 충전되고, 오프(OFF)인 경우에 방전된다. 도 7의 경우에는 위와 반대이다.

[76] 도 6 및 도 7의 LFP(52)는 VCA 또는 VCB의 폭을 평균화하여 출력하여, 이를 도 3의 비교기(70)로 전달하며, 비교기(70)는 VCA와 VCB의 차를 듀티 조정기(10)에 전달한다.

[77] 이와 같은 과정을, 비교기(70)의 출력이 0이 될 때까지 반복수행하여, 안정적인 듀티 비율을 발생하도록 하는 것임은, 이미 설명한 바와 같다.

[78] 즉, 도 6에서, VCA가 하이(HIGH)이면 스위치(53)는 온(ON)이고, 전류원(51)의 전류는 접지(GND)로 흐르고, LPF(52)의 내부 캐패시터의 전하는 방전된다. 반대로, VCA가 로우(LOW)이면, 스위치(53)는 오프(OFF)이고, 전류원(51)의 전류 I는 LPF(52)의 내부 캐패시터에 전하 Q를 $Q=C \times V_{outA}$ 만큼 오프(OFF)시간동안 충전한다(C는 LPF(52)의 내부 캐패시터의 캐패시턴스임). 이는 $Q=I \times T_{off}$ 로 표현될 수 있다. 따라서, $V_{outA}=(I \times T_{off}/C)$ 가 된다.

[79] 도 7과 같은 구성에서는 도 6과 온(ON)/오프(OFF) 동작이 반대가 되고, $V_{outB}=(I \times T_{on}/C)$ 로 표현될 수 있다.

[80] 50%의 듀티 비율을 가지는 시스템에서는 $V_{outA}=V_{outB}$ 이다.

[81]

[82] 도 9는 본 발명에 따른 듀티 사이클 보정장치의 제2실시에 구성도이다.

[83] 도면에 도시된 바와 같이, 본 발명에 따른 듀티 사이클 보정장치는, 듀티 조정기(10), 버퍼1(20), 버퍼2(30), 인버터(40), 평균값 검출기1(50), 평균값 검출기2(60), 비교기(70) 및 듀티 비율 선택기(Duty Ratio Selector)(80)를 포함한다. 본 발명의 듀티 사이클 보정장치의 제2실시에는, 도 3에서 설명한 제1실시에에서 듀티 비율 선택기(80)를 더 포함하는 것으로서, 그 외의 구성요소의 설명에 대해서는 이미 설명한 바와 같으므로, 그에 대한 설명은 생략하는 것으로 하겠다.

[84] 듀티 비율 선택기(80)는 비교기(70)의 입력인 VCA와 VCB의 비율을 선택하여 비교기(70)가 해당 비율에 따라 출력하도록 하는 것으로서, 이에 의해 다양한 듀티 비율을 가지는 시스템을 구현할 수 있으며, 정교한 듀티 사이클 보정장치를 설계할 수 있다.

[85]

[86] 본 발명에 의하면, 종래의 듀티 사이클 보정장치에서 사용하던 펄스 발생기를 사용하지 않아, 시스템의 소형화가 가능하게 하는 효과가 있으며, 전력소모를 줄일 수 있도록 하는 효과가 있다.

[87] 또한, 본 발명은 고유의 지연오차를 발생하는 지연기를 사용하지 않아,

정밀도를 한층 높일 수 있어, 디지털 및 아날로그 시스템, 전원회로, 동기회로뿐 아니라, 높은 집적도가 요구되고 저전력 소모가 요구되는 센서나 무선인식(RFID) 태그 등에도 사용될 수 있을 것이다.

[88]

[89] 이상에서 본 발명에 따른 실시예들이 설명되었으나, 이는 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 범위의 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 다음의 특허청구범위에 의해서 정해져야 할 것이다.

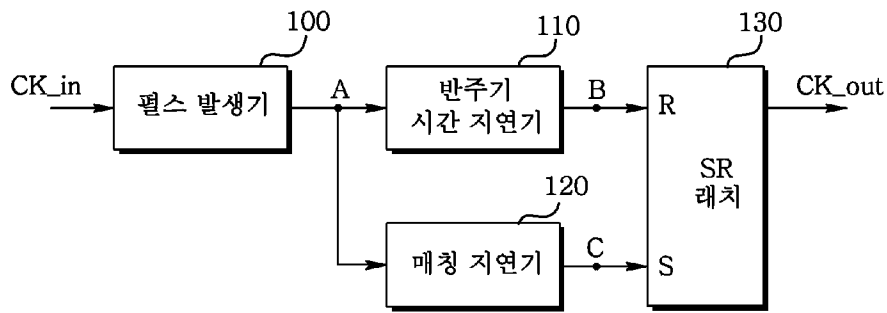
청구범위

- [청구항 1] 입력신호의 듀티 비율을 보정하기 위한, 듀티 사이클 보정장치에 있어서,
 상기 입력신호의 신호폭을 조정하는 조정부;
 상기 조정부의 출력신호의 폭을 평균화하는 제1평균화부;
 상기 조정부의 출력신호를 반전하는 인버터부;
 상기 인버터부의 출력신호의 폭을 평균화하는 제2평균화부; 및
 상기 제1 및 제2평균화부의 출력신호를 비교하고 그 차이를 출력하는 비교부를 포함하는 듀티 사이클 보정장치.
- [청구항 2] 제1항에 있어서, 상기 비교부의 출력을 이용하여 상기 조정부가 상기 입력신호의 폭을 조정하는 듀티 사이클 보정장치.
- [청구항 3] 제1항에 있어서,
 상기 제1평균화부 및 상기 제2평균화부의 출력신호의 비율을 선택하여, 상기 비교부가 해당 비율에 따라 차이를 출력하도록 하는 선택부를 더 포함하는 듀티 사이클 보정장치.
- [청구항 4] 제1항에 있어서, 상기 조정부의 출력을 일시적으로 저장하여 상기 제1평균화부로 출력하는 제1버퍼부를 더 포함하는 듀티 사이클 보정장치.
- [청구항 5] 제4항에 있어서, 상기 인버터부는, 상기 제1버퍼부의 출력을 반전하는 듀티 사이클 보정장치.
- [청구항 6] 제4항에 있어서, 상기 제1버퍼부의 출력을 일시적으로 저장하여 출력하는 제2버퍼부를 더 포함하는 듀티 사이클 보정장치.
- [청구항 7] 제2항에 있어서,
 상기 조정부의 출력과 상기 인버터부의 출력의 듀티 비율이 일치되는 경우, 상기 비교부의 출력이 실질적으로 0이 될때까지, 상기 비교부의 출력이 상기 조정부로 입력되는, 듀티 사이클 보정장치.
- [청구항 8] 제2항에 있어서, 상기 조정부는,
 입력신호의 폭을 상기 비교부의 출력에 의해 조절하는 조절부; 및
 상기 조절부의 동작을 온/오프하는 제1스위치를 포함하는 듀티 사이클 보정장치.
- [청구항 9] 제2항에 있어서, 상기 제1평균화부 및 상기 제2평균화부는,
 전류를 공급하는 전류원;
 상기 전류원으로부터 공급되는 전류를 입력되는 전압의 하이/로우에 따라 스위칭하기 위한 제2스위치; 및
 상기 제2스위치의 스위칭에 의해, 상기 전류원의 전류를 이용하여 입력되는 전압의 폭을 평균화하여 출력하는 저대역

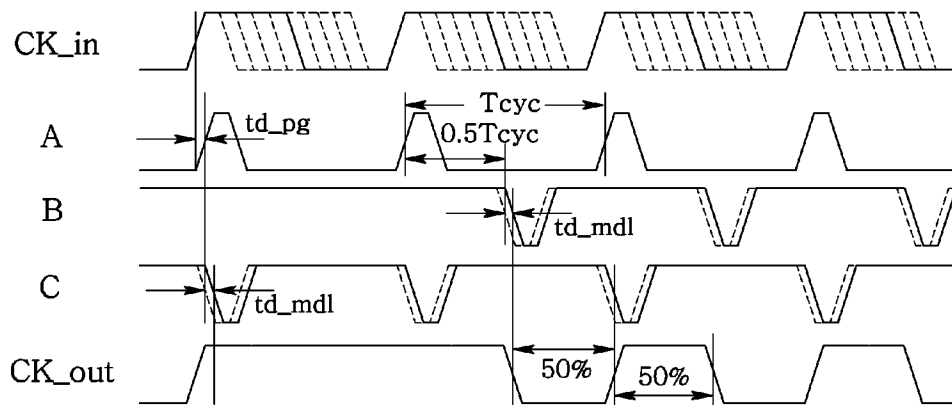
[청구항 10]

통과필터(LPF)를 포함하는 듀티 사이클 보정장치.
제9항에 있어서, 상기 LPF는 커패시터를 포함하는 듀티 사이클
보정장치.

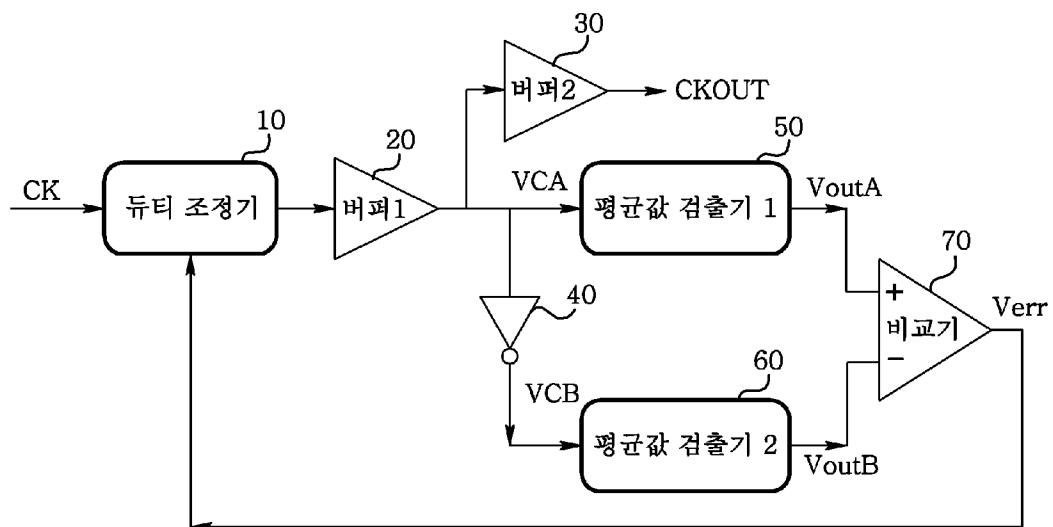
[Fig. 1]



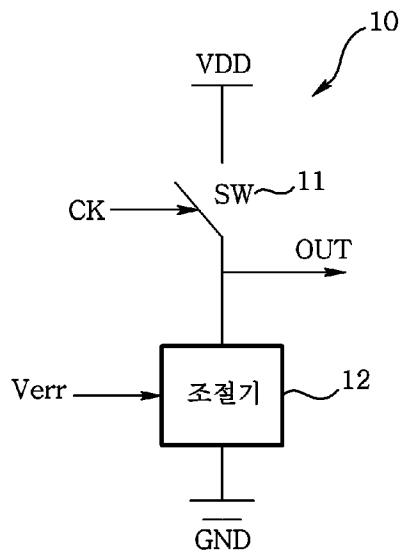
[Fig. 2]



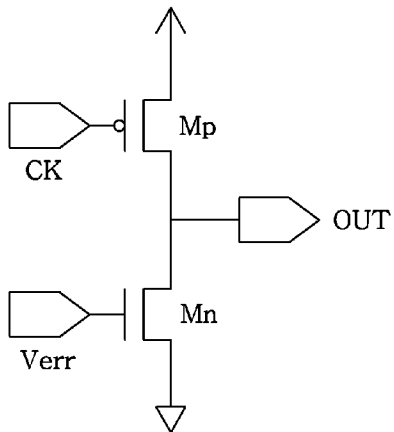
[Fig. 3]



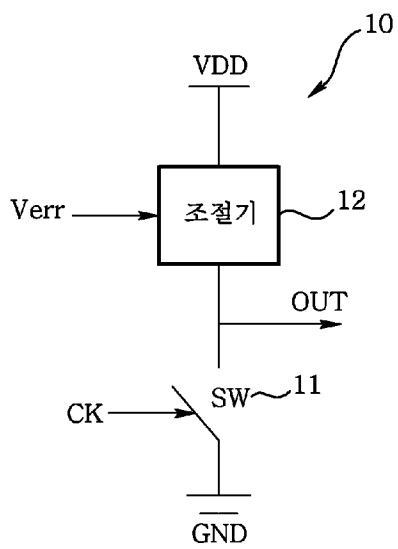
[Fig. 4a]



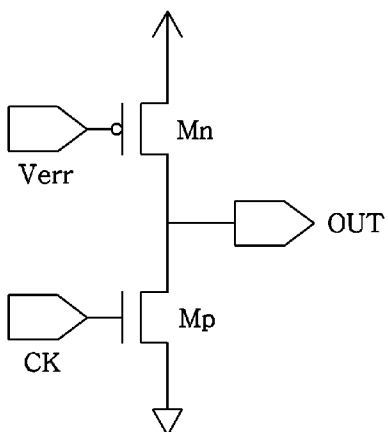
[Fig. 4b]



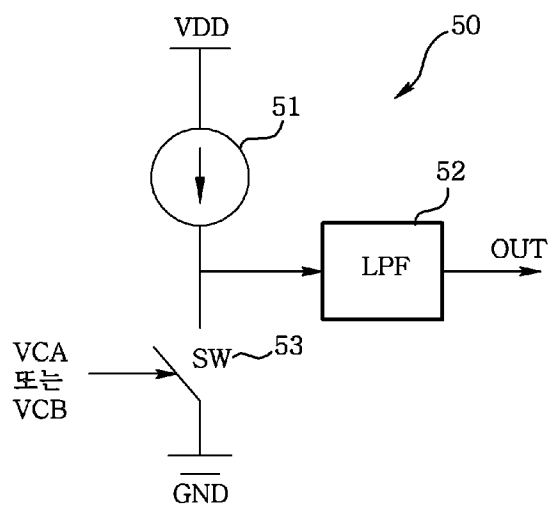
[Fig. 5a]



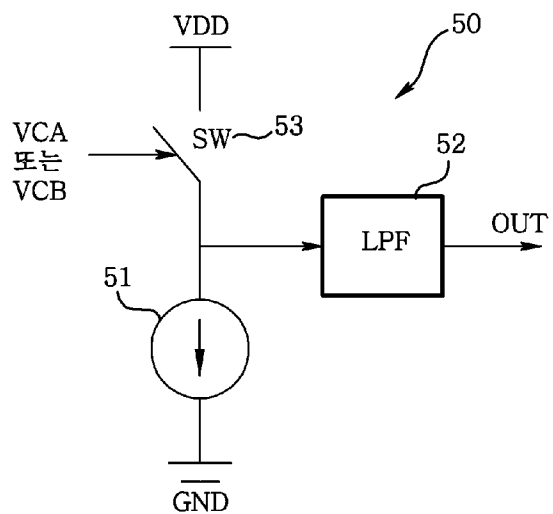
[Fig. 5b]



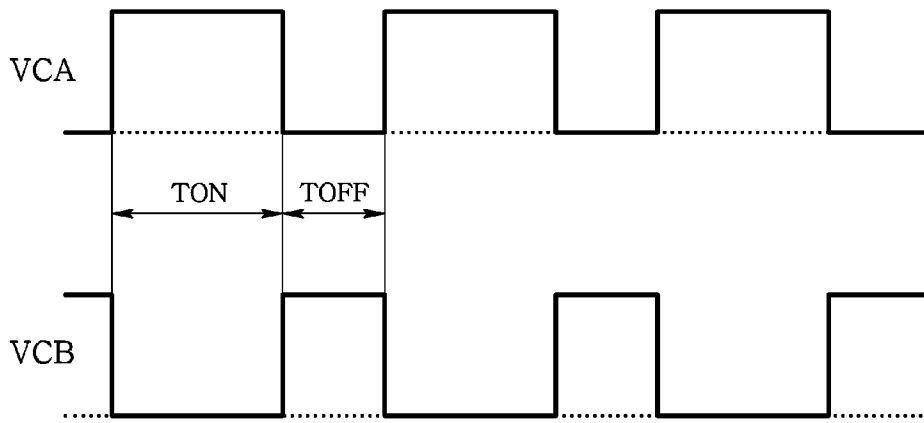
[Fig. 6]



[Fig. 7]



[Fig. 8]



[Fig. 9]

