(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3691554号
(P3691554)
(45)発行日　平成17年9月7日(2005.9.7)　(24)登録日　平成17年6月24日(2005.6.24)

(51)Int.Cl.[7]	F I	
H01L 21/822	H01L 27/04	H
H01L 27/04	H03K 17/08	C
H03K 17/08		

請求項の数 5　(全 11 頁)

(21)出願番号	特願平7-224636
(22)出願日	平成7年8月9日(1995.8.9)
(65)公開番号	特開平8-97376
(43)公開日	平成8年4月12日(1996.4.12)
審査請求日	平成14年8月5日(2002.8.5)
(31)優先権主張番号	290627
(32)優先日	平成6年8月15日(1994.8.15)
(33)優先権主張国	米国(US)

(73)特許権者　399117121
アジレント・テクノロジーズ・インク
AGILENT TECHNOLOGIES, INC.
アメリカ合衆国カリフォルニア州パロアルト　ページ・ミル・ロード　３９５
３９５ Page Mill Road
Palo Alto, California U. S. A.
(74)代理人　100105913
弁理士　加藤　公久
(72)発明者　カルロス・エイチ・ディアズ
アメリカ合衆国カリフォルニア州パロアルト、ポールアヴェニュー　７２１

最終頁に続く

(54)【発明の名称】静電放電対策用保護回路

(57)【特許請求の範囲】

【請求項１】

複数の電気端子を有する集積回路用のＥＳＤ保護回路であって、

集積回路内を流れる電流の電源帰路として機能する基準電位点と、

前記複数の端子のうちの一つに結合された導電経路を介して静電放電を感受する信号ノードと、

ゲートを有し、前記信号ノードと前記基準電位点との間に結合されたＳＣＲと、

ゲートと、前記ＳＣＲのゲートに結合されたドレインと、前記基準電位点に結合されたソースとを有するトリガＦＥＴと、

ドレインと、前記信号ノードに結合されたソースと、電源に結合されたゲートとを有する第１のインバータＦＥＴと、

ドレインと、前記基準電位点に結合されたソースと、前記電源に結合されたゲートと、前記第１のインバータＦＥＴとは異なる極性とを有し、前記電源がオンの時はオンであり、前記電源がオフの時はオフである第２のインバータＦＥＴと、

前記第１のインバータＦＥＴのドレインと、前記第２のインバータＦＥＴのドレインとの間に結合され、定電圧降下を示す２端子回路網と、

を備えて成り、

前記トリガＦＥＴのゲートが前記第２のインバータＦＥＴのドレインに結合されていることを特徴とするＥＳＤ保護回路。

【請求項２】

複数の電気端子を有する集積回路用のＥＳＤ保護回路であって、
集積回路内を流れる電流の電源帰路として機能する基準電位点と、
前記複数の端子のうちの一つに結合された導電経路を介して静電放電を感受する信号ノードと、
ゲートを有し、前記信号ノードと前記基準電位点との間に結合されたＳＣＲと、
ゲートと、前記ＳＣＲのゲートに結合されたドレインと、前記基準電位点に結合されたソースとを有するトリガＦＥＴと、
ドレインと、前記信号ノードに結合されたソースと、電源に結合されたゲートとを有する第１のインバータＦＥＴと、
ドレインと、前記基準電位点に結合されたソースと、前記電源に結合されたゲートと、前記第１のインバータＦＥＴとは異なる極性とを有し、前記電源がオンの時はオンであり、前記電源がオフの時はオフである第２のインバータＦＥＴと、
前記第１のインバータＦＥＴのドレインと前記第２のインバータＦＥＴのドレインとが電気的に結合され
前記第２のインバータＦＥＴのドレインに結合されたドレインと、前記基準電位点に結合されたソースと、前記トリガＦＥＴのドレインに結合されたゲートとを有し、ＥＳＤ事象がない時は通常オフであり、前記ＥＳＤ事象の始まりではオンし、それにより前記トリガＦＥＴのゲート電圧が閾値に達することを遅らせるフィードバックＦＥＴと、
を備えて成り、
前記トリガＦＥＴのゲートが前記第２インバータＦＥＴのドレインに結合されたことを特徴とするＥＳＤ保護回路。

【請求項３】
複数の電気端子を有する集積回路用のＥＳＤ保護回路であって、
集積回路内を流れる電流の電源帰路として機能する基準電位点と、
前記複数の端子のうちの一つに結合された導電経路を介して静電放電を感受する信号ノードと、
ゲートを有し、前記信号ノードと前記基準電位点との間に結合されたＳＣＲと、
ゲートと、前記ＳＣＲのゲートに結合されたドレインと、前記基準電位点に結合されたソースとを有するトリガＦＥＴと、
ドレインと、前記信号ノードに結合されたソースと、電源に結合されたゲートとを有する第１のインバータＦＥＴと、
ドレインと、前記基準電位点に結合されたソースと、前記電源に結合されたゲートと、前記第１のインバータＦＥＴとは異なる極性とを有し、前記電源がオンの時はオンであり、前記電源がオフの時はオフである第２のインバータＦＥＴと、
前記第１のインバータＦＥＴのドレインと、前記第２のインバータＦＥＴのドレインとの間に結合され、定電圧降下を示す２端子回路網と、
前記第２のインバータＦＥＴのドレインに結合されたドレインと、前記基準電位点に結合されたソースと、前記トリガＦＥＴのドレインに結合されたゲートとを有し、ＥＳＤ事象がない時は通常オフであり、前記ＥＳＤ事象の始まりではオンし、それにより前記トリガＦＥＴのゲート電圧が閾値に達することを遅らせるフィードバックＦＥＴと、
を備えて成り、
前記トリガＦＥＴのゲートが前記第２インバータＦＥＴのドレインに結合されたことを特徴とするＥＳＤ保護回路。

【請求項４】
前記２端子回路網が少なくとも１つのダイオード接続ＦＥＴの直列列を備えたことを特徴とする請求項１乃至３のいずれかに記載のＥＳＤ保護回路。

【請求項５】
前記２端子回路網がツェナーダイオードを備えたことを特徴とする請求項１乃至３のいずれかに記載のＥＳＤ保護回路。

【発明の詳細な説明】

【０００１】
【産業上の利用分野】
本発明は集積回路などの半導体デバイスを静電放電等から保護するための装置に関する。
【０００２】
【従来の技術】
ＭＯＳ技術に関する静電放電（ＥＳＤ）および電気的過応力（ＥＯＳ）保護戦略は、出力バッファのゲート酸化物破壊電圧と、ＭＯＳ破壊電圧とによって促進される。定常動作中の、電源電圧（ＶＤＤ）と上記の破壊電圧との差は、最も進歩したＭＯＳ製造工程では、僅か数ボルトであるに過ぎない。その結果、破壊電圧に依存するＥＳＤ保護装置の設計は一層複雑さを増してきた。何故ならば、保護構造は定常動作中は完全に受動状態（すなわちトリガされない）であることが期待され、なおかつ、ＥＳＤ事象の発生中は低電圧でトリガしなければならない。
集積回路（ＩＣ）をＥＳＤに起因する損傷から保護するための種々の技術が提案されている。動作をより高速化し、電力消費を少なくするという設計上の目標によって、低い供給電圧で動作し、破壊電圧が低い、小型化された装置が促進される。初期世代のＩＣとともに存続し得るＥＳＤ保護戦略は、最新世代のＩＣ用には必ずしも適さない。例えば、初期の設計で許容された絶縁抵抗は今日の高性能ＩＣでは受入れられない。このような状況での好ましい保護戦略は、低電圧ＳＣＲ（ＬＶＳＣＲ）のような能動素子のトリガに依存することが多い。ＬＶＳＣＲのトリガしきい値は、ＩＣに電力が供給されていない場合、できるかぎり低いことが望ましい。（わずか数ボルトであることもある。）上記の場合には、しきい値は一定のゆとりを以て電源電圧を超えなければならない。ＥＳＤ保護装置のこのような種類の動作は“２モード・トリガリング（bi-modal triggering)" と呼ばれてきた。これは有効ではあるが、必ずしも全ての用途に適している訳ではない。例えば、第２装置で発生したバス経由信号によって駆動され、同じバス上の別の装置と通信し得る第１装置内のコネクタに、ある種のインタフェースＩＣが結合される。第１装置に電力が供給されていない場合（そのＩ／Ｏコネクタは別の装置によって駆動されているので依然として“ホット”状態であるが）、そのＥＳＤ保護のしきい値を、第１と第３の装置間で交換される信号のレベル未満に低減することができる。その結果としてＥＳＤ保護素子がトリガされると、物理的な損傷を起こすことはないにしても、バス上での信号伝送の完全性が損なわれることがある。２モードＥＳＤトリガ回路に、電力が供給されない場合には利用されるしきい値を高くし、それでも尚、電力が供給された場合に利用されるしきい値よりは低くできることが望ましいであろう。
【０００３】
【発明の目的】
本発明は、集積回路などの半導体デバイスを静電放電等から保護するための装置を提供することを目的とする。
【０００４】
【発明の概要】
ＩＣにおけるＥＳＤ保護用２モード・トリガ回路は、ＶＤＤが存在しない場合にはＥＳＤ事象自体のエネルギを利用してＳＣＲをトリガし、ＶＤＤが存在する場合はＶＤＤからのエネルギを利用するように構成した回路である。このような構成は、直列の上下のインバータと、ゲートが下部インバータの端子間電圧によって駆動され、導通することによりＳＣＲをトリガするトリガＦＥＴとによって達成される。
【０００５】
このようなＩＣのＥＳＤ保護用２モード・トリガ回路のトリガしきい値は、２モード・トリガを構成する直列接続された上下のインバータ間に定電圧降下を挿入することにより、ＶＤＤが存在しない場合にＶＤＤ以上に上昇させることができる。それによってオフセット電圧が得られ、このオフセット電圧はトリガＦＥＴがターンオンし、実際のＥＳＤ保護を行うＳＣＲを励起し得る前に超えられなければならない。定電圧降下はダイオード接続されたＦＥＴの直列回路によって生起し得る。以降、直列回路を「直列列」とも称する。

トリガＦＥＴのゲートを分路するラッチ接続フィードバックＦＥＴを備え、それによってフィードバックＦＥＴ内の飽和電圧がラッチを外すまでトリガＦＥＴのターンオンを遅延させることによって、しきい値を高くすることもできる。これらの２つの技術は別個に、または組合わせて利用できる。組合わせて利用すれば、２モード・トリガ回路用のトリガ電圧の所望の上昇よりも大幅に低い一定電圧降下を提供するためにダイオード接続ＦＥＴの個数を低減できる。ＥＳＤ事象中にＳＣＲがトリガされる電圧は、ダイオード接続ＦＥＴの個数を変更すること、および回路内の種々のＦＥＴのサイズを調整することの双方または一方によって調整し得る。

【０００６】

【実施例】

ここで、Gordon W. Motley によって１９９４年２月２日に出願された「ＥＳＤ ＰＲＯＴＥＣＴＩＯＮ ＦＯＲ ＩＣ’Ｓ（ＩＣ用ＥＳＤ保護）」と題する米国出願第08/190,756号の図６の一部を転載した図１を参照する。これを図示した理由は、当該ＥＳＤ保護回路の基本的な（電気的）構成を示すためである。５個の回路素子に“ＴＲＩＧ”の符号が付されていること、および各々の“Ｔ”ノードがトリガＦＥＴを介してＳＣＲに結合されていることに注目されたい。図示した回路の動作は第08/190,756号出願で説明されており、ここでは繰り返さない。ＥＳＤからの保護はパッドからＧＮＤ，パッドからＤＧＮＤ、およびＤＶＤＤからＧＮＤへの経路を含む様々な経路用に達成し得ることに注目されたい。第２図は第08/190,756号出願の図７を転載したものであり、図１のＴＲＩＧ．回路内部をより詳細に図示し、同時にＳＣＲの有用な等価素子を示すために図示したものである。

【０００７】

ここで図３を参照すると、ＥＳＤ保護回路用の改良形のＴＲＩＧ．回路４と、ＥＳＤ保護回路１９とが図示されている。ＧＮＤ（またはＤＧＮＤ）から保護されているパッド１は連結されたＩ／Ｏ回路（図示せず）によって駆動され、かつ当該の帰路（例えばＧＮＤまたはＤＧＮＤ）にも接続されたＳＣＲ２に接続されている。ＳＣＲのゲートは、ＴＲＩＧ．回路４のＴノードによってゲートが駆動されるトリガＦＥＴ３に結合されている。トリガＦＥＴ３がターンオンされると、ＳＣＲ２がターンオンされる。ＳＣＲによってもたらされる導通状態がＥＳＤ保護を行う。

【０００８】

ＴＲＩＧ．回路４内にはソースがパッド１に結合された上部インバータ５と、ソースが当該のアース基準電圧に結合された下部インバータ６とを備えてある。ダイオード接続ＦＥＴ（８，９，１０）の直列列７は、上部インバータＦＥＴ５のドレインと、下部インバータＦＥＴ６のドレインとの間に結合されている。ダイオード接続ＦＥＴの直列列７を備えた目的は、ＴＲＩＧ．回路４がトリガＦＥＴ３をターンオンするためにＳとＴＲＩＧ．回路４との間に必要な電圧を高めるために利用し得る定電圧降下を生起することにある。ダイオード接続ＦＥＴの列が、定電圧降下を示す２端子回路網を構成する方法の一つであるに過ぎないことが理解されよう。

【０００９】

当該ＥＳＤ事象はパッド１がアースに対して正である場合に生ずる。（その他の可能性については、前述の米国出願第０８／１９０７５６号を参照されたい。）主として関心があるのは、ＶＤＤはオフであるが、双方のチップとも介在バス（図示せず）によって接続されているために、恐らくは別のチップ内のＩ／Ｏ回路によってパッド１が駆動される場合である。ＶＤＤがオフの場合は上部インバータＦＥＴ５はオンであり、下部ＦＥＴ６はオフである。このことによって、パッド１に印加された電圧の正の振れがトリガＦＥＴ３のゲートに結合され得る。ダイオード接続ＦＥＴの直列列７の代わりに短絡回路（従来技術）を使用した場合は、パッド１での上記のような正の電圧振れはトリガ３のゲートでほぼ完全に感受されよう。このことが、ＶＤＤよりも低い正の振れがＳＣＲ２をトリガし得る理由である。ダイオード接続ＦＥＴの直列列７での電圧降下はノードＳでの電圧降下から差し引かれ、その結果、トリガＦＥＴ３をターンオンするために必要なノードＳでの電圧レベルが高くなる。

【００１０】
ＶＤＤが３．３ＶであるＮＭＯＳの製造工程では、列７での定電圧降下を２ないし２．５ボルトにできれば望ましいであろう。ダイオード接続ＦＥＴの端子間電圧が０．８ボルトであるとすれば、２．４Ｖ降下させるために直列の３個のＦＥＴを使用することを意味しよう。このことは製造工程によっては実際に達成できるであろうが、これを採用した特定の実際の工程の一つでは、各ダイオード接続ＦＥＴでの降下はそれぞれ０．２ボルトに過ぎないことが判明した。このような差が生じる理由は、準しきい値（sub-threshold)漏れ電流であるものと考えられる。このことは、３．３ＶのＶＤＤの場合、直列列７内に約１０個ないし１２個のダイオード接続ＦＥＴを使用することを示唆している。しかしながら、このような多数のダイオード接続ＦＥＴを使用すると、連結されたＳＣＲのターンオン時間に悪影響を及ぼし、ひいては生産性が下がるであろう。

【００１１】
図４は、トリガＦＥＴ３をターンオンするためにパッド１における正の振れ電圧を上昇させる必要がある別の構成１１を示している。この構成では、ダイオード接続ＦＥＴの直列列７（または別の２端子定電流回路網）がなく、フィードバックＦＥＴ１３が非導通の下部インバータＦＥＴ６で電流を分流するように接続されている。フィードバックＦＥＴ１３のサイズは上部インバータＦＥＴ５の1/10ないし1/5 であることが好ましい。この回路構成１１は次のように動作する。ＥＳＤ事象が始まるとトリガＦＥＴ３はオフになる。パッド１における上昇する正電圧はＳＣＲ２内の抵抗性経路を経てトリガＦＥＴ３で感受される。このようにして、フィードバックＦＥＴ１３のゲートはこの正電圧を受け、ターンオンしがちである。しかし、フィードバックＦＥＴ１３は上部インバータＦＥＴ５と比較してサイズが小さく、大量の電流を流すことができない。ＦＥＴ１３は結局は飽和状態になり、そこでの電圧は上昇し始めて、トリガＦＥＴ３がターンオンし得るようにする。トリガＦＥＴ３がターンオンすればするほどフィードバックＦＥＴ１３が流す電流は少なくなり、従ってトリガＦＥＴ３（ひいてはＳＣＲ２）がターンオンすることを促進する。この動作はラッチと同様である。すなわち、ＦＥＴ３とＦＥＴ１３との間の構成はメモリ・セルの構成と類似している。ラッチが状態を変更するポイントは、バス上の信号の最大予想値と合わせて、ＦＥＴ３，５および１３のサイズによって決まる。この技術は有効であるが、製造中に飽和電流の値（曲線のひざ位置）を精密に制御することは困難であろう。というのは、これを設定するための幾つかのパラメータと、その結果生ずる任意の特定の値でのしきい電圧を制御しなければならないからである。

【００１２】
ハイブリッド構成２０を図５に示してある。この構成２０では、パッド１はダイオード接続ＦＥＴ１６，１７，および１８の直列列１５と、フィードバックＦＥＴ１３の双方を含むＴＲＩＧ．回路１４に接続されている。この構成２０は、列１５内により多くのダイオード接続ＦＥＴを備える必要がなく、また、フィードバックＦＥＴ１３のためのしきい値を正確に定める必要がなるなるので極めて有効に動作する。その理由を理解するには、導通状態のフィードバックＦＥＴ１３によって分流された電流が、パッドでの正のＥＳＤ事象の電圧上昇とともに変化する態様を考えてみるとよい。上昇の初期の間は、準しきい値漏れ電流だけしかダイオード接続ＦＥＴの直列列１５を流れない。準しきい値漏れ電流は階段状波形を形成することがあるものの、フィードバックＦＥＴ１３を飽和させ、トリガＦＥＴ３とフィードバックＦＥＴ１３とからなるラッチを外すのに充分な電流になることは決してない。しかし、全てのダイオード接続ＦＥＴが一旦オン状態になると、フィードバックＦＥＴ１３を流れる電流は急激にある最小値（フロア値）まで増加し、その後、ＥＳＤ事象の電圧に比例して増加し続ける。フィードバックＦＥＴ１３のひざ位置を分流電流のフロア値の近くに設定することが着想である。実際にはどちらの側でもよく、回路構成２０は充分良好に動作する。

【００１３】
例えばＶＤＤが３．３Ｖであり、直列列１５での電圧降下が２．４Ｖに近い場合は（直列列１５内に多数のＦＥＴを備えるか、または、工程の変数を調整することにより、各ダイ

オード接続ＦＥＴでの降下が０．８ボルトに近くなるようにするか、またはその双方による)、フィードバックＦＥＴ１３を流れる分流電流のフロア値が少なくとも飽和レベルと同じ電圧レベルになるように構成し得る。すなわち、全てのダイオード接続ＦＥＴがターンオンした直後に、ＦＥＴ１３および３のラッチは切り換わる。これに対して、ダイオード接続ＦＥＴでの結合電圧降下が低い場合、すなわち、０．６ボルトである場合、分流電流をフロア値を超えて更に増加させる必要がある。しかし、その場合でも、ダイオード接続ＦＥＴの列１５での電圧降下によって何らかの余裕が与えられることが保証されているので、フィードバックートリガＦＥＴラッチ（１３，３）のしきい値をより余裕を以て制御することができる。

【００１４】

図３，４および５の回路構成１９，１１および２０の動作はＶＤＤがオンである場合は、依然として上記の説明が該当するものの、それぞれやや異なっている。主要な相違点は、上部インバータＦＥＴ５がオフになることと、下部インバータＦＥＴ６がオンになることである。パッドの正のＥＳＤ事象によって結局はＴＲＩＧ．回路のＳノード電圧は上部インバータＦＥＴ５のゲート以上に上昇して、これをターンオンさせる。そのことによって次に、結局はダイオード接続ＦＥＴの直列列での電圧降下よりも多い量だけ上部インバータＦＥＴの電圧を上昇させる。この時点で、上部インバータＦＥＴ５と、ダイオード接続ＦＥＴの直列列から得られる電流の間に、ターンオンされた下部インバータＦＥＴ６によってどの程度の電圧降下が得られるかに関して駆動競争(drive fight) が生じる。下部インバータＦＥＴ６のサイズがそれほど大きくはない設計の場合は、これは競争力を喪失し、飽和し、その結果の電圧上昇によってトリガＦＥＴ３はターンオンされる。駆動競争の間は、ノードＴの電圧はＦＥＴ５および６のオン抵抗の比率に従って上昇する。上昇した電圧は設計上のサイズが大きいトリガＦＥＴ１３のゲートに直接結合されるので、ＦＥＴ１３をターンオンさせ、ひいてはＳＣＲ２をトリガするために必要なゲート電圧はあまり大きくない。

【００１５】

ＶＤＤがオンである場合は、ダイオード接続ＦＥＴの直列列、またはフィードバックＦＥＴによって、または双方を組合わせて得られた付加的なしきい値電圧はＶＤＤ以上に不要に上昇することに留意されたい。これは“悪い方向への変化”であるが、ＶＤＤがオフの場合は、これはホット・プラグ耐性を保証するには適正な代償であることが判明している。何故ならば、ＶＤＤがオンの場合はＩＣがより大型の回路に実装されており、従っていずれにせよＥＳＤによる損傷を極めて受け難いからである。

【００１６】

直列列のダイオード接続ＦＥＴの数を変更すること、およびＦＥＴ３，５，および１３のサイズを調整することの双方または一方によって、ＳＣＲ２を励起するためのトリガ・ポイントを、適正なＥＳＤ保護およびホット・プラグ耐性の双方が達成される値に調整できることが更に明らかであろう。

【００１７】

これまで本発明をＮＭＯＳの製造工程の文脈で、また、３．３Ｖという比較的低いＶＤＤについて開示し、説明してきたが、本発明をＰＭＯＳ工程、および大幅に異なるＶＤＤの値でも実施し得ることは勿論明らかであろう。

【００１８】

以上、本発明の実施例について詳述したが、以下、本発明の各実施例毎に列挙する。

[例１]

複数個の電気端子を有する集積回路用のＥＳＤ保護回路（１９）において、
集積回路内を流れる電流用の電源帰路としての役割を果たす基準電位点と、
複数の端子のうちの一つに結合された導電経路を経てＥＳＤを感受する信号ノード（１）と、
信号ノードと基準電位点との間に結合され、更にゲートを有するＳＣＲ（２）と、
ＳＣＲのゲートに結合されたドレインと、基準電位点に結合されたソースと、更にゲート

を有するトリガＦＥＴ（３）と、
信号ノードに結合されたソースと、ドレインと、更に電源に結合されたゲートを有する第１インバータＦＥＴ（５）と、
基準電位点に結合されたソースと、ドレインと、更に電源に結合されたゲートを有する第２インバータＦＥＴ（６）と、
定電圧降下を示し、かつ第１インバータＦＥＴのドレインと、第２インバータＦＥＴのドレインとの間に結合された２端子回路網（７）と、
を備えて成り、
トリガＦＥＴのゲートが第２インバータＦＥＴのドレインに結合されたことを特徴とするＥＳＤ保護回路。

[例２]
２端子回路網が少なくとも一つのダイオード接続ＦＥＴの直列列（８，９，１０）を備えたことを特徴とする例１に記載のＥＳＤ保護回路。

[例３]
２端子回路網がツェナーダイオードを備えたことを特徴とする例１に記載のＥＳＤ保護回路。

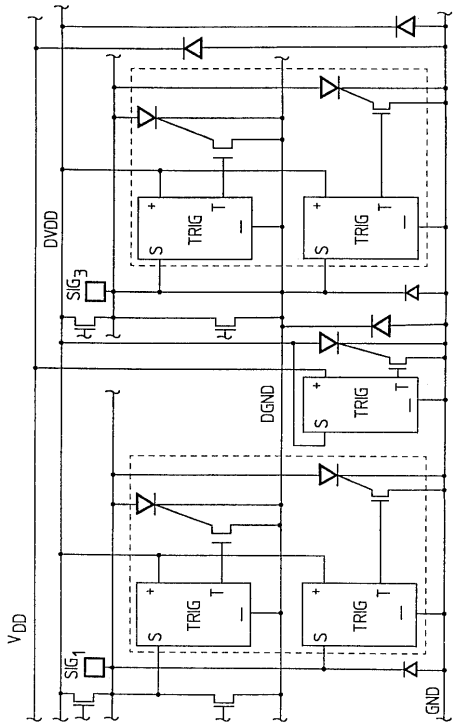
[例４]
複数個の電気端子を有する集積回路用のＥＳＤ保護回路（１１）において、
集積回路内を流れる電流用の電源帰路としての役割を果たす基準電位点と、
複数の端子のうちの一つに結合された導電経路を経てＥＳＤを感受する信号ノード（１）と、
信号ノードと基準電位点との間に結合され、更にゲートを有するＳＣＲ（２）と、
ＳＣＲのゲートに結合されたドレインと、基準電位点に結合されたソースと、更にゲートを有するトリガＦＥＴ（３）と、
信号ノードに結合されたソースと、ドレインと、更に電源に結合されたゲートを有する第１インバータＦＥＴ（５）と、
基準電位点に結合されたソースと、第２インバータＦＥＴのドレインに結合されたドレインと、更に電源に結合されたゲートを有する第２インバータＦＥＴ（６）と、
第２インバータＦＥＴのドレインに結合されたドレインと、基準電位点に結合されたソースと、トリガＦＥＴのドレインに結合されたゲートとを有するフィードバックＦＥＴ（１３）と、
を備えて成り、
トリガＦＥＴのゲートが第２インバータＦＥＴのドレインに結合されたことを特徴とするＥＳＤ保護回路。

[例７]
複数個の電気端子を有する集積回路用のＥＳＤ保護回路（２０）において、
集積回路内を流れる電流用の電源帰路としての役割を果たす基準電位点と、
複数の端子のうちの一つに結合された導電経路を経てＥＳＤを感受する信号ノード（１）と、
信号ノードと基準電位点との間に結合され、更にゲートを有するＳＣＲ（２）と、
ＳＣＲのゲートに結合されたドレインと、基準電位点に結合されたソースと、更にゲートを有するトリガＦＥＴ（３）と、
信号ノードに結合されたソースと、ドレインと、更に電源に結合されたゲートを有する第１インバータＦＥＴ（５）と、
基準電位点に結合されたソースと、ドレインと、更に電源に結合されたゲートを有する第２インバータＦＥＴ（６）と、
定電圧降下を示し、かつ第１インバータＦＥＴのドレインと、第２インバータＦＥＴのドレインとの間に結合された２端子回路網（１５）と、
第２インバータＦＥＴのドレインに結合されたドレインと、基準電位点に結合されたソースと、トリガＦＥＴのドレインに結合されたゲートとを有するフィードバックＦＥＴ（１

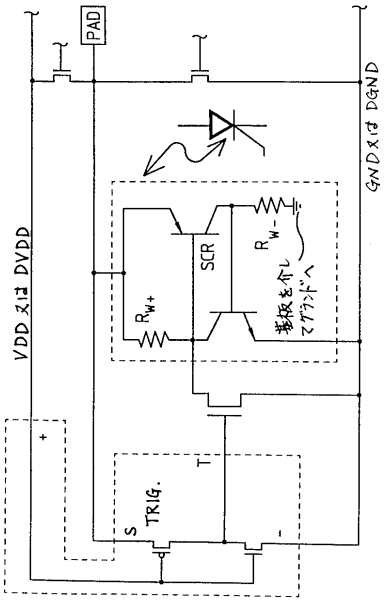
３）と、
を備えて成り、
トリガＦＥＴのゲートが第２インバータＦＥＴのドレインに結合されたことを特徴とするＥＳＤ保護回路。
[例８]
２端子回路網が少なくとも一つのダイオード接続ＦＥＴの直列列（１６，１７，１８）を備えたことを特徴とする例７に記載のＥＳＤ保護回路。
[例９]
２端子回路網がツェナーダイオードを備えたことを特徴とする例７に記載のＥＳＤ保護回路。

【００１９】
【発明の効果】
以上説明したように、本発明を用いることにより、ＶＤＤが供給されていない場合に、ＥＳＤ保護のためのトリガのしきい値を大きくすることができる。
【図面の簡単な説明】
【図１】ＥＳＤからＩＣを保護するための保護ＳＣＲ用トリガ回路の代表的な配置を示したＩＣの簡略な部分概略図である。
【図２】図１の概略図のＴＲＩＧ．部とＳＣＲ部の簡略拡大図である。
【図３】図１および図２のＴＲＩＧ．部として使用できる第１回路の簡略な構成図である。
【図４】図１および図２のＴＲＩＧ．部として使用できる第２回路の簡略な構成図である。
【図５】図１および図２のＴＲＩＧ．部として使用できる図３および図４に示した技術を組合わせた第３回路の簡略な構成図である。
【符号の説明】
１：パッド
２：ＳＣＲ
３：トリガＦＥＴ
４：ＴＲＩＧ．回路
５：上部インバータＦＥＴ
６：下部インバータＦＥＴ
８、９、１０：ダイオード接続ＦＥＴ

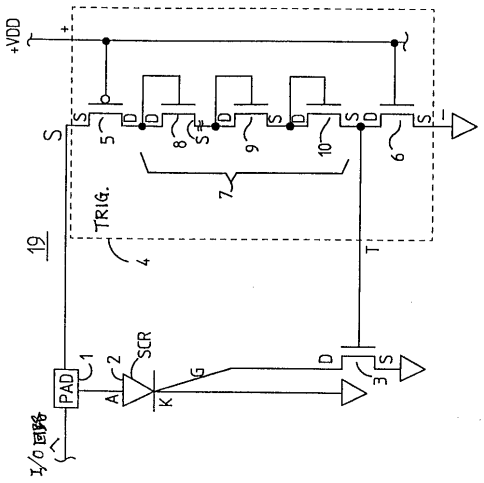
【図１】


DVDD
SIG3
TRIG
DGND
VDD
SIG1
GND

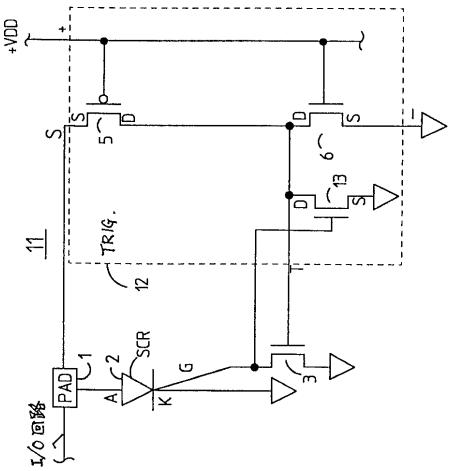
【図２】


PAD
SCR
TRIG.
DGND

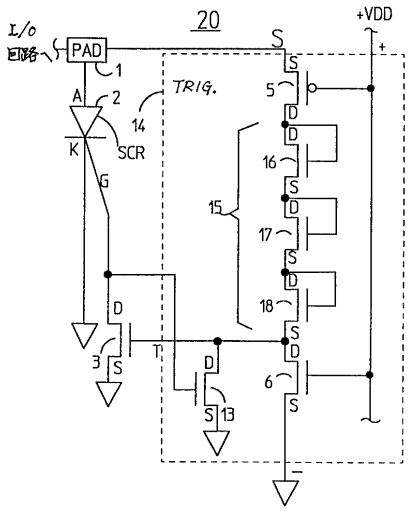
【図３】


+VDD
TRIG.
19
PAD
SCR
I/O回路

【図４】


+VDD
TRIG.
11
PAD
SCR
I/O回路

【図５】


I/O
回路
PAD
1
20
S
+VDD
+
A
2
K
SCR
G
TRIG.
14
5
16
17
18
15
D
3
S
T
D
S
13
6
S
D
S
D
S
D
S
D
S
−

フロントページの続き

審査官　渕　真悟

(56)参考文献　特開平０６－０５３４０７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 27/04
H01L 21/822
H03K 17/08