

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4351941号
(P4351941)

(45) 発行日 平成21年10月28日(2009.10.28)

(24) 登録日 平成21年7月31日(2009.7.31)

(51) Int.Cl.

F 1

G 11 C 29/56 (2006.01)
G O 1 R 31/28 (2006.01)G 11 C 29/00 651 Z
G O 1 R 31/28 B

請求項の数 12 (全 14 頁)

(21) 出願番号 特願2004-93310 (P2004-93310)
 (22) 出願日 平成16年3月26日 (2004.3.26)
 (65) 公開番号 特開2005-285160 (P2005-285160A)
 (43) 公開日 平成17年10月13日 (2005.10.13)
 審査請求日 平成19年1月25日 (2007.1.25)

(73) 特許権者 390005175
 株式会社アドバンテスト
 東京都練馬区旭町1丁目32番1号
 (74) 代理人 100104156
 弁理士 龍華 明裕
 (72) 発明者 寒竹 秀介
 東京都練馬区旭町1丁目32番1号 株式
 会社アドバンテスト内

審査官 堀江 義隆

最終頁に続く

(54) 【発明の名称】 試験装置及び試験方法

(57) 【特許請求の範囲】

【請求項 1】

被試験デバイスを試験する試験装置であって、
 前記被試験デバイスの動作を制御する基準クロックを発生する基準クロック源と、
 前記基準クロックと周波数が略等しく、前記被試験デバイスの出力データと位相が略等しい再生クロックを生成するクロック再生回路と、
 前記再生クロックを遅延させてストローブを発生する遅延回路と、
 前記ストローブに基づいて、前記出力データの出力値を取得するタイミングコンパレータと、
 前記出力値を予め定められた期待値と比較する論理比較器と、
 前記論理比較器の比較結果に基づいて、前記被試験デバイスの良否判定を行う良否判定部と
 を備え、

前記クロック再生回路は、
 前記被試験デバイスの前記出力データと前記再生クロックとの位相を比較し、第1比較結果信号を出力する第1位相比較器と、
 前記基準クロックと前記再生クロックとの位相を比較し、第2比較結果信号を出力する第2位相比較器と、
 前記第1比較結果信号と前記第2比較結果信号とを加算し、加算結果信号を出力する加算器と、

10

20

前記加算結果信号に基づいて、前記再生クロックを発生する再生クロック発生部とを有する試験装置。

【請求項 2】

前記第1比較結果信号のうちの第1周波数より低い信号のみを透過させる第1ローパスフィルタをさらに備え、

前記加算器は、前記第1ローパスフィルタを透過した前記第1比較結果信号と前記第2比較結果信号を加算する

請求項1に記載の試験装置。

【請求項 3】

前記第1ローパスフィルタの透過帯域を示す前記第1周波数は、前記被試験デバイスの種類に応じて設定される 10

請求項2に記載の試験装置。

【請求項 4】

前記第1ローパスフィルタの透過帯域を示す前記第1周波数は、前記被試験デバイスに許容されたジッタ周波数に対応して設定される

請求項3に記載の試験装置。

【請求項 5】

前記加算結果信号のうちの第2周波数より低い信号のみを透過させる第2ローパスフィルタをさらに備え、

前記再生クロック発生部は、前記第2ローパスフィルタを透過した前記加算結果信号に基づいて、前記再生クロックを発生する 20

請求項2に記載の試験装置。

【請求項 6】

前記第2ローパスフィルタの透過帯域を示す前記第2周波数は、前記第1周波数より高い、又は前記第1周波数と略等しい

請求項5に記載の試験装置。

【請求項 7】

前記第1ローパスフィルタは、前記出力データが安定していない場合には、前記第1比較結果信号に代えて固定値のホールド信号を出力する

請求項2に記載の試験装置。 30

【請求項 8】

前記第1ローパスフィルタは、前記被試験デバイスが前記出力データを出力し始めてから所定時間内である場合には、前記第1比較結果信号に代えて前記固定値を出力する
請求項7に記載の試験装置。

【請求項 9】

前記遅延回路の遅延量は、前記被試験デバイスの仕様に対応して設定される

請求項1に記載の試験装置。

【請求項 10】

被試験デバイスを試験する試験装置であって、

前記被試験デバイスの出力データと位相が略等しい再生クロックを生成するクロック再生回路と、 40

前記再生クロックを遅延させてストローブを発生する遅延回路と、

前記ストローブに基づいて、前記出力データの出力値を取得するタイミングコンパレータと、

前記出力値を予め定められた期待値と比較する論理比較器と、

前記論理比較器の比較結果に基づいて、前記被試験デバイスの良否判定を行う良否判定部と

を備え、

前記クロック再生回路は、

前記被試験デバイスの前記出力データと前記再生クロックとの位相を比較し、比較結果 50

信号を出力する位相比較器と、

前記比較結果信号のうちの、前記被試験デバイスの種類に応じて設定される所定の周波数より低い信号のみを透過させる第1ローパスフィルタと、

前記比較結果信号に基づいて、前記再生クロックを発生する再生クロック発生部とを有する試験装置。

【請求項 1 1】

被試験デバイスを試験する試験方法であって、

前記被試験デバイスの動作を制御する基準クロックを発生する段階と、

前記基準クロックと周波数が略等しく、前記被試験デバイスの出力データと位相が略等しい再生クロックを生成するクロック再生段階と、

10

前記再生クロックを遅延させてストローブを発生する段階と、

前記ストローブに基づいて、前記出力データの出力値を取得する段階と、

前記出力値を予め定められた期待値と比較する段階と、

比較結果に基づいて、前記被試験デバイスの良否判定を行う段階とを備え、

前記クロック再生段階は、

前記被試験デバイスの前記出力データと前記再生クロックとの位相を比較し、第1比較結果信号を出力する段階と、

前記基準クロックと前記再生クロックとの位相を比較し、第2比較結果信号を出力する段階と、

20

前記第1比較結果信号と前記第2比較結果信号とを加算し、加算結果信号を出力する段階と、

前記加算結果信号に基づいて、前記再生クロックを発生する段階とを有する試験方法。

【請求項 1 2】

被試験デバイスを試験する試験方法であって、

前記被試験デバイスの出力データと位相が略等しい再生クロックを生成するクロック再生段階と、

前記再生クロックを遅延させてストローブを発生する段階と、

前記ストローブに基づいて、前記出力データの出力値を取得する段階と、

30

前記出力値を予め定められた期待値と比較する段階と、

前記論理比較器の比較結果に基づいて、前記被試験デバイスの良否判定を行う段階とを備え、

前記クロック再生段階は、

前記被試験デバイスの前記出力データと前記再生クロックとの位相を比較し、比較結果信号を出力する段階と、

前記比較結果信号のうちの、前記被試験デバイスの種類に応じて設定される所定の周波数より低い信号のみを透過させる段階と、

前記比較結果信号に基づいて、前記再生クロックを発生する段階とを有する試験方法。

40

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、試験装置及び試験方法に関する。特に本発明は、被試験メモリを試験する試験装置及び試験方法に関する。

【背景技術】

【0 0 0 2】

図6は、従来技術に係る試験装置600の構成を示す。試験装置600は、レベルコンパレータ604、タイミングコンパレータ606、及び論理比較器608を備える。被試験デバイス(以下、「DUT」という。)602から出力された出力データは、レベルコ

50

ンパレータ 604 で電圧比較された後、試験装置 600 の内部で予め決められたタイミングで生成されたストローブにより、タイミングコンパレータ 606 で取得される。そして、論理比較器 608 において期待値と比較され、比較結果に基づいて DUT 602 の良否が判定される。

【0003】

本出願に対応する外国の特許出願においては下記の文献が発見または提出されている。

【特許文献 1】特開 2003 - 227864 号公報

【特許文献 2】特開 2003 - 98233 号公報

【特許文献 3】特開 2003 - 344507 号公報

【発明の開示】

10

【発明が解決しようとする課題】

【0004】

近年、送信器側でデータにクロックを埋め込んで送信し、受信器側でデータからクロックを再生し、再生したクロックでデータを受信する、这种方式で通信を行う高速シリアルインタフェースが開発されている。そして、このようなクロック埋め込み方式（クロックエンベデッド）の高速シリアルインタフェースのデータには、所定の大きさのタイミングの不確定幅（ジッタ）が許容されている。しかしながら、従来技術に係る試験装置 600 では、DUT 602 の出力データを取得するためのストローブのタイミングが、試験装置 600 の内部で予め決められているので、DUT 602 の出力データのタイミング変動に追従させることができない。そのため、上記のような高速シリアルインタフェースを有する被試験デバイスを正確に試験することができない。

20

【0005】

そこで本発明は、上記の課題を解決することができる試験装置及び試験方法を提供することを目的とする。この目的は特許請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

【課題を解決するための手段】

【0006】

本発明の第 1 の形態によると、被試験デバイスを試験する試験装置であって、被試験デバイスの動作を制御する基準クロックを発生する基準クロック源と、基準クロックと周波数が略等しく、被試験デバイスの出力データと位相が略等しい再生クロックを生成するクロック再生回路と、再生クロックを遅延させてストローブを発生する遅延回路と、ストローブに基づいて、出力データの出力値を取得するタイミングコンパレータと、出力値を予め定められた期待値と比較する論理比較器と、論理比較器の比較結果に基づいて、被試験デバイスの良否判定を行う良否判定部とを備える。

30

【0007】

クロック再生回路は、被試験デバイスの出力データと再生クロックとの位相を比較し、第 1 比較結果信号を出力する第 1 位相比較器と、基準クロックと再生クロックとの位相を比較し、第 2 比較結果信号を出力する第 2 位相比較器と、第 1 比較結果信号と第 2 比較結果信号とを加算し、加算結果信号を出力する加算器と、加算結果信号に基づいて、再生クロックを発生する再生クロック発生部とを有する。

40

【0008】

第 1 比較結果信号のうちの第 1 周波数より低い信号のみを透過させる第 1 ローパスフィルタをさらに備え、加算器は、第 1 ローパスフィルタを透過した第 1 比較結果信号と第 2 比較結果信号を加算してもよい。

【0009】

第 1 ローパスフィルタの透過帯域を示す第 1 周波数は、被試験デバイスの種類に応じて設定されてもよい。第 1 ローパスフィルタの透過帯域を示す第 1 周波数は、被試験デバイスに許容されたジッタ周波数に対応して設定されてもよい。遅延回路の遅延量は、被試験デバイスの仕様に対応して設定されてもよい。

【0010】

50

加算結果信号のうちの第2周波数より低い信号のみを透過させる第2ローパスフィルタをさらに備え、再生クロック発生部は、第2ローパスフィルタを透過した加算結果信号に基づいて、再生クロックを発生してもよい。

【0011】

第2ローパスフィルタの透過帯域を示す第2周波数は、第1周波数より高くてよく、又は第1周波数と略等しくてもよい。

【0012】

第1ローパスフィルタは、出力データが安定していない場合には、第1比較結果信号に代えて固定値のホールド信号を出力してもよい。

【0013】

第1ローパスフィルタは、被試験デバイスが出力データを出力し始めてから所定時間内である場合には、第1比較結果信号に代えて固定値を出力してもよい。

【0014】

本発明の第2の形態によると、被試験デバイスを試験する試験装置であって、被試験デバイスの出力データと位相が略等しい再生クロックを生成するクロック再生回路と、再生クロックを遅延させてストローブを発生する遅延回路と、ストローブに基づいて、出力データの出力値を取得するタイミングコンパレータと、出力値を予め定められた期待値と比較する論理比較器と、論理比較器の比較結果に基づいて、被試験デバイスの良否判定を行う良否判定部とを備える。

【0015】

クロック再生回路は、被試験デバイスの出力データと再生クロックとの位相を比較し、比較結果信号を出力する位相比較器と、比較結果信号のうちの、被試験デバイスの種類に応じて設定される所定の周波数より低い信号のみを透過させる第1ローパスフィルタと、比較結果信号に基づいて、再生クロックを発生する再生クロック発生部とを有する。

【0016】

本発明の第3の形態によると、被試験デバイスを試験する試験方法であって、被試験デバイスの動作を制御する基準クロックを発生する段階と、基準クロックと周波数が略等しく、被試験デバイスの出力データと位相が略等しい再生クロックを生成するクロック再生段階と、再生クロックを遅延させてストローブを発生する段階と、ストローブに基づいて、出力データの出力値を取得する段階と、出力値を予め定められた期待値と比較する段階と、比較結果に基づいて、被試験デバイスの良否判定を行う段階とを備える。

【0017】

クロック再生段階は、被試験デバイスの出力データと再生クロックとの位相を比較し、第1比較結果信号を出力する段階と、基準クロックと再生クロックとの位相を比較し、第2比較結果信号を出力する段階と、第1比較結果信号と第2比較結果信号とを加算し、加算結果信号を出力する段階と、加算結果信号に基づいて、再生クロックを発生する段階とを有する。

【0018】

本発明の第4の形態によると、被試験デバイスを試験する試験方法であって、被試験デバイスの出力データと位相が略等しい再生クロックを生成するクロック再生段階と、再生クロックを遅延させてストローブを発生する段階と、ストローブに基づいて、出力データの出力値を取得する段階と、出力値を予め定められた期待値と比較する段階と、論理比較器の比較結果に基づいて、被試験デバイスの良否判定を行う段階とを備える。

【0019】

クロック再生段階は、被試験デバイスの出力データと再生クロックとの位相を比較し、比較結果信号を出力する段階と、比較結果信号のうちの、被試験デバイスの種類に応じて設定される所定の周波数より低い信号のみを透過させる段階と、比較結果信号に基づいて、再生クロックを発生する段階とを有する。

【0020】

なお上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これら

10

20

30

40

50

の特徴群のサブコンビネーションもまた発明となりうる。

【発明の効果】

【0021】

本発明に係る試験装置によれば、クロック埋め込み方式の高速シリアルインターフェースを有する被試験デバイスを正確に試験することができる。

【発明を実施するための最良の形態】

【0022】

以下、発明の実施形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲に係る発明を限定するものではなく、また実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

10

【0023】

図1は、本発明の第1実施形態に係る試験装置100の構成の一例を示す。図2(a)は、第1実施形態に係るDUT150の出力データのタイミングチャートの一例を示す。図2(b)は、第1実施形態に係るVCO138が発生する再生クロックのタイミングチャートの一例を示す。図2(c)は、第1実施形態に係る可変遅延回路124が発生するストローブのタイミングチャートの一例を示す。

【0024】

試験装置100は、基準クロック源102、クロック生成回路104、レベルコンパレータ106、可変遅延回路124、タイミングコンパレータ108、論理比較器110、及び良否判定部112を備える。なお、良否判定部112は、試験装置100が備えるCPUがプログラムを実行することにより実現されてもよいし、試験装置100の外部に設けられたワークステーション等の解析装置により実現されてもよい。

20

【0025】

基準クロック源102は、DUT150の動作を制御する基準クロックを発生する。DUT150は、基準クロック源102が発生した基準クロックに基づいて動作し、図2(a)に示すような出力データを出力する。そして、レベルコンパレータ106は、DUT150から出力される出力データを予め定められた閾値電圧と比較し、2値の出力データを出力する。また、クロック生成回路104は、基準クロック源102が発生した基準クロックと周波数が略等しく、DUT150の出力データと位相が略等しい、図2(b)に示すような再生クロックを生成する。

30

【0026】

可変遅延回路124は、クロック生成回路104が生成した再生クロックを遅延させて、図2(c)に示すようなストローブを発生する。可変遅延回路124の遅延量は、DUT150の仕様に対応して設定される。例えば、可変遅延回路124の遅延量は、DUT150の出力データの半サイクル時間である。また、可変遅延回路124は、位相比較器122とタイミングコンパレータ108との間の位相差を調整する機能も有する。そのため、可変遅延回路124は、N1分周器128から位相比較器122への伝送路における位相比較器122の直前に設けられてもよい。この場合、VCO138は、DUT150の出力データに対して所定の位相差を有する再生クロックを発生する。

40

【0027】

タイミングコンパレータ108は、可変遅延回路124が発生したストローブに基づいて、DUT150の出力データの出力値を取得する。論理比較器110は、例えば排他的論理和演算回路であり、タイミングコンパレータ108が取得した出力値を予め定められた期待値と比較し、フェイルデータ又はパスデータを出力する。そして、良否判定部112は、論理比較器110の比較結果に基づいて、DUT150の良否判定を行う。

【0028】

クロック生成回路104は、LPF120、位相比較器122、N2分周器126、N1分周器128、位相比較器130、加算器132、LPF134、積分器136、及びVCO138を有する。クロック生成回路104は、位相比較器122、LPF120、LPF134、積分器136、VCO138、及びN1分周器128を含む位同期ループ

50

プリ回路により、再生クロックと出力データとの位相を同期させ、また位相比較器 130、LPF 134、積分器 136、VCO 138、N1 分周器 128、及び N2 分周器 126 を含む周波数同期ループ回路により、再生クロックと基準クロックとの周波数を同期させる。なお、位相比較器 122 は、例えばアーリーレイト回路であり、LPF 120 は、例えばデジタルフィルタである。VCO 138 は、本発明の再生クロック発生部の一例である。

【0029】

位相比較器 122 は、レベルコンパレータ 106 から出力された DUT 150 の出力データと、VCO 138 が発生して N1 分周器 128 により N1 分周された再生クロックとの位相を比較し、第 1 比較結果信号を出力する。LPF 120 は、位相比較器 122 が出力した第 1 比較結果信号のうちの第 1 周波数より低い信号のみを透過させ、加算器 132 に供給する。なお、LPF 120 の透過帯域を示す第 1 周波数は、DUT 150 の種類に応じて設定され、例えば DUT 150 に許容されたジッタ周波数に対応して設定される。具体的には、DUT 150 の出力データの周波数が 6.5 GHz 程度である場合に、例えば 100 kHz 程度に設定される。10

【0030】

また、N1 分周器 128 及び N2 分周器 126 は、VCO 138 発生した再生クロックを分周し、位相比較器 130 に供給する。位相比較器 130 は、基準クロック源 102 が発生した基準クロックと、VCO 138 が発生して N1 分周器 128 及び N2 分周器 126 により ($N1 \times N2$) 分周された再生クロックとの位相を比較し、第 2 比較結果信号を出力して加算器 132 に供給する。20

【0031】

加算器 132 は、位相比較器 122 が出力し LPF 120 を透過した第 1 比較結果信号と、位相比較器 130 が出力した第 2 比較結果信号を加算し、加算結果信号を出力する。LPF 134 は、加算器 132 が出力した加算結果信号のうちの第 2 周波数より低い信号のみを透過させ、積分器 136 に供給する。なお、LPF 134 の透過帯域を示す第 2 周波数は、LPF 120 の透過帯域を示す第 1 周波数より高い。具体的には、DUT 150 の出力データの周波数が 6.5 GHz 程度である場合に、例えば数 MHz 程度に設定される。また、LPF 134 の透過帯域を示す第 2 周波数は、LPF 120 の透過帯域を示す第 1 周波数と略等しくてもよい。30

【0032】

積分器 136 は、LPF 134 が出力した加算結果信号を積分して VCO 138 に供給する。VCO 138 は、LPF 134 を透過して積分器 136 によって積分された加算結果信号の積分値に基づいて再生クロックを発生し、位相比較器 122 及び可変遅延回路 124 に供給する。

【0033】

以下、DUT 150 の試験フローに沿って、試験装置 100 の動作を説明する。まず、初期設定として、DUT 150 の出力データレートに基づいて、基準クロック源 102 が発生する基準クロックの周波数、N1 分周器 128 及び N2 分周器 126 の分周比 ($N1$ 、 $N2$) が設定される。そして、一定時間経過後、周波数同期ループ回路により周波数同期がとられると、VCO 138 は、基準クロックの周波数の ($N1 \times N2$) 倍の周波数で、基準クロックと位相が同期した再生クロックを発生する。40

【0034】

次に、DUT 150 からクロック生成回路 104 のトレーニングパターンを発生させる。トレーニングパターンとは、所定のデータ変化率をもつデータ列であり、DUT 150 の出力データと再生クロックとの位相を同期させるパターンである。そのため、この際には、論理比較器 110 によるトレーニングパターンと期待値との比較処理は行われない。

【0035】

DUT 150 から出力されたトレーニングパターンのデータは、試験装置 100 においてクロック生成回路 104 に接続されるチャネルに入力される。試験装置 100 にトレーラー50

ニングパターンが入力されると、レベルコンパレータ106でレベル比較された後に分岐されて、タイミングコンパレータ108及び位相比較器122に入力される。

【0036】

位相比較器122は、N1分周器128によってN1分周された再生クロックとトレーニングパターンとの位相を比較し、位相の進み又は遅れを示すデータである第1位相比較結果信号を出力する。なお、DUT150の出力データは、ランダムデータであり、サイクルによりデータの変化点の有無が異なるので、位相比較器122は、DUT150の出力データに変化点が存在する場合にのみ位相比較を行って第1比較結果信号を出力し、DUT150の出力データに変化点が存在しない場合には位相比較を行わない。

【0037】

位相比較器122が出力した第1比較結果信号は、LPF120によって平滑化された後、加算器132によって位相比較器130から出力された第2比較結果信号と加算される。そして、VCO138は、DUT150の出力データと再生クロックとの位相誤差が解消するようにフィードバック制御を行い、再生クロックを発生する。この結果、DUT150の出力データの周波数を基準クロックの($N_1 \times N_2$)倍に維持されたまま、再生クロックの位相がDUT150の出力データと同期する。

【0038】

次に、クロック生成回路104による位相同期及び周波数同期がとれている状態で、DUT150の試験が開始される。DUT150の試験時には、N1分周器128によりN1分周された再生クロックが、可変遅延回路124により遅延され、所定のタイミングのストローブがタイミングコンパレータ108に供給される。そして、タイミングコンパレータ108によってストローブに基づいて所定のタイミングでDUT150の出力データが取得され、論理比較器110によって期待値と比較される。

【0039】

試験中、クロック生成回路104は、常にDUT150の出力データと再生クロックとの位相を比較し、VCO138によりフィードバック制御が行われるので、チップ温度変動等によるドリフトのためにDUT150の出力データの位相が変動しても、LPF120のカットオフ周波数である第1周波数以下の変動であれば、DUT150の位相変動に追従して再生クロックを発生できる。

【0040】

以上のように、本実施形態に係る試験装置100によれば、クロック埋め込み方式の高速シリアルインターフェースの試験において、DUT150の出力データから再生クロックを生成し、再生クロックの位相を基準とした所望のタイミングで、DUT150の出力データを取得することができる。また、基準クロックの周波数と、N1分周器128及びN2分周器126の分周比を可変にすることによって、DUT150の出力データレートに幅広く対応でき、試験装置としての汎用性を向上させることができる。なお、VCO138の出力周波数範囲は、通常オクターブ可変であるため、N1分周器128及びN2分周器126の2つの分周器を用いることによって、DUT150の出力データレートの範囲に対応することができる。

【0041】

また、DUT150は基準クロック源102が発生した基準クロックに基づいて動作するので、試験装置100にとってDUT150の出力データの周波数は必ず既知であり変動しない。したがって、位相同期ループ回路と周波数同期ループ回路とを別々に構成して同時に動作させることができる。さらに、LPF120及びLPF134のそれぞれによって、周波数同期ループ回路と位相同期ループ回路とのループ帯域を別々に設定できるので、周波数同期ループ回路のループ帯域を高くすることによって周波数同期のセトリング時間を短縮してVCO138のノイズを抑圧でき、かつ位相同期ループ回路のループ帯域を低くすることによってDUT150の出力データのジッタ成分をカットすることができる。また、LPF120のカットオフ周波数を可変にすることで、試験対象となるDUT150のジッタトランス規格に対応することができる。

10

20

30

40

50

【0042】

図3は、本発明の第2実施形態に係る試験装置300の構成の一例を示す。また、図4(a)及び図5(a)は、第2実施形態に係るDUT150の出力データのタイミングチャートの一例を示す。図4(b)及び図5(b)は、第2実施形態に係るDUT150のソースシンクロナスクロックのタイミングチャートの一例を示す。図4(c)及び図5(c)は、第2実施形態に係るVCO138が発生する再生クロックのタイミングチャートの一例を示す。図4(d)及び図5(d)は、第2実施形態に係る可変遅延回路124が発生するストローブのタイミングチャートの一例を示す。なお、第2実施形態に係る試験装置300の動作及び機能は、以下に説明する部分を除き、第1実施形態に係る試験装置100の機能及び動作と同一であるので説明を省略する。

10

【0043】

試験装置300は、第1実施形態に係る試験装置100が備える構成要素に加え、レベルコンパレータ306を備える。また、クロック生成回路304は、第1実施形態に係るクロック生成回路104が有する構成要素に加え、エッジ切替回路340、M分周器342、固定ストローブ発生器344、及びスイッチ346を有する。第1実施形態に係る試験装置100は、クロック埋め込み方式の高速シリアルインターフェースを試験するためのクロック生成回路104を備えるが、第2実施形態に係る試験装置300は、ソースシンクロナス方式の高速シリアルインターフェースを試験するためのクロック生成回路304を備える。なお、ソースシンクロナスクロックは、本発明の出力データの一例である。第1実施形態に係る試験装置100が、固定ストローブ発生器344及びスイッチ346を有し、以下に説明する動作及び機能を有してもよい。

20

【0044】

DUT350は、ソースシンクロナス方式の高速シリアルインターフェースを備え、図4(a)及び図5(a)に示すような出力データと、図4(b)及び図5(b)に示すようなソースシンクロナスクロックとを出力する。ここで、ソースシンクロナスクロック方式には、ソースシンクロナスクロックの上がりエッジ及び下がりエッジの両方がタイミングエッジであるダブルデータレート(DDR)方式と、ソースシンクロナスクロックの上がりエッジ又は下がりエッジの一方がタイミングエッジであるシングルデータレート(SDR)方式がある。そこで、エッジ切替回路340は、DUT350から位相比較器122への伝送路における位相比較器122の直前に設けられ、DUT350から出力されたソースシンクロナスクロックのエッジのうちで、位相比較器122によって位相比較されるエッジを選択して位相比較器122に供給する。これにより、試験装置300は、ダブルデータレート方式の高速シリアルインターフェースを備えるDUT350と、シングルデータレート方式の高速シリアルインターフェースを備えるDUT350との両方を試験することができる。

30

【0045】

また、ソースシンクロナス方式では、出力データの周波数とソースシンクロナスクロックの周波数との比が1対1に限られず、1対2、1対4等の場合がある。そこで、M分周器342は、N1分周器128から位相比較器122への伝送路における位相比較器122の直前に設けられ、N1分周器128によってN1分周された再生クロックをさらにM分周して位相比較器122に供給する。これにより、M分周器342は、可変遅延回路124に供給される再生クロックの周波数と、位相比較器122に供給される再生クロックの周波数とを異ならせ、位相比較器122に供給される再生クロックの周波数と、ソースシンクロナスクロックとの周波数とを同一にする。これにより、試験装置300は、出力データの周波数とソースシンクロナスクロックの周波数との比が様々なソースシンクロナス方式の高速シリアルインターフェースを備えるDUT350を試験することができる。

40

【0046】

固定ストローブ発生器344は、基準クロックと再生クロックとの位相差を示す固定位相差信号を発生する。そして、スイッチ346は、位相比較器122が出力した第1比較結果信号と、固定ストローブ発生器344が発生した固定位相差信号とを切り替えて加算

50

器 132 に供給する。即ち、スイッチ 346 が第 1 比較結果信号を選択して加算器 132 に供給した場合には、VCO 138 は、図 4 (c) 及び図 5 (c) に示すように、DUT 150 のソースシンクロナスクロックに追従した再生クロックを発生する。そして、可変遅延回路 124 は、クロック生成回路 104 が生成した再生クロックを遅延させて、図 4 (d) 及び図 5 (d) に示すようなストローブを発生する。一方、スイッチ 346 が固定位相差信号を選択して加算器 132 に供給した場合には、VCO 138 は、DUT 150 のソースシンクロナスクロックに追従せず、基準クロックに対して固定位相差信号が示す位相差をもつ再生クロックを発生する。これにより、試験装置 300 は、DUT 350 のソースシンクロナスクロックに追従したストローブだけでなく、基準クロックに対して固定の位相差をもつストローブにより DUT 350 の出力データを取得して試験することができる。10

【0047】

LPF 120 は、DUT 350 がソースシンクロナスクロックを出力し始めてから所定時間内である場合等の DUT 350 が output したソースシンクロナスクロックが安定していない場合には、ホールド信号に基づいて、第 1 比較結果信号に代えて固定値を出力して加算器 132 に供給する。即ち、LPF 120 が第 1 比較結果信号を選択して加算器 132 に供給した場合には、VCO 138 は、図 4 (c) 及び図 5 (c) に示すように、DUT 150 のソースシンクロナスクロックに位相同期した再生クロックを発生する。そして、可変遅延回路 124 は、クロック生成回路 104 が生成した再生クロックを遅延させて、図 4 (d) 及び図 5 (d) に示すようなストローブを発生する。一方、LPF 120 がホールド信号に基づいて固定値を加算器 132 に供給した場合には、VCO 138 は、DUT 150 のソースシンクロナスクロックに位相同期せず、基準クロックに位相同期した再生クロックを発生する。なお、第 1 実施形態に係る試験装置 100 が備える LPF 120 も上述の LPF 120 と同様にホールド信号に基づいて固定値を出力してもよい。20

【0048】

これにより、第 2 実施形態に係る試験装置 300 において DUT 350 のソースシンクロナスクロックの位相が不安定である場合や、第 1 実施形態に係る試験装置 100 において DUT 150 の出力データが「0」又は「1」の長い連続パターンになる場合などの、試験中に位相同期を停止した場合に、一時的に位相同期ループの動作を止めることができる。30

【0049】

以上、実施形態を用いて本発明を説明したが、本発明の技術的範囲は上記実施形態に記載の範囲には限定されない。上記実施形態に、多様な変更又は改良を加えることができる。そのような変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

【図面の簡単な説明】

【0050】

【図 1】第 1 実施形態に係る試験装置 100 の構成の一例を示す図である。

【図 2】出力データ、再生クロック、及びストローブのタイミングチャートである。

【図 3】第 2 実施形態に係る試験装置 300 の構成の一例を示す図である。40

【図 4】出力データ、ソースシンクロナスクロック、再生クロック、及びストローブのタイミングチャートの一例を示す図である。

【図 5】出力データ、ソースシンクロナスクロック、再生クロック、及びストローブのタイミングチャートの一例を示す図である。

【図 6】従来技術に係る試験装置 600 の構成を示す図である。

【符号の説明】

【0051】

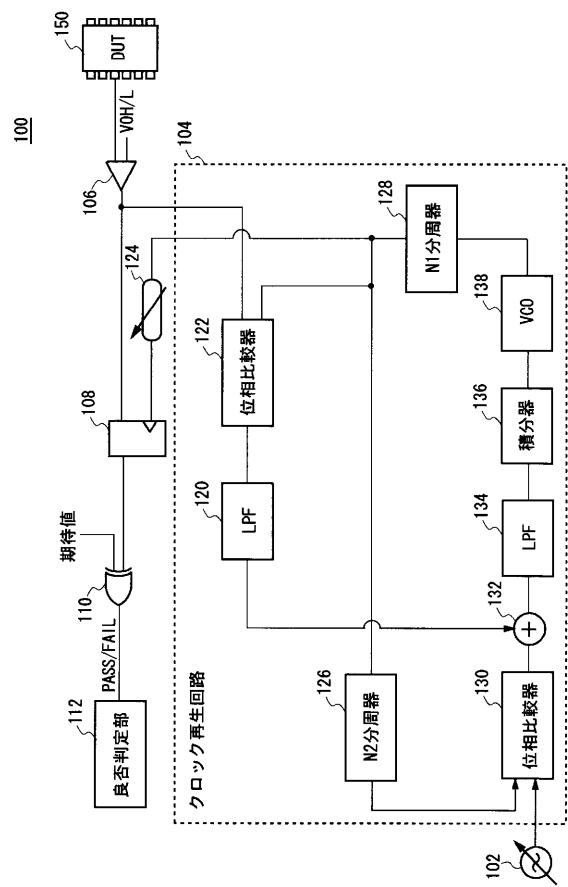
100 試験装置

102 基準クロック源

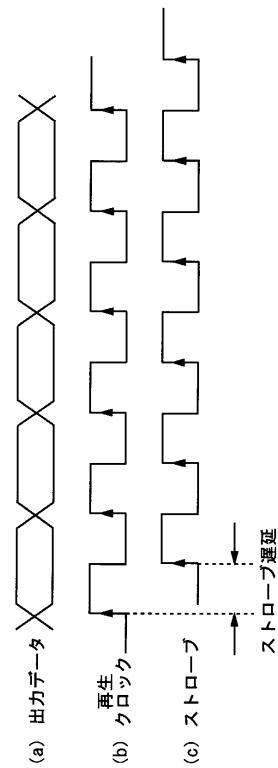
104 クロック生成回路

1 0 6	レベルコンパレータ	
1 0 8	タイミングコンパレータ	
1 1 0	論理比較器	
1 1 2	良否判定部	
1 2 0	L P F	
1 2 2	位相比較器	
1 2 4	可変遅延回路	
1 2 6	N 2 分周器	
1 2 8	N 1 分周器	
1 3 0	位相比較器	10
1 3 2	加算器	
1 3 4	L P F	
1 3 6	積分器	
1 3 8	V C O	
1 5 0	D U T	
3 0 0	試験装置	
3 0 6	レベルコンパレータ	
3 0 4	クロック生成回路	
3 4 0	エッジ切替回路	
3 4 2	M 分周器	20
3 4 4	固定ストローブ発生器	
3 4 6	スイッチ	
3 5 0	D U T	
6 0 0	試験装置	
6 0 2	D U T	
6 0 4	レベルコンパレータ	
6 0 6	タイミングコンパレータ	
6 0 8	論理比較器	

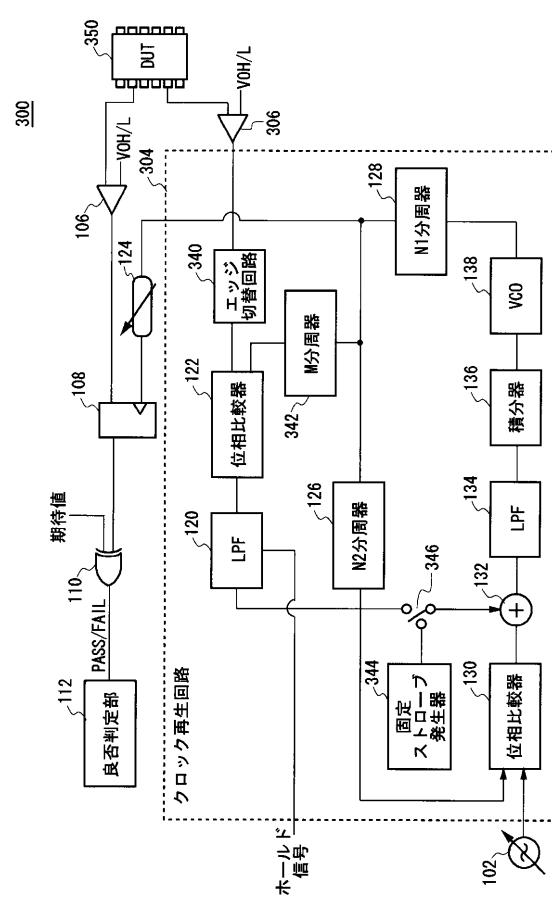
【図1】



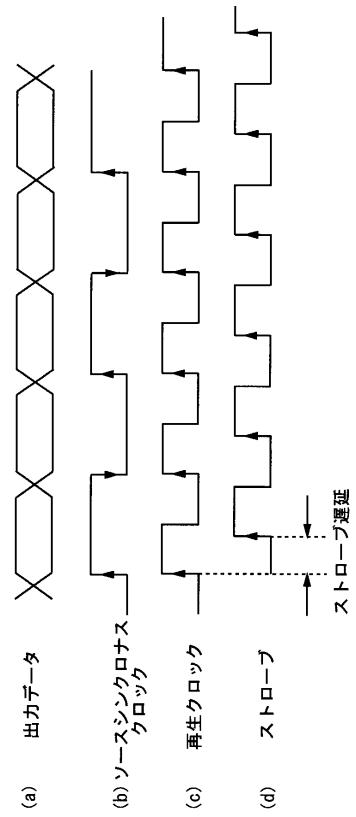
【図2】



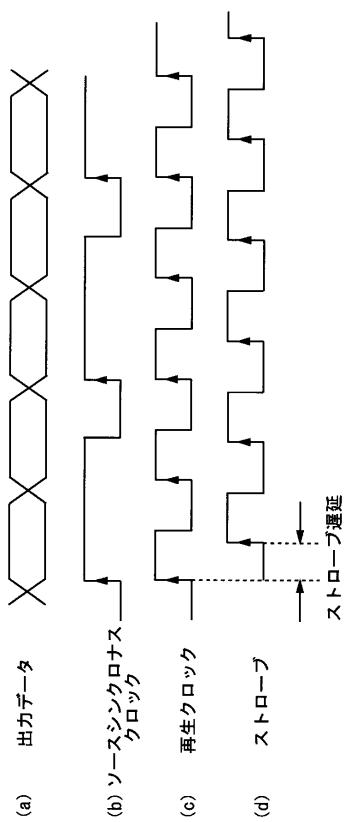
【図3】



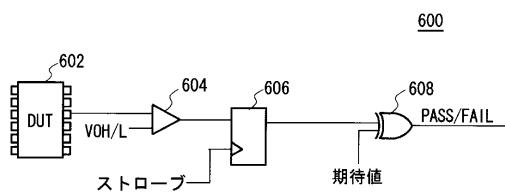
【図4】



【図5】



【図6】



フロントページの続き

(56)参考文献 特開2004-127455(JP,A)
特開2003-344507(JP,A)
特開2001-356153(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 11 C 29 / 56
G 01 R 31 / 28