(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 21/60
H01L 21/82

(45) 공고일자 2002년06월20일
(11) 등록번호 10-0324849
(24) 등록일자 2002년02월04일

(21) 출원번호 10-1993-0008892
(22) 출원일자 1993년05월22일

(65) 공개번호 특1994-0001335
(43) 공개일자 1994년01월20일

(30) 우선권주장 92-150998 1992년06월11일 일본(JP)

(73) 특허권자 가부시끼가이샤 히다치 세이사꾸쇼
가나이 쓰도무
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자 야마기시미끼오
일본국도꾜도오우메시신마찌211-3메죤뉴타운시마다207호

(74) 대리인 백남기

심사관 : 송원선

(54) 반도체집적회로장치

요약

반도체 집적회로 장치 기술에 관한 것으로서, 고구동력 출력버퍼회로를 갖는 반도체 집적회로 장치에 있어서 I/O셀을 희생시키지 않고 주회 전원배선의 전위변동을 억제하고 또한 동작속도를 향상시키며 외부단자를 유효하게 사용하기 위해서, 내부회로 형성영역을 구비하는 주면은 갖는 반도체기판; 내부회로 형성영역의 주변을 따라 내부회로 형성영역을 둘러싸도록 주면의 상부를 연장하고, 가장 바깥둘레에 배치된 제1 전원배선과 그것에 인접하는 안쪽의 제2 전원배선을 구비하는 여러개의 주회전원배선; 주면의 상부에서 주회 전원배선보다 바깥쪽에 마련된 여러개의 외부단자; 주면과 제1 전원배선을 피복하도록 주면상에 형서된 제1 층간절연막; 제 1 층간절연막 상이고 또 제1 전원배선의 상부에 형성된 제1 전원인출선을 포함하며, 제2 전원배선이 제1 층간절연막 상에 형성되고, 제1 전원인출선이 외부단자와 제2 전원배선을 전기적으로 접속하는 구성으로 하였다.

이것에 의해, I/O셀을 희생시키지 않고 예를 들면 V_{SS} , V_{DD} 쌍방의 전위의 주회 전원배선에 대해 고구동력 출력버퍼회로 근방의 외부단자로부터 각각의 전원전위를 공급할 수 있고, 따라서 고구동력 버퍼회로의 구동시에 발생하는 주회 전원배선의 전위변동을 억제할 수 있으므로 전원노이즈를 종래보다 저감하는 것이 가능하게 되고, 또 고구동력 출력버퍼회로의 신호의 상승/하강 시간을 모두 단축시킬 수 있으므로 반도체 집적회로 장치의 동작속도를 향상시키는 것이 가능하게 된다는 등의 효과가 얻어진다.

대표도

도 9

명세서

도면의 간단한 설명

도 1은 본 발명의 1실시예에 따른 반도체 집적회의 장치를 구성하는 반도체 칩의 전체 평면도.

도 2는 도 1의 반도체 집적회로 장치의 고구동력 버피회로 형성영역을 모식적으로 도시한 반도체 칩의 주요부 확대 평면도,

도 3은 고구동력 버퍼회로 형성영역을 상세하게 설명하기 위한 반도체 칩의 주요부 확대 평면도,

도 4는 도 3의 주요부 확대 평면도,

도 5는 도 4의 주요부 확대 평면도.

도 6은 도 4의 주요부 확대 평면도,

도 7은 I/O셀을 사용해서 형성된 버퍼회로의 회로도,

도 8은 전원계의 배선만을 추출한 반도체 칩의 주요부 확대 평면도,

도 9는 도 3 및 도 8의 A-A선의 단면도,

도 10은 도 3 및 도 8의 B-B선의 단면도,

도 11은 도 3 및 도 8의 C-C선의 단면도,

도 12는 반도체 칩과 패키지 기판의 접속관계를 설명하기 위한 반도체 집적 회로 장치의 주요부 확대 평면도,

도 13은 배선기판 상에 실장된 반도체 집적회로 장치의 설명도,

도 14는 본 발명의 다른 실시예에 따른 반도체 집적회로 장치를 구성하는 반도체 칩의 주요부 단면도,

도 15는 본 발명의 다른 실시예에 따른 반도체 집적회로 장치를 구성하는 반도체 칩의 주요부 단면도,

도 16은 본 발명의 다른 실시예에 따른 반도체 집적회로 장치를 구성하는 반도체 칩의 주요부 단면도,

도 17은 본 발명의 다른 실시예에 따른 반도체 집적회로 장치를 구성하는 반도체 칩의 주요부 단면도,

도 18은 본 발명의 다른 실시예에 따른 반도체 집적회로 장치를 구성하는 반도체 칩의 주요부 단면도,

도 19는 본 발명의 다른 실시예에 따른 반도체 집적회로 장치를 구성하는 반도체 칩의 주요부 단면도,

도 20은 본 발명의 다른 실시예에 따른 반도체 집적회로 장치를 구성하는 반도체 칩의 주요부 단면도,

도 21은 본 발명의 다른 실시예에 따른 반도체 집적회로 장치에 있어서의 버퍼회로의 회로도,

도 22는 본 발명의 다른 실시예에 따른 반도체 집적회로 장치를 구성하는 반도체 칩의 주요부 단면도,

도 23은 본 발명의 다른 실시예에 따른 반도체 집적회로 장치를 구성하는 반도체 칩의 주요부 단면도,

도 24는 본 발명의 다른 실시예에 따른 반도체 집적회로 장치를 구성하는 반도체 칩의 주요부 단면도,

도 25는 종래의 반도체 칩의 개략적 평면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적회로 장치 기술에 관한 것으로서, 특히 ASIC(Application Specific Integrated Circuit) 등과 같은 특정 용도용의 반도체 집적회로 장치에 적용해서 유효한 기술에 관한 것이다.

ASIC를 대표하는 반도체 집적회로 장치로서 예를 들면 게이트어레이가 있다. 게이트어레이에 대해서는 예를 들면 1988년, ISSCC(International Solid-State Circuits Conference), Digest of Technical Papers, pp.72 73, 307에 기재되어 있다. 게이트어레이를 구성하는 반도체 칩에는 통상 내부회로영역이 배치되어 있다. 내부회로영역에는 기본셀이 여러개(복수) 배치되어 있다.

기본셀은 예를 들면 1개의 기본회로(예를 들면, 게이트회로)를 구성하는데 필요한 트랜지스터 등과 같은 반도체 집적회로 소자가 배치된 셀로서, 그의 각각의 기본셀의 기본회로 간의 배선접속을 변경하는 것에 의해 내부회로영역에 원하는 반도체 집적회로가 형성되어 있다.

내부회로영역의 주위에는 주변회로영역이 배치되어 있다. 주변회로영역에 는 입출력회로(이하, I/O라고도 한다)셀이 여러개 배치되어 있다. I/O셀은 표준의 입력버퍼회로나 표준의 출력버퍼회로 등과 같은 입출력회로를 구성하는데 필요한 트랜지스터 등과 같은 반도체 집적회로 소자가 배치된 셀로서, 각 I/O셀에 대응해서 1개씩 본딩패드가 배치되어 있다.

또, I/O셀의 위쪽에는 여러개의 주회(peripheral) 전원배선이 내부회로영역을 따라 연장한 상태로 배치되어 있다. 주회 전원배선은 주변회로영역의 입출력 회로나 내부회로영역의 반도체 집적회로 등으로 전원전압을 공급하기 위한 배선으로서, 통상은 예를 들면 0V정도의 기준전위를 공급하는 V_{SS} 용의 주회 전원배선과 예를 들면 5V정도의 높은 전위를 공급하는 V_{DD} 용의 주회 전원배선의 2종류의 배선이 있다.

게이트어레이의 I/O셀의 구성에 대해서는 예를 들면 EP(유럽특허)-A-0,349,294에 기재되어 있다.

또, 주회 전원배선에 대해서는 USP5, 083,181에 기재되어 있다.

V_{DD} 용의 주회 전원배선과 V_{SS} 용의 주회 전원배선은 서로 평행하게 연장되어 있다. V_{SS} 용의 주회 전원배선은 통상 예를 들면 V_{DD} 용의 주회 전원배선의 바깥쪽 (외측)에 배치되어 있다. 여기서, 3층 배선구조의 반도체 집적회로 장치를 예로들면, V_{DD} 용의 주회 전원배선이나 V_{SS} 용의 주회 전원배선 모두 제2층째 배선층 및 제 3층께 배선층에 형성되어 있다. 제1층째 배선층은 주로 입출력회로를 구성하는데 사용되고 있다.

또한, 제1층째 배선층으로 입출력회로를 구성하는 예는 예를 들면 상술한 EPO, 349, 294에 기재되어 있다. 상술한 EPO,349,294의 도 3A 및 도 4B에 도시된 I/O셀(3)의 입출력회로는 제1층째 알루미늄배선(제1층째 배선층)으로 형성되고, 제 2층째 알루미늄배선(제2층째 배선층)으로 전원배선(V_{CC} , GND)이 형성된다. 또, 상술한 USP5, 083, 181의 도 1 및 도 6에 있어서도 제1층째 알루미늄배선(제1층째 배선층)으로 I/O셀(I/O)의 입출력회로를 형성하고, 제2층째 알루미늄배선(제2층째 배선층)으로 주회 전원배선((5')(V_{SS}), (6'), (V_{CC}))을 형성하는 예가 개시되어 있다. 또한, 도 25는 상술한 USP5, 083, 181의 도 1에 대응하는 도면이다.

발명이 이루고자 하는 기술적 과제

본 발명자는 반도체 집적회로 장치에 있어서, 동작속도의 향상을 도모하기 위해 출력버퍼회로의 구동력의 강화를 실행함에 있어서 이하의 문제점을 발견하였다.

종래의 게이트어레를 예로 들면, 인접하는 2개 이상의 I/O셀의 각각의 트랜지스터 등을 사용해서 구동력이 큰 1개의 출력버퍼회로(이하, 고구동력 출력버퍼회로라고 한다)를 형성하도록 하고 있다.

그러나, 고구동력 출력버퍼회로를 배치하면 예를 들면 그의 출력버퍼회로의 구동시에 주회 전원배선에 대전류가 흐르는 결과, 주회 전원배선의 전위가 변동하여 반도체 집적회로 장치가 오동작할 우려가 있었다.

이 문제의 대책으로서 예를 들면 고구동력 출력버퍼회로 근방의 I/O셀에 대응하는 본댕패드에서 주회 전원배선에 대해 전원전압을 공급하여 전원보강을 실행하는 것이 고려된다.

즉, 가장 바깥둘레(최외주)에 배치되어 있는 V_{SS} 용의 주회 전원배선에서 본딩패드까지의 인출배선은 반도체 집적회로나 입출력회로를 구성하는 제1층째 배선층을 사용하지 않고 배치하는 것이 가능하다.

그러나, V_{DD} 용의 주회 전원배선에서 본딩패드까지의 인출배선은 그의 외측에 V_{SS} 용의 주회 전원배선이 배치되어 있는 관계상 그것을 피해서 배치하지 않으면 안되었다.

그래서. 이 경우에는 V_{DD} 용의 주회 전원배선을 스루홀에 의해 제1 배선층까지 내려서 제1층째 배선층을 사용하여 본딩패드까지의 배선을 인출하도록 하고 있었다. 이 때문에, V_{DD} 용의 인출배선을 제1층째 배선층으로 형성한 I/O셀에는 입출력회로를 제l층째 배선층에 의해 결선할 수 없어 이 I/O셀을 V_{DD} 용의 주회 전원배선과의 접속용으로만 사용하고 있었다.

즉, 고구동력 출력버피회로를 갖는 반도체 집적회로 장치에 있어서 V_{SS} 용 및 V_{DD} 용의 양쪽 주회 전원배선의 전원을 보강하고자 하면, 고구동력 출력버퍼회로를 구성하는 I/O셀에 인접하는 I/O셀을 희생시키지 않으면 안되고, 결과로서 칩사이즈가 크게 된다는 문제가 있었다.

이하, 도 25를 사용해서 더욱더 설명한다. 도 25에 있어서 제1층째 알루미늄배선(제1층째 배선층)으로 I/O셀(I/O)의 입출력회로가 형성되고, 제2층째 알루미늄배선(제2층째 배선층)으로 주회 전원배선((5')(V_{SS}), (6')(V_{CC}))이 형성된다.

도 25에 있어서, 인접하는 2개 이상치 I/O셀(I/O)의 각각의 트랜지스터 등을 사용해서 고구동력 출력버퍼회로를 현성하고, 고구동력 출력버퍼회로 근방에 I/O셀 (I/O)에 대응하는 본딩패드(2')에서 주회 전원배선((6')(V_{CC}))에 대해 전원(V_{CC})을 공급해서 전원(V_{CC})을 보강하는 경우, V_{CC} 용의 주회 전원배선((6')(V_{CC}))은 그의 외측에 V_{SS} 용의 주회 전원배선((5')(V_{SS}))이 배치되어 있는 관계상, 제1층째 알루미늄 배선(제1층째 배선층)을 거쳐서 본딩패드(2')에 접속하지 않으면 안된다. 이것에 의해, 제1층째 알루미늄배선(제1층째 배선층)이 V_{CC} 용의 주회 전원배선((6 ')(V_{CC}))과의 접속용으로 사용된 I/O셀(I/O)은 제1층째 알루미늄배선(제1층째 배선층)에 의해 입출력회로를 결선할 수 없어 입출력회로를 형성할 수 없다. 즉, 그의 I/O셀(I/O)은 입출력회로를 형성할 수 없으므로 희생시키지 않으면 안되었다. 이와 같이, V_{CC} 용의 주회 전원배선((6')(V_{CC} 용))의 전원(V_{CC})을 보강하고자 하면, I/O셀(I/O)을 V_{CC} 용의 주회 전원배선((6')(V_{CC}))과의 접속용으로서만 사용하지 않으면 안되어 I/O셀(I/O)을 희생시키지 않으면 안되었다. 따라서, V_{CC} 용의 주회 전원배선((6')(V_{CC}))의 전원(V_{CC})을 보강하고자 하면 I/O셀(I/O)의 수를 증가시키지 않 으면 안되고, 그 결과 칩사이즈가 커진다.

또, 고구동력 출력버퍼회로를 여러개 연속해서 마련한 경우, 그의 끝부의 고구동력 출력버퍼회로를 구성하는 I/O셀에 인접하는 I/O셀을 전원의 보강에 사용했다고 하더라도 전원전위의 변동을 충분히 억제하는 것이 곤란하다는 것을 발견하였다.

한편, V_{SS} 용의 주회 전원배선만을 보강하는 것도 고려된다. 이 경우, 전원전위의 변동에 따른 노이즈에 대해 유효할 뿐만 아니라 신호의 하강지연을 억제하는데도 유효하다. 그러나, V_{SS} 용의 주회 전원배선만을 보강하고 V_{DD} 용의 주회 전원 배선을 보강하지 않는다고 하면, 신호의 상승지연을 억제하는데 불충분하게 되어 반도체 집적회로 장치의 동작속도의 향상을 방해한다는 문제가 있었다.

또, 예를 들면 2개의 I/O셀을 사용해서 형성된 고구동력 출력버퍼회로인 경우에 있어서, 한쪽의 I/O셀에 할당되어 있는 본딩패드는 고구동력 출력버퍼회로의 출력단자로서 사용되지만 다른쪽의 I/O셀의 본딩패드는 그의 I/O셀이 고구동력 출력버퍼회로를 형성하는데 사용되고 있는 관계상, 다른 신호인출단자로서 사용할 수 없어 불필요하게 되어 버린다는 문제가 있었다.

본 발명의 목적은 상기 과제에 착안해서 이루어진 것으로서, 고구동력 출력버퍼회로를 갖는 반도체 집적회로 장치에 있어서 I/O셀을 희생시키지 많고 주회 전원배선의 전위변동을 억제할 수 있는 기술을 제공하는 것이다.

본 발명의 다른 목적은 고구동력 출력버퍼회로를 갖는 반도체 집적회로 장치에 있어서 I/O셀을 희생시키지 않고 동작속도를 향상시킬 수 있는 기술을 제공하는 것이다.

본 발명의 또다른 목적은 고구동력 출력버퍼회로를 갖는 반도체 집적회로 장치에 있어서 외부단자를 유효하게 사용할 수 있는 기술을 제공하는 것이다.

본 발명의 상기 및 그밖의 목적과 새로운 특징은 본 명세서의 기술 및 첨부도면으로부터 명확하게 될 것이다.

발명의 구성 및 작용

본원에 있어서 개시되는 발명중 대표적인 것의 개요를 간단히 설명하면 다음과 같다.

제1의 관점에 따르면, 반도체 칩에 형성된 내부회로영역의 주변을 따라 연장하는 전원전압 공급용의 여러개의 주회 전원배선과 주회 전원배선보다 외측에 마련된 본딩패드를 갖는 반도체 집적회로 장치로서, 가장 바깥둘레에 배치된 주회 전원배선의 사용 배선층을 그것에 인접하는 안쪽(내측) 주회 전원배선의 사용 배선층보다 1층 저감한 구성으로 하고, 그 저감한 배선층에 내측의 주회 전원배선과 본딩패드를 접속하는 전원인출용 배선을 마련한다.

또, 상기 여러개의 주회 전원배선중 가장 바깥둘레의 주회 전원배선의 폭을 다른 주회 전원배선의 폭보다 넓게 한 반도체 집적회로 장치의 구조로 하는 것이다.

제2의 관점에 따르면, 내부회로영역의 주변을 따라 여러개의 I/O셀을 배치함과 동시에 그 여러개의 I/O셀중 인접하는 2개 이상의 입출력회로 셀을 사용해서 구성되고 또한 상기 주회 전원배선에서 전원전압이 공급되는 고구동력 출력버퍼회로를 배치하고, 상기 고구동력 출력버퍼회로의 구성용의 여러개의 I/O셀에 할당되어 있는 소정의 외부단자를 상기 여러개의 주회 전원배선으로 전원전압을 공급하기 위한 단자로 한 반도체 집적회로 장치 구조로 하는 것이다.

또, 상기 고구동력 출력버퍼회로를 여러개 연속시킨 상태로 배치함과 동시에 상기 여러개의 주회 전원배선에서 상기 소정의 외부단자로 인출된 전원인출용 배선을 상기 고구동력 출력버퍼회로에서 외부단자로 인출된 신호인출용 배선의 양측에 배치한 반도체 집적회로 장치 구조로 하는 것이다.

상술한 제1의 관점에 의하면, 내측의 주회 전원배선을 반도체 집적회로나 입출력회로를 구성하는 배선의 배선층을 사용하지 않고 반도체 칩의 어떤 위치에서도 인출할 수 있다.

또, 가장 바깥둘레의 주회 전원배선의 사용가능한 배선층을 저감한 것에 의한 배선 단면적의 저하분을 보충할 수 있다.

상술한 제2의 관점에 의하면, 고구동력 출력버퍼회로를 구성하는 I/O셀에 할당되어 종래 불필요하게 되고 있었던 외부단자를 주회 전원배선에 대한 전원공급용의 단자로서 사용하는 것에 의해서, 외부단자의 유효사용이 가능하고 칩사이즈의 증대를 초래하지 않고 주회 전원배선의 전원보강이 가능하게 된다.

또, 예를 들면 고구동력 출력버퍼회로에서 인출된 신호인출용 배선을 기준전위의 전원인출용 배선과 기준전위보다 높은 전위의 전원인출용 배선 사이에 끼우는 것에 의해서, 신호인출용 배선이 실드(차폐)되므로 신호인출용 배선간의 커플링을 억제할 수 있다. 또, 신호인출용 배선과 전원인출용 배선 간의 상호 인덕턴스가 증대하므로, 신호인출용 배선의 실효 인덕턴스를 저감할 수 있다.

[실시예1]

도 1은 본 발명의 1실시예인 반도체 집적회로 장치를 구성하는 반도체 칩의전체 평면도, 도 2는 도 1의 반도체 집적회로 장치의 고구동력 버퍼회로 형성영역을 모식적으로 도시한 반도체 칩의 주요부 확대 평면도, 도 3은 고구동력 버퍼회로 형성영역을 상세하게 설명하기 위한 반도체 칩의 주요부 확대 평면도, 도 4는 도 3의 주요부 확대 평면도, 도 5 및 도 6은 도 4의 주요부 확대 평면도, 도 7은 I/O셀을 사용해서 형성된 버퍼회로의 회로도, 도 8은 전원계의 배선만을 추출한 반도체 칩의 주요부 확대 평면도, 도 9는 도 3 및 도 8의 A-A선의 단면도, 도 10은 도 3 및 도 8의 B-B선의 단면도, 도 11은 도 3 및 도 8의 C-C선의 단면도, 도 12는 반도체 칩과 패키지 기판의 접속관계를 설명하기 위한 반도체 집적회로 장치의 주요부 확대 평면도, 도 13은 배선기판 상에 실장된 반도체 집적회로 장치의 설명도이다.

본 실시예1의 반도체 집적회로 장치는 예를 들면 금속배선층을 3층 갖는 SOG(Sea Of Gate)형의 게이트어레이이다. 이 게이트어레이를 구성하는 반도체 칩의 평면도를 도 1에 도시한다.

반도체 칩(1)은 예를 들면 실리콘(Si) 단결정으로 이루어지는 반도체 기판으로서, 그의 주면 중앙에는 내부회로영역(2)가 배치되어 있다. 내부회로영역(2)에는 여러개의 기본셀(도시하지 않음)이 전면에 깔린 상태로 배치되어 있다.

이 기본셀에는 예를 들면 NAND회로나 NOR회로 등 기본 게이트회로를 구성하는데 필요한 트랜지스터나 저항 등과 같은 반도체 집적회로 소자가 배치되어 있다. 그리고, 기본 게이트회로 사이는 배선에 의해 전기적으로 접속되어 있고, 이것에 의해 내부회로영역(2) 내에 소정의 논리회로가 형성되어 있다. 트랜지스터는 예를 들면 CMOSFET(Complementary Metal-Oxide-Semiconductor Field Effect Transistor) 또는 Bi-CMOS(Bipolar-CMOS)로 구성된다.

내부회로영역(2)의 주위에는 주변회로영역(3)이 배치되어 있다. 주변회로 영역(3)에는 입출력회로(4)(이하, 간단히 I/O셀이라 한다)가 내부회로영역(2)의 외주를 따라 여러개 배치되어 있다. I/O셀(4)에는 후술하는 버퍼회로 등과 같은 입출력회로를 구성하는데 필요한 트랜지스터 등과 같은 반도체 집적회로 소자가 배치되어 있다. 입출력회로는 후술하는 바와 같이 주로 제1층째 배선층에 의해 트랜 지스터 사이를 결선하는 것으로 구성된다.

주변회로영역(3)에 통상의 버퍼회로(5) 및 고구동력 출력버퍼회로(6)이 형성되어 있다. 통상의 버퍼회로(5)는 1개의 I/O셀(4) 내의 반도체 집적회로 소자를 사용해서 형성되어 있다.

고구동력 출력버퍼회로(6)든 도 2에 도시한 바와 같이 예를 들면 2개의 I/O셀(4)의 각각의 반도체 집적회로 소자를 사용해서 형성되어 있다. 본 실시예1에 있어서는 고구동력 출력버퍼회로(6)이 연속적으로 여러개 배치되어 있다.

각 고구동력 출력버퍼회로(6)은 예를 들면 통상의 버퍼회로(5)의 약 2배의 구동력을 얻는 것이 가능하게 되어 있다. 제품에 따라 다르므로 일률적으로 말할 수는 없지만, 통상의 버퍼회로(5)의 구동전류는 예를 들면 8㎃정도이고, 고구동력 출력버퍼회로(6)의 구동전류는 예를 들면 16mA정도이다.

I/O셀(4)의 바깥쪽 측에는 본딩패드(외부단자)(7)이 배치되어 있다. 본딩패드(7)은 반도체 칩(1) 내의 회로의 전극을 외부로 인출하기 위한 단자로서, 각 I/O셀(4)에 대응해서 1개씩 할당되어 있다. 또한, 본딩패드(7)은 주로 제2층째 및 제3층째 배선층으로 구성되고, 예를 들면 알루미늄(Aℓ) 또는 Aℓ 합금으로 이루어진다. 본딩패드(7)의 치수는 예를 들면 60×60㎛정도이고, 인접하는 본딩패 드(7), (7) 사이의 치수는 예를 들면 90㎛정도이다.

한편, 내부회로영역(2)의 바깥쪽 측에 있어서 I/O셀(4)의 위쪽에는 예를 들면 2개의 주회 전원배선(8a), (8b)가 내부회로영역(2)의 외주를 따라 연장하도록 배치되어 있다. 또한, 도 1에 있어서는 도면을 이해하기 쉽게 하기 위해 주회 전원배선(8a)를 사선으로 나타낸다

주회 전원배선(8a), (8b)는 반도체 칩(1)내의 회로에 대해 전원전압을 공급하기 위한 배선이다. 내부회로영역(2)에 근접하는 주회 전원배선(8a)는 예를 들면 5V정도의 V_{DD} 전위(고전위)를 공급하기 위한 배선이고, 그의 외측에 인접하는 주회 전원배선(8b)는 예를 들면 0V정도의 V_{SS} 전위(기준전위)를 공급하기 위한 배선이다.

주회 전원배선(8a), (8b)는 각각 전원인출용 배선(9a), (9b)를 통해 본딩패드(7), (7)과 전기적으로 접속되어 있다. 도 3 및 도 9 도 11을 사용해서 후술 하겠지만, 주회 전원배선(8a)는 제2층째 및 제3층째 배선층으로 구성되고, 주회 전원배선(8b)는 제2층째 배선층으로 구성된다. 전원인출용 배선(9a), (9b)는 각각 제3층째 배선층 및 제2층째 배선층으로 구성된다. 이 때문에, 본딩패드(7), (7)에서 주회 전원배선(8a), (8b)에 대해 각각의 전위를 공급할 수 있어 주회 전원배선(8a), (8b)의 전원보강이 가능한 구조로 되어 있다. 그리고, 이 결과 전원노 이즈를 저감할 수 있고 또한 신호의 상승/하강 시간을 단축시켜 게이트어레이의 동작속도를 향상시키는 것이 가능하게 되어 있다.

전원인출용 배선(9a), (9b)는 주회 전원배선(8a, (8b)의 각 개소에서의 전위를 거의 균일하게 하기 위해서 1쌍으로 되어 여러 개소에 분산 배치되어 있다. 단, 여러개의 고구동력 출력버퍼회로(6)이 연속적으로 형성되어 있는 영역에 있어서는 주회 전원배선(8a), (8b)의 전위 변동이 크므로, 그의 전위변동을 억제하기 위해서 여러개의 전원인출용 배선(9a), (9b)가 밀집된 상태로 배치되어 있다. 또한, 전원인출용 배선(9a), (9b)의 폭은 예를 들면 50 80㎛정도이다.

여러개의 고구동력 출력버퍼회로(6)이 연속적으로 형성되어 있는 영역을 모식적으로 나타낸 도면을 도 2에 도시한다. 또한, 도 2에 있어서도 도면을 이해하기 쉽게 하기 위해, 제3층째 배선층으로 구성되는 주회 전원배선(8a) 및 전원인출용 배선(9a)를 사선으로 나타낸다.

고구동력 출력버퍼회로(6)은 예를 들면 병렬 접속된 2개의 인버터회로(6a), (6a)에 의해 구성되고, 고구동력 출력버퍼회로(6)의 출력은 신호인출용 배선(10) (제1층째 배선층)을 통해 본딩패드(7a)와 전기적으로 접속되어 있다. 이 본딩패 드(7a)는 고구동력 출력버피회로(6)을 구성하는 2개의 I/O셀(4) 중의 한쪽의 I/O셀 (4)에 할당된 단자이다.

또, 고구동력 출력버퍼회로(6)을 구성하는 다른쪽의 I/O셀(4)에 할당되어 있는 본딩패드(7b)는 주회 전원배선(8a) 또는 주회 전원배선(8b)로 전위를 공급하기 위한 단자로서 사용되고 있다. 즉, 본딩패드(7)이 유효하게 사용되어 I/O셀을 희생시키지 않고 주회 전원배선의 전위변동을 억제하고 있다.

또, 도 2에 도시한 바와 같이 전원인출용 배선(9a), (9b)와 신호인출용 배선 (10)의 비를 1대 1로 하는 것에 의해, 고구동력 출력버퍼회로(6)의 구동시에 발생하는 주회 전원배선(8a), (8b)의 전위변동을 더욱 효과적으로 억제할 수 있고 전원 노이즈를 대폭적으로 저감하는 것이 가능하게 된다.

또한, 전원인출용 배선(9a), (9b)가 신호인출용 배선(10)을 개재하도록(사이에 끼우도록) 배치되어 있다. 이 때문에, 다음의 첫 번째 및 두 번째 효과를 얻 는 것이 가능하게 되어 있다.

첫 번째로, 신호인출용 배선(10)이 전원인출용 배선(9a), (9b)에 의해 실드되므로, 인접하는 신호인출용 배선(10), (10) 사이의 커플링을 억제할 수 있어 누화(cross-talk)를 억제하는 것이 가능하게 되어 있다.

두 번째로, 전원인출용 배선(9a), (9Bb와 신호인출용 배선(10)과의 상호 인덕턴스가 증대하므로, 신호인출용 배선(10)의 실효 인덕턴스를 저감할 수 있어 고속신호전송이 가능하게 되어 있다.

또, 고구동력 출버퍼회로(6)의 1군의 말단에 인접하는 입출력회로(4a)(이 하, 간단히 I/O셀이라 한다)에 할당되어 있는 본딩패드(7b)도 V_{DD} 전위를 공급하기 위한 단자로서 사용되고 있어 상기 첫 번째 및 두 번째 효과를 더욱 향상시키고 있다.

다음에, 본 실시예1의 반도체 집적회로 장치를 도 3 도 13에 따라 더욱 상세하게 설명한다. 도 2를 상세하게 설명하기 위한 주요부 확대정면도를 도 3에 도시한다.

각 I/O셀(4)에는 최종단 버퍼회로영역B_1과 프리 버퍼회로영역B_2가 배치되어 있다. 최종단 버퍼회로영역B_1에는 상기 인버터회로(6a)(도 2 참조)가 형성되어 있다. 주회 전원배선(8a), (8b)는 최종단 버퍼회로영역B_1상에 배치되어 있고, 인버터회로(6a)에는 주회 전원배선(8a), (8b)로부터 전원전압이 공급되고 있다.

한편, 프리 버퍼회로영역B_2에는 인버터회로(6a)의 구동을 제어하는 후술하는 프리 버퍼회로가 형성되어 있다. 프리 버퍼회로영역B_2상에는 전원배선(11a), (11b)가 배치되어 있고, 프리 버퍼회로에는 전원배선(11a), (11b)로부터 전원전압이 공급되고 있다. 또한, 전원배선(11a)에는 예를 들면 5V정도의 전위(VDD1)가 공급되고 있고, 전원배선(11b)에는 예를 들면 0V정도의 기준전위(VSS1)가 공급되고 있다.

도 3의 2개의 I/O셀(4), (4)의 확대평면도를 도 4에 도시한다. 또, 최종단 버퍼회로영역B_1의 주요부 확대 평면도를 도 5에 도시하고, 프리 버퍼회로영역B_2의 확대평면도를 도 6에 도시한다. 또한, 도 4 도 6에 있어서는 도면을 이해하기 쉽게 하기 위해서, 주회 전원배선(8a), (8b) 및 전원배선(11a)(11b)가 삭제되어 있다.

또, MOS트랜지스터를 구성하는데 필요한 기판 급전, 웰 급전 및 불순물 주입 영역은 생략하고 있다.

최종단 버퍼회로영역B_1에는 n채널 MOS(이하, 간단히 nMOS라고 한다) FET($12Q_1$), ($12Q_2$)가 배치되어 있다 또, 프리 버퍼회로영역B_2에는 1개의 인버터회 로N_1 및 2개의 NOR회로 G_1, G_2가 배치되어 있다.

nMOSFET($12Q_1$)은 도 5에 도시한 바와 같이 확산층(13a), (13b) 및 게이트전극(l4a)를 갖고 있다. 또, nMOSFET($l2Q_2$)는 확산층(l3c), (13d) 및 게이트전극 (l4b)를 갖고 있다. 또한, 게이트전극(l4a), (l4b)는 예를 들면 도프드(doped) 폴리실리콘으로 이루어진다. 게이트길이는 예를 들면 0. 8㎛정도이다.

또, 도 6에 도시한 바와 같이 인버터회로N_1은 nMOSFET($15Q_1$) 및 p채널 MOS(이하, 간단히 pMOS라고 한다)FET($16Q_1$)으로 이루어지는 CMOS회로에 의해 구성되어 있다. nMOSFET($15Q_1$)은 확산층(l7a), (l7b) 및 게이트전극(l4c)를 갖고 있다. pMOSFET($16Q_1$)은 확산층(l8a), (l8b) 및 게이트전극(l4c)를 갖고 있다. NOR회로G_1은 2개의 nMOSFET($l5Q_2$), ($15Q_3$) 및 2개의 pMOSFET($16Q_2$), ($16Q_3$)으로 구성되어 있다. nMOSFET($l5Q_2$)는 확산층(l7c). (l7d) 및 게이트전극(14d)를 갖고 있다. nMOSFET($l5Q_3$)은 확산층(l7d), (l7e) 및 게이트전극(14e)를 갖고 있다. pMOSFET($16Q_2$)는 확산층(l8c), (18d) 및 게이트전극(14d)를 갖고 있다. pMOSFET($16Q_3$)은 확산층(18d), (18e) 및 게이트전극(14e)를 갖고 있다.

또, NOR회로G_2는 2개의 nMOSFET($15Q_4$), ($15Q_5$) 및 2개의 pMOSFET($16Q_1$), ($16Q_5$)로 구성되어 있다. nMOSFET($15Q_4$)는 확산층(l7f), (17g) 및 게이트전극 (l4f)를 갖고 있다. nMOSFET($15Q_5$)는 확산층(17g), (17h) 및 게이트전극(14g)를 갖고 있다. pMOSFET($16Q_4$)는 확산층(18f), (18g) 및 게이트전극(l4g)를 갖고 있다. pMOSFET($16Q_5$)는 확산층(18g), (18h) 및 게이트전극(14g)를 갖고 있다.

여기서 , nMOSFET($12Q_1$), ($12Q_2$), 인버터회로N_1, NOR회G_1, G_2의 배선접속 관 계를 도 4 및 도 7에 따라서 설명한다.

배선Do는 인버터회로N_1의 입력의 게이트전극(14c) 및 NOR회로G_1의 입력의 게이트전극(14d)에 전기적으로 접속되어 있다. 또, 배선EN은 NOR회로G_1, G_2의 입력 의 게이트전극(l4e), (l4g)에 전기적으로 접속되어 있다.

인버터회로N_1의 출력은 제1층째 배선층(l9a)를 통해 NOR회로G_2의 입력의 게이트전극(l4f)에 전기적으로 접속되어 있다. 이것에 의해, 프리 버퍼회로(20)이 형성되어 있다.

NOR회로G_1의 출력은 제1층째 배선층(l9b)를 통해 nMOSFET($l2Q_1$)의 입력의 게이트전극(l4a)와 전기적으로 접속되어 있다. 또, NOR회로G_2의 출력은 제1층째 배선층(l9c)를 통해 nMOSFET($12Q_2$)의 입력의 게이트전극(14b)와 전기적으로 접속되어 있다.

nMOSFET($12Q_1$), ($12Q_2$)의 출력은 신호인출용 배선(10)과 전기적으로 접속되어 있다. nMOSFET($12Q_1$), ($12Q_2$)는 주회 전원배선(8a), (8b) 사이에 직렬로 접속되고, 이것에 의해 인버터회로(6a)가 형성되어 있다.

다음에, 반도체 칩(1)의 두께방향에 있어서의 주회 전원배선(8a), (8b)의 배선상태에 대해 도 3, 도 8 및 도 9 도 11에 따라서 설명한다. 또한, 도 8에는 주회 전원배선(8a), (8b) 및 전원배선(11a), (11b)만이 추출되어 있다.

도 3 및 도 8의 A-A선의 단면도를 도 9에 도시한다. 반도체 칩(1)을 구성하는 반도체 기판(21)에 있어서, 필드절연막(22)로 둘러싸인 소자형성영역에는 상기한 확산층(13c)가 형성되어 있다.

또, 반도체 기판(21) 상에는 예를 들면 CVD(Chemical Vapour Deposition)법으로 형성된 산화실리콘(SiO_2)로 이루어지는 절연막(23a)가 퇴적되고, 절연막(23a)상에는 제1 배선층인 제1층째 배선층(19d), 상기 신호인출용 배선(10)을 구성하는 신호인출용 배선(10a)가 형성되어 있다.

제1층째 배선층(19d)는 콘택트홀(24)를 통해 확산층(13c)와 전기적으로 접속되어 있다. 또한, 제1층째 배선층(19d) 및 신호인출용 배선(10a)는 예를 들면 Aℓ 또는 Aℓ합금으로 이루어진다.

절연막(23a) 상에는 제1층째 배선층(l9d) 및 신호인출용 배선(10a)를 피복하도록 절연막(23b)가 퇴적되고, 절연막(23b) 상에는 제2층째 배선층인 주회 전원배선(8a), (8b) 및 신호인출용 배선(10)을 구성하는 신호인출용 배선(10b)가 형성되어 있다. 절연막(23b)는 예를 들면 CVD법에 의해 형성된 산화실리콘막으로 구성된다.

주회 전원배선(8b)는 스루홀(25a)를 통해 제1층째 배선층(19d)와 전기적으로 접속되어 있다. 주회 전원배선(8b)의 폭이 그것에 인접하는 주회 전원배선(8a)의 폭보다 넓게 되어 있고, 그 폭은 예를 들면 주회 전원배선(8a)의 폭의 약 2배로 되어 있다. 그 이유에 대해서는 후술한다.

신호인출용 배선(10b)는 스루홀(25b)를 통해 제1층째 배선층의 신호인출용 배선(10a)와 전기적으로 접속되어 있다. 또한, 신호인출용 배선(10b)는 예를 들면 Aℓ 또는 Aℓ합금으로 이루어진다.

절연막(23b) 상에는 주회 전원배선(8a), (8b) 및 신호인출용 배선(10b)를 피복하도록 절연막(23c)가 퇴적되고, 절연막(23c) 상에는 제3층째 배선층인 주회 전원배선(8a) 및 본딩패드(7)이 형성되어 있다. 절연막(23c)는 예를 들면 CVD법에 의해 형성된 산화실리콘막으로 구성된다.

제3층째 배선층인 주회 전원배선(8a)는 제2층째 배선층인 주회 전원배선(8a)와 평행하게 연장되어 있고, 도시하지 않은 스루홀을 통해 제2층째 배선층인 주회전원배선(8a)와 전기적으로 접속되어 있다. 또한, 제3층째 배선층인 주회 전원배선(8a)의 폭은 제2층째 배선층인 주회 전원배선(8a)의 폭과 동일하다.

제3층째 배선층이 주회 전원배선(8a)의 배선인출용 배선층으로 되어 있다. 따라서, 제3층째 배선층에 있어서 주회 전원배선(8a)의 바깥쪽 측에 다른 주회 전원배선(8b)의 배치를 금지하는 배선금지영역이 마련되어 있다.

즉, 제3층째 배선층에는 주회 전원배선(8b)가 형성되어 있지 않고, 외측의 주회 전원배선(8b)는 내측의 주회 전원배선(8a)보다 사용 배선층을 1층만큼 저감한 상태로 배치되어 있다.

이 때문에, 후술하는 도 10 및 도 11에 도시한 바와 같이 내측의 주회 전원배선(8a)를 입출력회로를 구성하는 제1층째 배선층을 사용하지 않고 반도체 칩(1)상의 어떤 위치에서라도 본딩패드(7)에 대해 인출하는 것이 가능한 구조로 되어 있다. 따라서, I/O셀(4)을 희생시키지 않고 내측의 주회 전원배선(8a)에 대한 전원보강이 가능하게 되어 있다.

그러나, 그와 같이 하면 주회 전원배선(8b)의 단면적은 사용 배선층이 주회 전원배선(8a)보다 감소되어 있는 분만큼 주회 전원배선(8a)의 단면적보다 작아진다. 이 때문에, 주회 전원배선(8b)에 있어서 Aℓ 또는 Aℓ합금의 전자이동(일렉트로 마이그레이션)이나 전원노이즈의 문제가 발생할 우려가 있지만, 그러한 문제를 억제하여 반도체 집적회로 장치의 신뢰성을 확보하기 위해서 상기한 바와 같이 주회 전원배선(8b)의 폭을 주회 전원배선(8a)의 폭보다 넓게 하고 있다. 주회 전원 배선(8b)의 폭을 주회 전원배선(8a)의 폭의 약 2배로 한 것은 주회 전원배선(8a)의 사용 배선층이 주회 전원배선(8b)의 사용배선층의 2배이기 때문이다.

절연막(23c) 상에는 주회 전원배선(8a) 및 본딩패드(7)의 일부를 피복하도록 표면보호막(26)이 퇴적되어 있다. 본딩패드(7)은 스루홀(25c)를 통해 신호인출용 배선(10b)와 전기적으로 접속되어 있다.

도 3 및 도 8의 B-B선의 단면도를 도 10에 도시한다. 주회 전원배선(8b)는 그것과 동일한 배선층에 일체적으로 형성된 전원인출용 배선(9b)를 통해 본딩패드 (7)과 전기적으로 접속되어 있다.

이 때문에, 반도체 칩(1)의 어떤 위치에서라도 본딩패드(7)에서 주회 전원배선(8b)에 대해 전원전위를 공급할 수 있어 주회 전원배선(8b)의 전원보강이 가능하게 되어 있다. 또한, 전원인출용 배선(9b)는 스루홀(25d)를 통해 본딩패드(7)과 전기적으로 접속되어 있다.

도 3 및 도 8의 C-C선의 단면도를 도 11에 도시한다. 제3층째 배선층인 주회 전원배선(8a)는 그것과 동일한 배선층에 일체적으로 형성된 전원인출용 배선 (9a)를 통해 배선층을 변경하지 않고 본딩패드(7)과 전기적으로 접속되어 있다.

이 때문에, 본딩패드(7)에서 주회 전원배선(8a)에 대해서도 전원전위를 공급할 수 있어 주회 전원배선(8a)의 전원보강이 가능하게 되어 있다.

이와 같이, 가장 바깥둘레의 주회 전원배선(8b)를 내측의 주회 전원배선(8a)보다 사용 배선층을 1층만큼 저감한 상태로 배치하고, 그 저감한 배선층에 내측의 주회 전원배선(8a)와 본딩패드(7)을 접속하는 전원인출용 배선(9a)를 마련하는 구성으로 한다. 이것에 의해, 내측의 주회 전원배선(8a)는 반도체 칩(1) 상의 어떤 위치에서라도 본딩패드(7)에 대해 전원인출용 배선(9a)를 마련할 수 있다. 따라서, I/O셀(4)를 희생시키지 않고 주회 전원배선(8a), (8b)의 전원보강이 가능하게 되어 있다. 이 때문에, 칩 사이즈의 증대를 초래하지 않고 전원 노이즈를 저감할 수 있고 또한 신호의 상승/하강 시간을 단축시켜 게이트어레이의 동작속도를 향상시키는 것이 가능하게 되어 있다. 또, 입출력회로를 형성하기 위한 제1층째 배선층의 결선관계를 변경하지 않고 전원인출용 배선(9a), (9b)를 마련하는 것만으로 주회 전원배선(8a), (8b)의 전원보강이 가능하여 설계의 자유도를 저하시키지 않고 동작속도를 향상시킬 수 있다.

또, 바꾸어말하면 입출력회로 또는 고구동력 버퍼회로를 구성하는 트랜지스터 사이를 결선하는 제1층째 배선층은 다른 배선층(제2째 및 제3층째 배선층)을 사용해서 주회 전원배선(8a), (8b)와 본딩패드(7)을 접속하는 구조이다. 여기서, 본딩패드(7)과 주회 전원배선(8a), (8b)는 적어도 1개의 배선층이 동일한 층이다.

다음에, 반도체 칩(1)과 그것을 실장하는 패키지 기판의 관계를 도 12 및 도 13에 따라서 설명한다. 또한, 도 12의 반도체 칩(1)은 고구동력 출력버퍼회로(6)의 밀집영역을 나타내고 있다. 또, 도 12에 있어서도 도면을 이해하기 쉽게 하기 위해서 주회 전원배선(8a)를 사선으로 나타낸다.

반도체 칩(1)은 예를 들면 도 12에 도시한 바와 같이, 패키지 기판(27a) 상에 접착제 등에 의해 접착되어 있다. 반도체 칩(1)의 본딩패드(7)은 본딩와이어 (28)을 통해 페키지 기판(27a) 상의 본딩패드(29)와 전기적으로 접속되어 있다.

패키지 기판(27a)의 본딩패드(29)는 고구동력 출력버퍼회로(6)의 신호용의 본딩패드(29)를 V_{SS} ,V_{DD} 쌍방의 전원용 본딩패드(29), (29) 사이에 끼우도록 배치되어 있다.

이 본딩패드(29)는 도 13에 도시한 패키지(27)의 4변에서 돌출하는 외부리이드(30)과 도시하지 않은 배선을 통해서 전기적으로 접속되어 있다. 그 배선에 있어서도 고구동력 출력버퍼회로(6)의 신호용의 본딩패드(29)(도 12 참조)에 접속된 신호용 배선은 V_{DD} , V_{SS} 쌍방의 전원용 배선 사이에 끼워져(샌드위치되어) 있다.

이 때문에, 패키지(27) 내에 있어서도 인접하는 신호용 배선간의 커플링이 억제되어 신호용 배선간의 누화를 억제할 수 있고, 또한 전원용 배선과 신호용 배선의 상호 인덕턴스의 증대에 의해 신호용 배선의 실효 인덕턴스를 저감시키는 것이 가능하게 되어 있다.

도 13에 도시한 패키지(27)은 예를 들면 QFP(Quad Flat Package) 등과 같은 면실장형의 패키지이다. 패키기(27)은 그의 4변에서 돌출하는 외부리이드(30)이 프린트 배선기판(31) 상에 형성된 랜드(도시하지 않음)와 땜납 등에 의해 접합되어 프린트 배선기판(31) 상에 실장되어 있다.

이와 같이, 본 실시예1에 의하면 이하의 효과를 얻는 것이 가능하게 된다.

< 1> 가장 바깥둘레에 배치된 주회 전원배선(8b)의 사용 배선층을 그것에 인접하는 내측 주회 전원배선(8a)의 사용 배선층보다 1층 저감한 구성으로 하고, 주회 전원배선(8a)와 본딩패드를 접속하는 전원인용출 배선을 그 저감한 배선층에 마련하는 것에 의해서, 내측 주회 전원배선(8a)를 입출력회로를 구성하는 제1층째 배선층을 사용하지 않고 반도체 칩(1) 상의 어떤 본딩패드(7)에서라도 인출하는 것이 가능하게 된다.

< 2> 상기 < 1> 의해, I/O셀(4)를 희생시키지 않고 내측의 주회 전원배선(8a)에 대해서도 전원전위를 공급할 수 있어 주회 전원배선(8a)의 전원보강이 가능하게 된다.

< 3> 상기 < 1> 에 의해, 고구동력 출력버퍼회로(6) 근방의 본딩패드(7)에서 주회 전원배선(8a), (8b)의 쌍방에 대해 전원전위를 공급하는 것이 가능하게 된다.

< 4> 상기 < 3> 에 의해, 고구동력 출력버퍼회로(6)의 구동시에 발생하는 주회 전원배선(8a), (8b)의 전위변동을 억제할 수 있으므로, 전원노이즈를 종래보다 저감하는 것이 가능하게 된다.

< 5> 상기 < 3> 에 의해, 고구동력 출력버퍼회로(6)의 신호 상승/하강 시간을 모두 단축시킬 수 있으므로, 게이트어레이의 동작속도를 향상시키는 것이 가능하게 된다.

< 6> 고구동력 출력버퍼회로(6)의 출력의 신호인출용 배선(10)과 주회 전원배선(8a), (8b)로부터의 전원인출용 배선(9a), (9b)의 비를 1대 1로 한 것에 의해서, 고구동력 출력버퍼회로(6)의 구동시에 발생하는 주회 전원배선(8a), (8b)의 전위변동을 더욱 효과적으로 억제할 수 있으므로, 전원노이즈를 대폭적으로 저감시키는 것이 가능하게 된다.

< 7> 상기 < 1> 에 의해, 고구동력 출력버퍼회로(6)을 구성하는 I/O셀(4)에 할당되어 불필요하게 되어 있던 본딩패드(7)을 전원공급용의 단자로서 사용할 수 있다. 따라서, 본딩패드(7)의 유효사용이 가능하므로, 칩사이즈의 증대를 초래하지 않고 주회 전원배선(8a), (8b)에 대한 전원보강이 가능하게 된다.

< 8> 고구동력 출력버퍼회로(6)의 신호인출용 배선(10)을 주회 전원배선(8a), (8b)에서 인출한 전원인출용 배선(9a), (9b) 사이에 끼우는 것에 의해서, 인접하는 신호인출용 배선(10), (10)간의 커플링을 억제할 수 있으므로, 인접하는 신호인출용 배선(10), (10)간의 누화를 억제하는 것이 가능하게 된다.

< 9> 고구동력 출력버퍼회로(6)의 신호인출용 배선(10)을 주회 전원배선(8a), (8b)에서 인출한 전원인출용 배선(9a), (9b) 사이에 끼우는 것에 의해서, 전원인출용 배선(9a), (9b)와 신호인출용 배선(10)과의 상호 인덕턴스가 증대하므로, 신호인출용 배선(10)의 실효 인덕턴스를 저감할수 있어 고속의 신호전송이 가능하게 된다.

< 10> 주회 전원배선(8b)의 폭을 주회 전원배선(8a)의 폭보다 넓게 한 것에 의해서, 주회 전원배선(8b)에 있어서의 전자이동이나 전원노이즈의 발생을 억제할 수 있으므로 게이트어레이의 신뢰성을 확보하는 것이 가능하게 된다.

< 11> 주회 전원배선(8a)를 인출하는 경우의 스루홀의 수를 종래보다 저감할 수 있으므로, 그 스루홀부에서 발생하기 쉬운 전자이동의 발생률을 저감할 수 있어 게이트어레이의 신뢰성을 향상시키는 것이 가능하게 된다.

[실시예2]

도 14 도 17은 본 발명의 다른 실시예에 따른 반도체 집적회로 장치를 구성하는 반도체 칩의 주요부 단면도이다.

이하, 본 실시예2의 반도체 집적회로 장치를 도 14 도 17에 따라서 설명한다.

본 실시예2에 있어서는 금속배선층이 예를 들면 4층 형성되어 있음과 동시에, 신호인출용 배선(10a) (10c), 전원인출용 배선(9a) (9c), 주회 전원배선(8a) (8c) 및 본딩패드(7)이 반도체칩(1)에 배치되어 있다

도 14에 도시한 바와 같이, 제1층째 배선층인 신호인출용 배선(10a)는 제2층째 배선층인 신호인출용 배선(10b) 및 제3층째 배선층인 신호인출용 배선(10c)를 통해 제4층째 배선층인 본딩패드(7)과 전기적으로 접속되어 있다.

또한, 신호인출용 배선(10b)는 절연막(23c)에 형성된 스루홀(25e)를 통해 신호인출용 배선(10c)와 전기적으로 접속되어 있다. 또, 신호인출용 배선(10c)는 절연막(23d)에 형성된 스루홀(25f)를 통해서 본딩패드(7)과 전기적으로 접속되어 있다.

주회 전원배선(8b)는 제2층째 배선층에만 형성되어 있다. 이것은 제3층째 배선층 및 제4층째 배선층이 각각 주회 전원배선(8a), (8c)의 배선인출용 배선층으로 되어 있고, 주회 전원배선(8b)에 대해 배선금지영역으로 되어 있기 때문이다.

주회 전원배선(8b)의 폭은 도 14 및 도 16에 도시한 바와 같이, 상기 실시예 1과 마찬가지로 예를 들면 주회 전원배선(8a)의 약 2배이다.

또, 주회 전원배선(8b)는 도 15에 도시한 바와 같이, 주회 전원배선(8b)와 일체적으로 제2층째 배선층에 형성된 전원인출용 배선($9b_1$)((9b)) 및 제3층째 배선층에 형성된 전원인출용 배선($9b_2$)((9b))를 통해서 제4층께 배선층인 본딩패드(7)과 전기적으로 접속되어 있다 이 때문에, 주회 전원배선(8b)에 대해서 V_{SS} 전위를 공급하는 것이 가능하게 되어 있다.

또한, 전원인출용 배선($9b_1$), ($9b_2$)는 절연막(23c)에 형성된 스루홀(25g)를 통해 전기적으로 접속되어 있다. 또, 전원인출용 배선($9b_2$)는 절연막(23d)에 형성된 스루홀(25h)를 통해 본딩패드(7)과 전기적으로 접속되어 있다.

주회 전원배선(8a)는 제2층째 배선층 및 제3층째 배선층에만 형성되어 있다. 이것은 제4층째 배선층이 주회 전원배선(8c)의 배선인출용 배선층으로 되어 있고, 주회 전원배선(8a)에 대해 배선금지영역으로 되어 있기 때문이다.

제3층째 배선층에 형성된 주회 전원배선(8a)는 도 16에 도시한 바와 같이, 제3층째 배선층인 전원인출용 배선(9a)를 통해 제4층째 배선층인 본딩패드(7)과 전기적으로 접속되어 있다. 이 때문에, 제1층째 배선층을 사용하지 않고 주회 전원배선(8a)에 대해 V_{DD} 전위를 공급하는 것이 가능하게 되어 있다.

또한, 전원인출용 배선(9a)는 절연막(23d)에 형성된 스루홀(25i)를 통해 본딩패드(7)과 전기적으로 접속되어 있다.

가장 내측에 배치된 주회 전원배선(8c)는 예를 들면 3.3V정도의 전위를 반도체 칩(1)내의 회로로 공급하기 위한 배선으로서, 제2층째 배선층, 제3층째 배선층 및 제4층째 배선층에 형성되어 있다. 즉, 0V, 5V 및 3.0 3.3V의 전원전위 를 공급하는 주회 전원배선(8a) (8c)가 형성되어 있다.

각 배선층의 주회 전원배선(8c)는 예를 들면 Aℓ 또는 Aℓ합금으로 이루어지고, 도시하지 않은 스루홀을 통해 서로 전기적으로 접속되어 있다. 또한, 주회 전원배선(8c)의 폭은 예를 들면 주회 전원배선(8a)와 동일하다.

주회 전원배선(8c)는 도 17에 도시한 바와 같이, 주회 전원배선(8c)와 일체적으로 제4층째 배선층에 형성된 전원인출용 배선(9c)를 통해 제4층께 배선층인 본딩패드(7)과 전기적으로 접속되어 있다. 이 때문에, 제1층째 배선층을 사용하지 않고 주회 전원배선(8c)에 대해서도 전원전위를 공급하는 것이 가능하게 되어 있다.

이와 같이, 본 실시예2에 있어서도 상기 실시예1과 마찬가지의 효과를 얻는 것이 가능하게 된다.

[실시예3]

도 18 도 20은 본 발명의 또 다른 실시예에 따른 반도체 집적회로 장치를 구성하는 반도체 칩의 주요부 단면도이다. 또한, 도 18 도 19에 있어서 (13)은 확산층, (19)는 제1층째 배선층을 나타내고 있다.

이하, 본 실시예3의 반도체 집적회로 장치를 도 18 도 20에 의해서 설명한다.

본 실시예3에 있어서는 금속배선층이 예를 들면 3층 구조로 형성되어 있다. 주회 전원배선(8b)는 제2층째 배선층에만 형성되어 있다. 이것은 제3층째 배선층이 주회 전원배선(8a)의 배선인출용 배선층이고, 주회 전원배선(8b)에 대해 배선 금지영역이기 때문이다. 주회 전원배선(8b)는 도 l9에 도시한 바와 같이, 제2층째 배선층인 전원인출용 배선(9b)를 통해 제3층째 배선층인 본딩패드(7)과 전기적으로 접속되어 있다.

본 실시예3에 있어서는 주회 전원배선(8a)가 제3층째 배선층에만 형성되어 있다. 이 때문에, 본 실시예3에 있어서는 주회 전원배선(8a)의 폭이 예를 들면 전자이동이나 전원노이즈를 고려해서 상기 실시예1보다 넓게 되어 있다.

주회 전원배선(8a)는 도 20에 도시한 바와 같이, 주회 전원배선(8a)와 일체적으로 제3층째 배선층에 형성된 전원인출용 배선(9a)를 통해 제3층째 배선층인 본딩패드(7)과 전기적으로 접속되어 있다.

따라서, 본 실시예3에 있어서도 제l층째 배선층을 사용하지 않고 즉 I/O셀을 희생시키지 않고 주회 전원배선(8a), (8b)를 본딩패드(7)로 인출할 수 있으므로, 상기 실시예1과 마찬가지의 효과를 얻는 것이 가능하게 된다.

이상, 본 발명자에 의해 이루어진 발명을 실시예에 따라 구체적으로 설명했지만 본 발명은 상기 실시예1 3에 한정되는 것은 아니고 그 요지를 이탈하지 않는 범위에서 여러 가지로 변경가능한 것은 물론이다.

예를 들면, 상기 실시예1 3에 있어서는 V_{SS} 전위를 공급하는 주회 전원배선을 V_{DD} 전위를 공급하는 주회 전원배선의 외측에 배치한 경우에 대해서 설명했지만, 그것에 한정되는 것은 아니고 이들 주회 전원배선의 배치를 반대로 해도 좋다.

또, 상기 실시예1에 있어서는 고구동력 출력버퍼회로를 구성하는 인버터회로를 nMOSFET에 의해서만 구성한 경우에 대해서 설명했지만 그것에 한정되는 것은 아니고, 예를 들면 도 21에 도시한 바와 같이 nMOSFET($12Q_3$) 및 pMOSFET($12Q_4$)로 이루어지는 CMOS회로에 의해 구성해도 좋다.

이 경우, 프리 버퍼회로(20)의 구성이 상기 실시예1과 다르다. 즉, 프리 버퍼회로(20)은 인버터회로N_2, N_3과 NAND회로G_3, NOR회로G_4로 구성되어 있다.

배선D_0는 인버터회로N_2의 입력에 접속되고, 배선EN은 인버터회로N_3의 입력 및 NOR회로G_4의 입력에 접속되어 있다. 인버터회로N_2의 출력은 NAND회로G_3및 NOR회로 G_4의 입력에 접속되어 있다.

인터버회로N_3의 출력은 NAND회로G_3의 입력에 접속되어 있다. NAND회로G_3의 출력은 pMOSFET($12Q_4$)의 입력에 접속되고 NOR회로G_4의 출력은 nMOSFET($12Q_3$)의 입력에 접속되어 있다.

또, 상기 실시예1에 있어서는 본딩패드를 제3층째 배선층에 배치한 경우에 대해서 설명했지만 이것에 한정되는 것은 아니고, 예를 들면 금속배선층을 3층 갖는 반도체 집적회로 장치에 있어서 본딩패드를 제2층째 배선층에 형성해도 좋다.

이 경우를 도 22 도 24에 도시한다. 도 22에 도시한 바와 같이 제1층째 배선층인 신호인출용 배선(10a)는 스루홀(25j)를 통해서 제2층째 배선층인 본딩패드(7)과 전기적으로 접속되어 있다.

도 23에 도시한 바와 같이, 제2층째 배선층인 주회 전원배선(8b)는 주회 전원배선(8b)와 일체적으로 제2층째 배선층에 형성된 전원인출용 배선(9b)를 통해서 제2층째 배선층인 본딩패드(7)과 전기적으로 접속되어 있다.

도 24에 도시한 바와 같이, 제3 배선층인 주회 전원배선(8a)는 주회 전원배선(8a)와 일체적으로 제3층째 배선층에 형성된 전원인출용 배선(9a) 및 스루홀 (25k)를 통해 제2층째 배선층인 본딩패드(7)과 전기적으로 접속되어 있다.

또, 상기 실시예2에 있어서는 가장 바깥둘레의 주회 전원배선의 폭만을 넓게 한 경우에 대해서 설명했지만 이것에 한정되는 것은 아니고, 예를 들면 주회 전원배선의 폭을 바깥쪽 측에 배치됨에 따라서 점차 넓게 하도록 해도 좋다.

이상의 설명에서는 주로 본 발명자에 의해 이루어진 발명을 그 배경으로 된 이용분야인 게이트어레이에 적용한 경우에 대해서 설명했지만 이것에 한정되는 것은 아니고 여러 가지에 적용할 수 있고, 예를 들면 표준셀 등과 같은 반도체 집적회로 장치에 적용하는 것도 가능하다.

또, 상기 실시예1 3에 있어서는 본 발명을 SOG형의 게이드어레이에 적용했지만 이것에 한정되는 것은 아니고, 예를 들면 기본셀 열간에 배선채널영역을 갖는 다른 게이트어레이에 적용하는 것도 가능하다.

또, 상기 실시예1 3에 있어서는 본 발명을 내부회로영역에 논리회로만이 형성된 반도체 집적회로 장치에 적용한 경우에 대해서 설명했지만 이것에 한정되는 것은 아니고, 예를 들면 내부회로영역내에 논리회로 및 메모리회로의 양쪽이 형성된 반도체 집적회로 장치에 적용하는 것도 가능하다.

발명의 효과

본원에 있어서 개시되는 발명중 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면 다음과 같다.

< 1> 반도체 칩에 형성된 내부회로영역의 주변을 따라 연장하는 전원전압 공급용의 여러개의 주회 전원배선을 갖는 반도체 집적회의 장치로서, 상기 여러개의 주회 전원배선마다 배선인출용 배선층을 결정하고, 상기 배선인출용 배선층에 있어서 그 배선인출용 배선층에 배치된 주회 전원배선의 바깥쪽 측에 다른 주회 전원배선이 배치되지 않도록 배선금지영역을 마련한 반도체 집적회로 장치의 구조로 하는 것이다.

이것에 의해, 내측의 주회 전원배선을 반도체 집적회로나 입출력 회로를 구성하는 배선의 배선층을 사용하지 않고 반도체 칩의 어떤 위치에서라도 인출할 수 있다. 즉, I/O셀을 희생시키지 않고 예를 들면 V_{SS} , V_{DD} 쌍방의 전위의 주회 전원 배선에 대해 고구동력 출력버퍼회로 근방의 외부단자로부터 각각의 전원전위를 공급할 수 있다.

따라서, 고구동력 버퍼회로의 구동시에 발생하는 주회 전원배선의 전위변동을 억제할 수 있으므로, 전원노이즈를 종래보다 저감하는 것이 가능하게 된다. 또, 고구동력 출력버퍼회로의 신호의 상승/하강 시간을 모두 단축시킬 수 있으므로, 반도체 집적회로 장치의 동작속도를 향상시키는 것이 가능하게 된다.

< 2> 상기 여러개의 주회 전원배선중 가장 바깥둘레의 주회 전원배선의 폭을 다른 주회 전원배선의 폭보다 넓게 한 반도체 집적회로 장치의 구조로 하는 것이다.

그것에 의해, 가장 바깥둘레의 주회 전원배선의 사용가능한 배선층이 저감된 것에 기인하는 배선단면적의 저하분을 보충할 수 있으므로, 가장 바깥둘레의 주회 전원배선에 있어서 전자이동이나 전원노이즈가 발생하는 것을 억제할 수 있어 가장 바깥둘레의 주회 전원배선의 강도적 신뢰성 및 전기적 신뢰성을 확보하는 것이 가능하게 된다.

< 3> 내부회로영역의 주변을 따라 여러개의 I/O셀을 배치함과 동시에 그 여러개의 I/O셀중 인접하는 2개 이상의 입출력회로 셀을 사용해서 구성되고 또한 상기 주회 전원배선으로부터 전원전압이 공급되는 고구동력 출력버퍼회로를 배치하고, 상기 고구동력 출력버퍼회로 구성용의 여러개의 I/O셀에 할당되어 있는 소정의 외부단자를 상기 여러개의 주회 전원배선에 대해 전원전압을 공급하기 위한 단자로 한 반도체 집적회로 장치의 구조로 하는 것이다.

이것에 의해, 고구동력 출력버퍼회로를 구성하는 I/O셀에 할당되어 종래 불필요하게 되어 있던 외부단자를 주회 전원배선에 대한 전원공급용의 단자로서 사용하는 것에 의해서, 외부단자의 유효사용이 가능할 뿐만 아니라 칩 사이즈의 증대를 초래하지 않고 주회 전원배선의 전원보강이 가능하게 된다.

< 4> 상기 고구동력 출력버퍼회로를 여러개 연속시킨 상태로 배치함과 동시에, 상기 여러개의 주회 전원배선에서 상기 소정의 외부단자로 인출된 전원인출용 배선을 상기 고구동력 출력버퍼회로에서 외부단자로 인출된 신호인출용 배선의 양측에 배치한 반도체 집적회로 장치의 구조로 하는 것이다.

이것에 의해, 예를 돌면 고구동력 출력버퍼회로에서 인출된 신호인출용 배선을 기준전위의 전원인출용 배선과 기준전위보다 높은 전위의 전원인출용 배선 사이에 끼우는 것에 의해 신호인출용 배선이 실드되므로, 신호인출용 배선간의 커플링을 억제할 수 있어 신호인출용 배선간의 누화를 억제하는 것이 가능하게 된다.

또, 신호인출용 배선 및 전원인출용 배선간의 상호인덕턴스가 증대하므로, 신호인출용 배선의 실효인덕턴스를 저감할 수 있어 신호의 고속전송이 가능하게 된다.

(57) 청구의 범위

청구항 1.

내부회로 형성영역을 구비하는 주면을 갖는 반도체기판;

상기 내부회로 형성영역의 주변을 따라 상기 내부회로 형성영역을 둘러싸도록 상기 주면의 상부를 연장하고, 가장 바깥 둘레에 배치된 제1 전원배선과 그것에 인접하는 안쪽의 제2 전원배선을 구비하는 여러개의 주회전원배선;

상기 주면의 상부에서 상기 주회 전원배선보다 바깥쪽에 마련된 여러개의 외부단자;

상기 주면과 제1 전원배선을 피복하도록 상기 주면상에 형성된 제1 층간절연막;

상기 제1 층간절연막 상이고 또 상기 제1 전원배선의 상부에 형성된 제1 전원인출선을 포함하며,

상기 제2 전원배선은 상기 제1 층간절연막 상에 형성되고,

상기 제1 전원인출선은 상기 외부단자와 상기 제2 전원배선을전기적으로 접속하는 반도체 집적회로 장치.

청구항 2.

제1항에 있어서,

상기 제1 전원배선의 선폭은 상기 제2 전원배선의 선폭보다 넓은 반도체 집적회로 장치.

청구항 3.

제1항에 있어서,

상기 여러개의 주회 전원배선의 각각의 선폭을 바깥쪽 측에 배치됨에 따라 점차 넓게 한 반도체 집적회로 장치.

청구항 4.

제1항에 있어서,

상기 주면상에 형성되고, 상기 내부회로 형성영역을 둘러싸도록 상기 주회전원배선의 하부에 형성된 입출력회로셀;

상기 주면과 입출력회로셀을 피복하도록 주면상에 형성된 제2 층간절연막 및;

상기 제2 층간절연막 상에 형성된 제2 전원인출선을 더 포함하며,

상기 제2 층간절연막 상에는 제1 전원배선이 형성되고,

상기 제2 전원인출선은 상기 제1 전원배선과 일체로 형성되고 또한 상기 외부단자와 상기 제1 전원배선을 전기적으로 접속하고,

상기 제1 전원인출선은 상기 제2 전원배선과 일체로 형성되고,

상기 제1 및 제2 전원배선은 상기 입출력회로셀에 각각 다른 전원전압을 공급하는 반도체 집적회로 장치.

청구항 5.

반도체 칩에 형성된 내부회로영역의 주변을 따라 연장하는 전원전압 공급용의 여러개의 주회전원배선을 소정의 주회전원배선의 사용배선층이 그 주 회전원배선의 안쪽 측에 인접하는 다른 주회전원배선의 사용배선층보다 적어도 1층저감하도록 배치한 반도체 집적회로 장치.

청구항 6.

제1항에 있어서,

여러개의 입출력회로셀 중 인접하는 2이상의 입출력회로셀을 사용하여 구성되고 또한 상기 주회전원배선에서 전원전압이 공급되는 고구동력 버퍼회로를 배치하고,

상기 고구동력 버퍼회로의 구성용의 여러개의 입출력회로셀에 할당되어 있는 소정의 외부단자는 상기 여러개의 주회전원배선에 전원전압을 공급하기 위한 단자로서 사용되는 반도체 집적회로 장치.

청구항 7.

제6항에 있어서,

상기 고구동력 버퍼회로를 여러개 연속시킨 상태로 배치함과 동시에, 상기 여러개의 주회전원배선에서 상기 소정의 외부단자로 인출된 전원인출용 배선을 상기 고구동력 버퍼회로에서 외부단자로 인출된 신호인출용 배선의 양측에 배치한 반도체 집적회로 장치.

청구항 8.

제7항에 있어서,

상기 고구동력 버퍼회로를 구성하기 위한 배선층은 상기 주회전원배선을 구성하는 배선층과는 다른 반도체 집적회로 장치.

청구항 9.

제7항에 있어서,

상기 여러개의 주회전원배선은 기준전위 공급용의 주회전원배선과 기준전위보다 높은 전위를 공급하는 고전위 공급용의 주회전원배선이고,

상기 고구동력 버퍼회로의 신호인출용 배선의 한쪽의 전원인출용 배선을 상기 기준전위 공급용의 주회전원배선에서 인출된 기준전위 전원인출용 배선으로 하고, 다른 한쪽의 전원인출용 배선을 상기 고전위 공급용의 주회전원배선에서 인출된 고전위 전원인출용 배선으로 한 반도체 집적회로 장치.

청구항 10.

내부회로 형성영역을 구비하는 주면을 갖는 반도체기판;

상기 내부회로 형성영역의 주변을 따라 배치되고, 상기 주면에 형성된 여러개의 입출력회로셀;

상기 인접하는 2이상의 입출력회로셀을 사용하여 구성되는 고구동력 버퍼회로;

상기 주면과 입출력회로셀 상을 피복하도록 상기 주면상에 형성된 제1 층간절연막;

상기 제1 층간절연막 상에 형성된 전원배선을 구비하고, 상기 고구동력 버퍼회로에 전원전압을 공급하기 위한 전원배선 수단 및;

1개의 입출력회로셀에 각각 대응하고, 상기 주면에 형성된 여러개의 외부단자를 포함하며,

상기 고구동력 버퍼회로의 구성용의 여러개의 입출력회로셀에 대응하는 외부 단자 중의 적어도 하나는 상기 전원배선에 전원전압을 공급하기 위한 단자로서 상기 전원배선에 전기적으로 접속되어 있는 반도체 집적회로 장치.

청구항 11.

반도체 칩에 형성된 내부회로영역의 주변을 따라 연장하도록 배치된 전원전압 공급용의 여러개의 주회전원배선;

상기 내부회로영역의 주변을 따라 배치된 여러개의 입출력회로셀;

상기 입출력회로셀 중 인접하는 2이상의 입출력회로셀을 사용하여 구성되고, 또한 상기 여러개의 주회전원배선에서 전원전압이 공급되는 고구동력 버퍼회로 및;

상기 각 입출력회로셀에 대응하여 마련된 외부단자를 포함하며,

상기 고구동력 버퍼회로의 구성용의 여러개의 입출력회로셀에 할당되어 있는 소정의 외부단자는 상기 여러개의 주회전원배선에 대해 소정의 전원전압을 공급하기 위한 단자로서 사용되는 반도체 집적회로 장치.

청구항 12.

제11항에 있어서,

상기 소정의 외부단자와 상기 여러개의 주회전원배선을 입출력회로 구성용의 배선이 형성된 배선층과는 다른 배선층에 형성된 전원인출용 배선을 사용하여 전기적으로 접속한 반도체 집적회로 장치.

청구항 13.

반도체칩에 형성된 내부회로영역의 주변을 따라 연장하도록 배치된 전원전압 공급용의 여러개의 주회전원배선;

상기 내부회로영역의 주변을 따라 배치된 여러개의 입출력회로셀;

상기 입출력회로셀 중 인접하는 2이상의 입출력회로셀을 사용하여 구성되고, 또한 상기 여러개의 주회전원배선에서 전원전압이 공급되고, 여러개의 연속된 상태로 배치되는 고구동력 버퍼회로 및;

상기 각 입출력회로셀에 대응하여 마련된 외부단자를 포함하며,

상기 고구동력 버퍼회로의 구성용의 여러개의 입출력회로셀에 할당되어 있는 소정의 외부단자를 상기 여러개의 주회전원배선에 대해 소정의 전원전압을 공급하기 위한 단자로 함과 동시에, 상기 여러개의 주회전원배선에서 상기 소정의 외부단자로 인출된 전원인출용 배선을 상기 고구동력 버퍼회로에서 외부단자로 인출된 신호인출용 배선의 양측에 배치한 반도체 집적회로 장치.

청구항 14.

제11항 또는 제12항에 있어서,

상기 고구동력 버퍼회로를 구성하기 위한 배선층은 상기 주회전원배선을 구성하는 배선층과는 다른 반도체 집적회로 장치.

청구항 15.

제11항 또는 제12항이 있어서,

상기 여러개의 주회전원배선은 기준전위 공급용의 주회전원배선 및 기준전위보다 높은 전위를 공급하는 고전위 공급용의 주회전원배선이고,

상기 고구동력 버퍼회로의 신호인출용 배선의 한쪽의 전원인출용 배선을 상기 기준전위 공급용의 주회전원배선에서 인출된 기준전위 전원인출용 배선으로 하고, 다른 한쪽의 전원인출용 배선을 상기 고전위 공급용의 주회전원배선에서 인출된 고전위 전원인출용 배선으로 한 반도체 집적회로 장치.

청구항 16.

제10항에 있어서,

상기 고구동력 버퍼회로는 2개의 상기 입출력회로셀을 사용해서 구성되고,

상기 고구동력 버퍼회로가 인접해서 여러개 구성되는 반도체 집적회로 장치.

청구항 17.

반도체 기판의 주면상에 형성된 여러개의 외부단자;

상기 주면상에 형성된 제1 전원선;

상기 주면상에 형성되고, 또한 상기 외부단자와 상기 제1 전원선을 전기적으로 접속하는 제1 인출선;

상기 제1 전원선 및 제1 인출선상에 형성되고. 또한 상기 주면을 피복하는 제1 절연막;

상기 제1 절연막 상에 형성된 제2 전원선 및;

상기 제1 절연막 상에 형성된 제2 인출선을 포함하고,

상기 제1 전원선은 상기 외부단자와 상기 제2 전원선 사이에 형성되고,

상기 제2 인출선은 상기 제1 전원선 상을 연장해서 배치됨과 동시에 상기 외부단자와 상기 제2 전원선을 전기적으로 접속하는 반도체 집적회로 장치.

청구항 18.

제17항에 있어서,

상기 제1 전원선의 선폭은 상기 제2 전원선의 선폭보다 두꺼운 반도체 집적회로 장치.

청구항 19.

제17항에 있어서,

상기 제1 전원선 및 상기 제2 전원선은 여러개의 입출력회로셀 상을 연장해서 배치되고,

각 입출력회로셀에 대응해서 하나의 외부단자가 배치되고,

인접하는 2이상의 상기 입출력회로셀을 사용해서 버퍼회로가 구성되고,

상기 버퍼회로에 전기적으로 접속하는 외부단자에 인접해서 배치되는 외부단자는 상기 제1 인출선 또는 제2 인출선에 전기적으로 접속되는 반도체 집적회로 장치.

청구항 20.

제19항에 있어서,

상기 버퍼회로에 전기적으로 접속하는 외부단자의 양쪽에 인접해서 배치되는 외부단자 중의 한쪽은 상기 제1 인출선에 전기적으로 접속되고, 다른쪽은 상기 제2 인출선에 전기적으로 접속되는 반도체 집적회로 장치.

청구항 21.

제20항에 있어서,

상기 버퍼회로는 2개의 상기 입출력회로셀을 사용해서 구성되고,

상기 버퍼회로가 인접해서 여러개 구성되는 반도체 집적회로 장치.

청구항 22.

반도체 기판의 주면상에 형성된 여러개의 외부단자와;

상기 주면상에 형성된 여러개의 입출력회로셀을 갖는 반도체 집적회로 장치로서,

각 입출력회로셀에 대응해서 하나의 외부단자가 배치되고,

인접하는 2이상의 상기 입출력회로셀을 사용해서 버퍼회로가 구성되고,

상기 버퍼회로를 구성하는 입출력회로셀에 대응하는 외부단자 중의 하나는 상기 버퍼회로에 전기적으로 접속되고,

상기 버퍼회로를 구성하는 입출력회로셀에 대응하는 외부단자 중의 하나는 상기 입축력회로셀에 고정전위를 공급하는 전원선에 전기적으로 접속되는 반도체 집적회로 장치.

청구항 23.

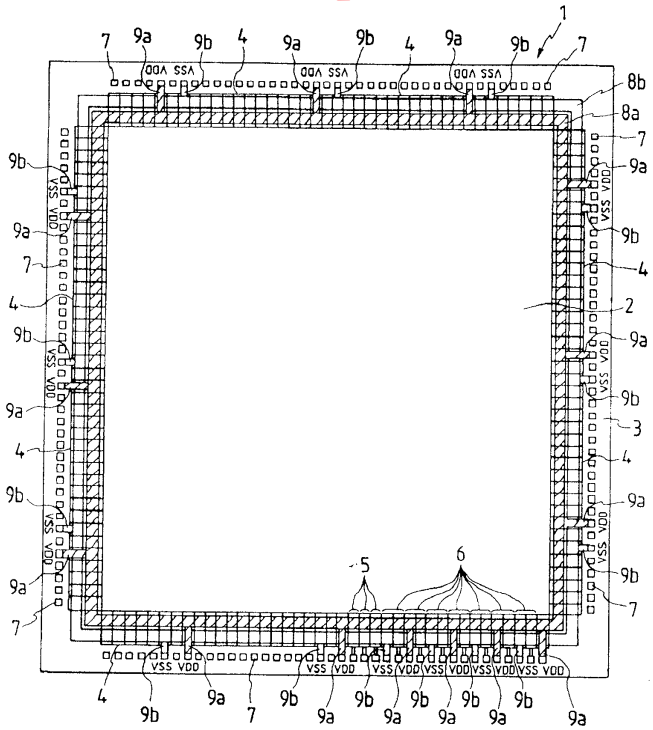
제21항에 있어서,

상기 버퍼회로는 2개의 상기 입출력회로셀을 사용해서 구성되고,

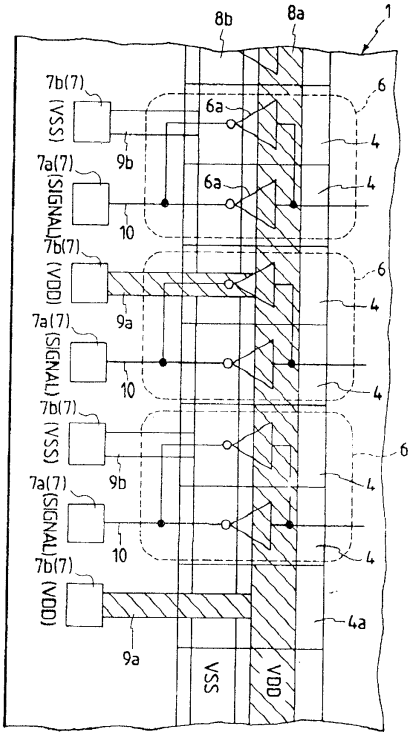
상기 버퍼회로가 인접해서 여러개 구성되는 반도체집적회로장치.

도면

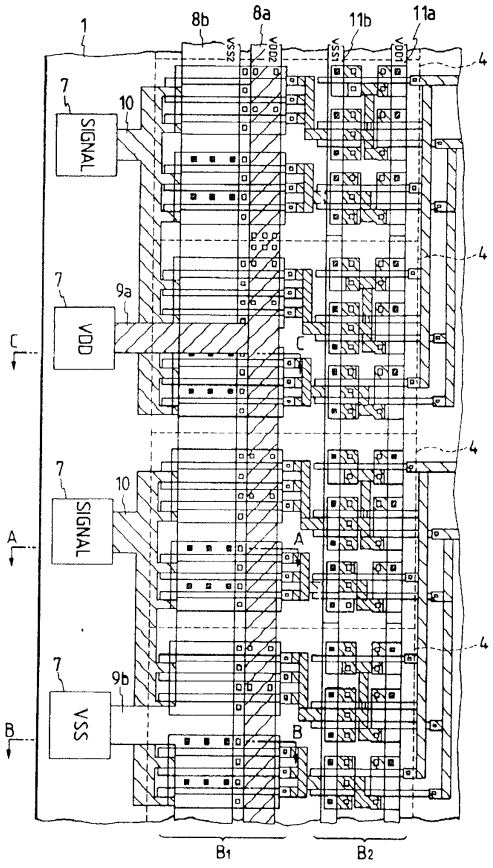
도면 1



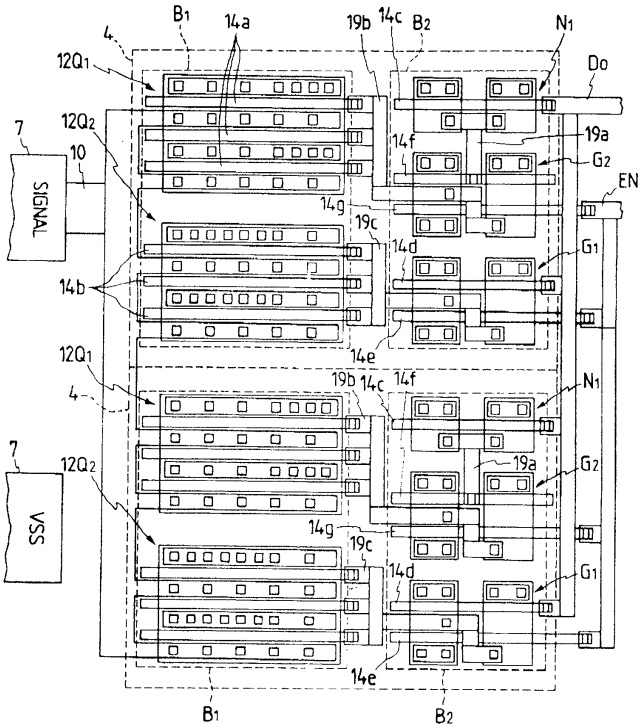
도면 2


8b
8a
1
7b(7)
(VSS)
9b
6a
6
4
7a(7)
(SIGNAL)
10
7b(7)
(VDD)
9a
7a(7)
(SIGNAL)
10
7b(7)
(VSS)
9b
7a(7)
(SIGNAL)
10
7b(7)
(VDD)
9a
4a
VSS
VDD

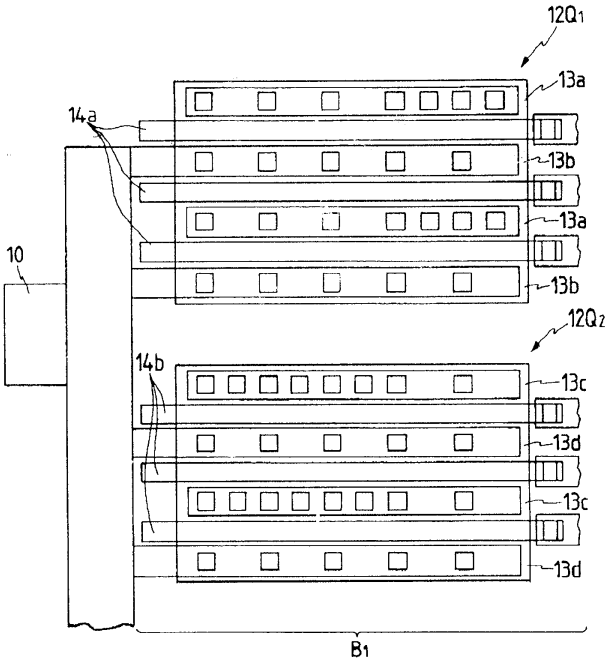
도면 3


1
8b
8a
11b
11a
VSS
VDD
VSS
VDD
4
7
SIGNAL
10
9a
VDD
C
C
7
SIGNAL
10
A
A
7
9b
VSS
B
B
B1
B2

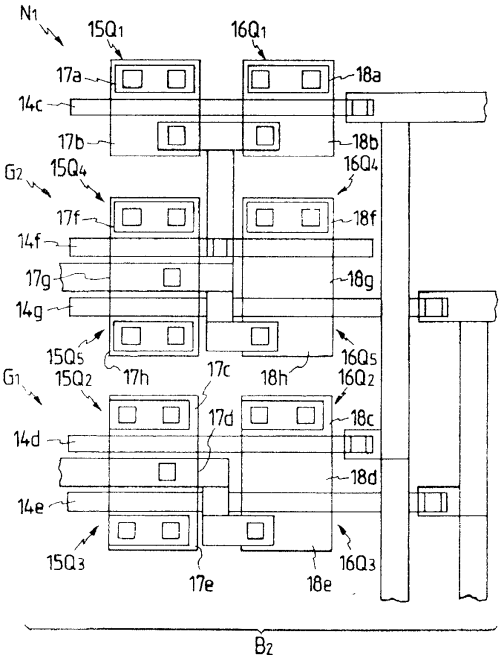
도면 4


B1
14a
19b
14c
B2
N1
Do
4
12Q1
12Q2
7
10
SIGNAL
19a
G2
EN
14f
14g
19c
14d
G1
14b
14e
VSS
B1
B2

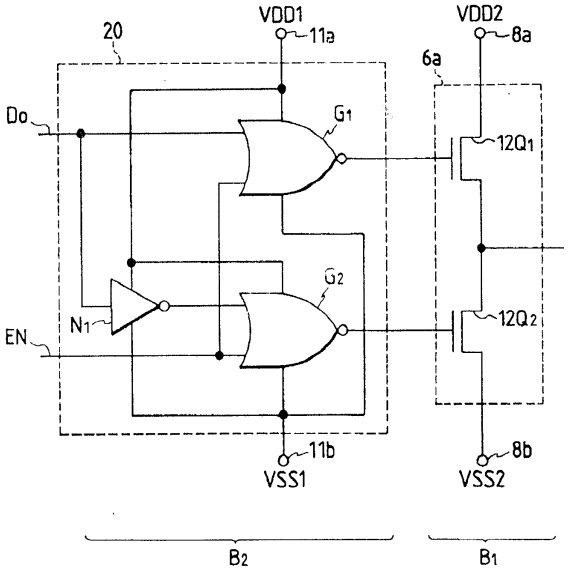
도면 5


12Q1
13a
14a
13b
13a
10
13b
12Q2
14b
13c
13d
13c
13d
B1

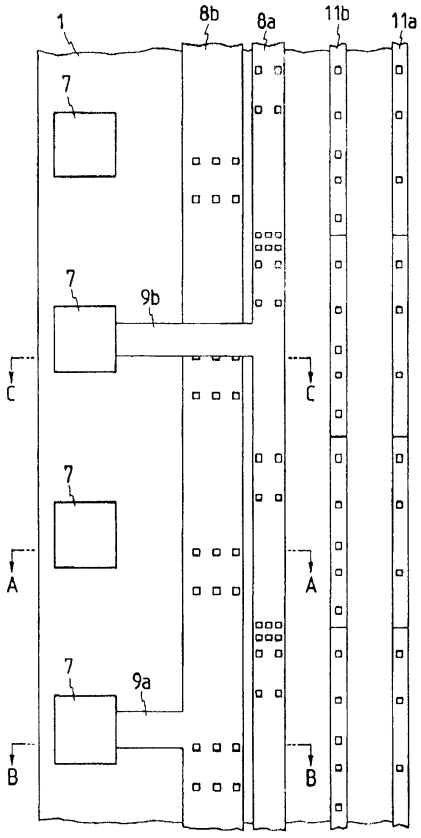
도면 6


N1
15Q1
16Q1
17a
18a
14c
17b
18b
G2
15Q4
16Q4
17f
18f
14f
17g
18g
14g
15Q5
16Q5
G1
15Q2
17h
17c
18h
16Q2
17d
18c
14d
18d
14e
15Q3
16Q3
17e
18e
B2

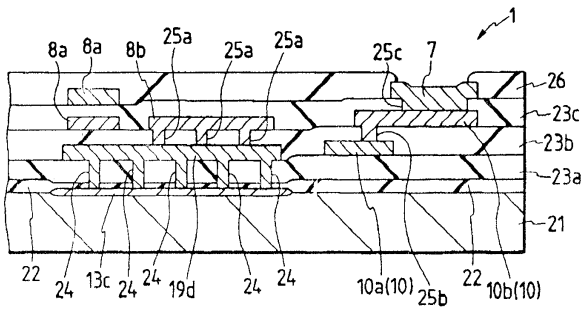
도면 7


20
VDD1
11a
VDD2
8a
6a
Do
G1
12Q1
G2
N1
12Q2
EN
11b
8b
VSS1
VSS2
B2
B1

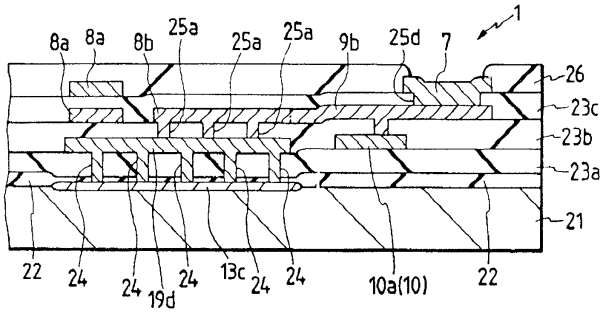
도면 8


1
8b
8a
11b
11a
7
9b
C
A
9a
B

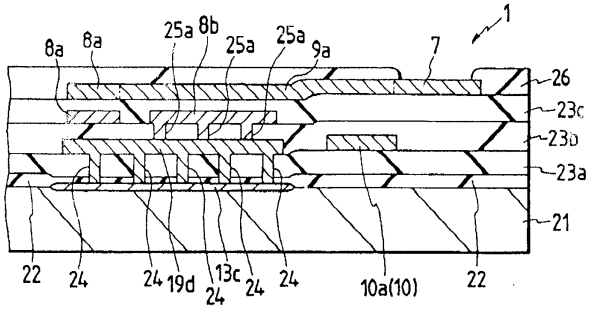
도면 9


1
8a
8a
8b
25a
25a
25a
25c
7
26
23c
23b
23a
21
22
24
13c
24
24
19d
24
24
10a(10)
25b
22
10b(10)

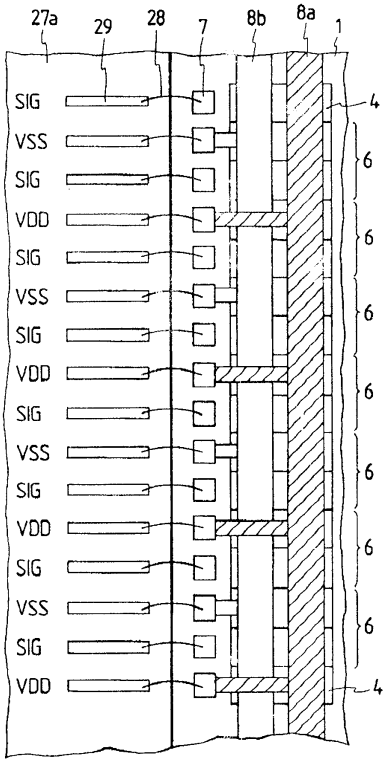
도면 10


1
8a
8a
8b
25a
25a
25a
9b
25d
7
26
23c
23b
23a
21
22
24
24
19d
24
13c
24
24
10a(10)
22

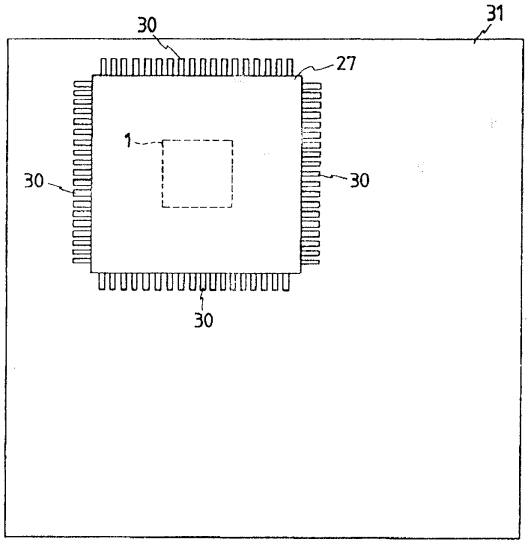
도면 11


1
8a
8a
25a
8b
25a
25a
9a
7
26
23c
23b
23a
21
22
24
24
19d
24
13c
24
24
10a(10)
22

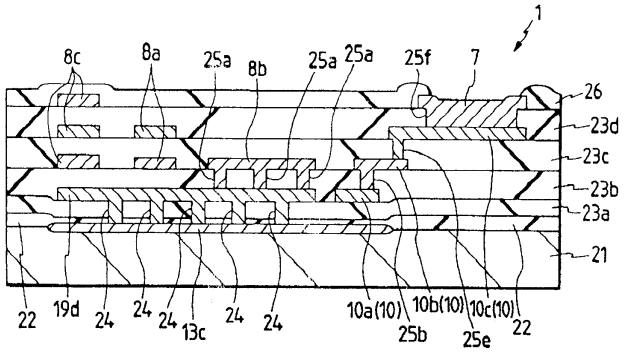
도면 12


27a
29
28
7
8b
8a
1
SIG
VSS
SIG
VDD
SIG
VSS
SIG
VDD
SIG
VSS
SIG
VDD
SIG
VSS
SIG
VDD
4
6
6
6
6
6
6
6
4

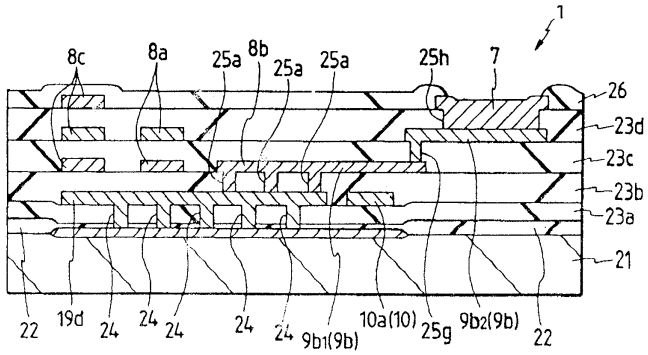
도면 13


30
31
27
1
30
30
30

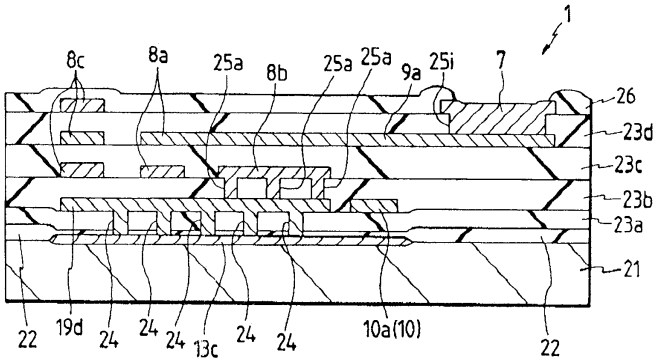
도면 14



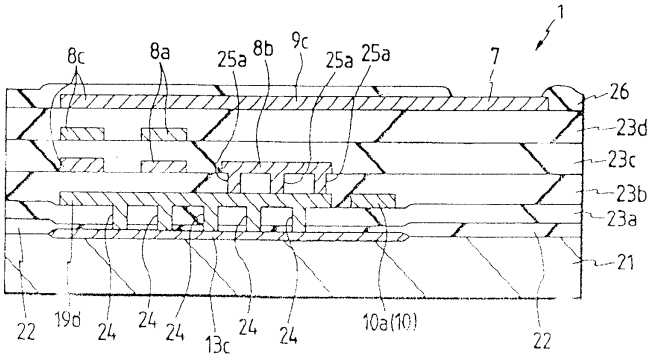
도면 15



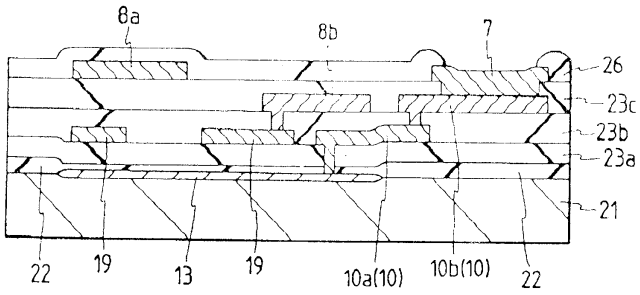
도면 16



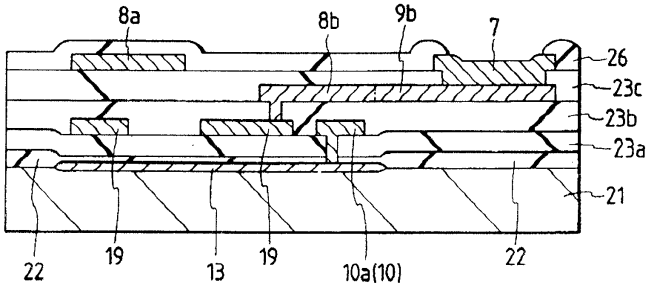
도면 17



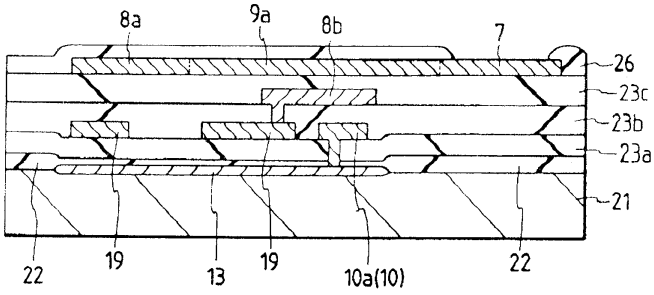
도면 18



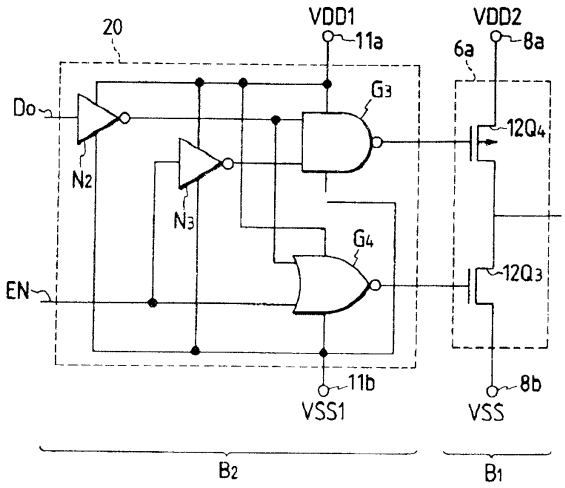
도면 19



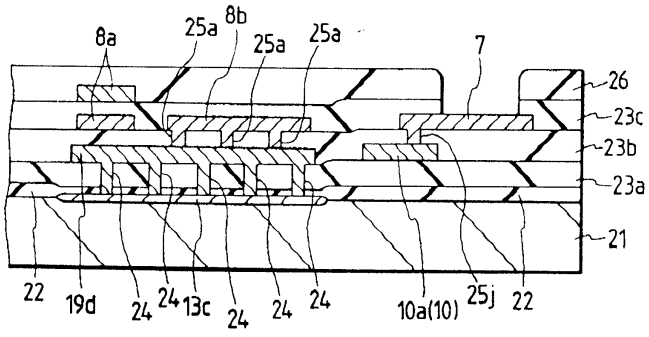
도면 20



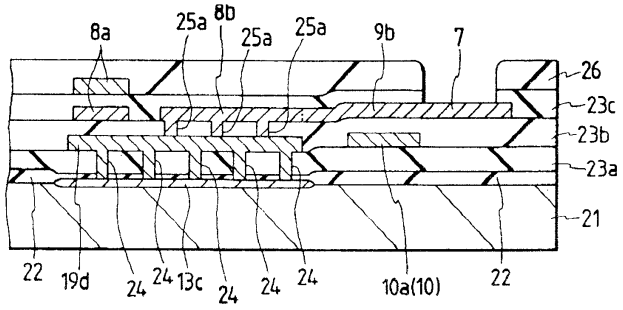
도면 21



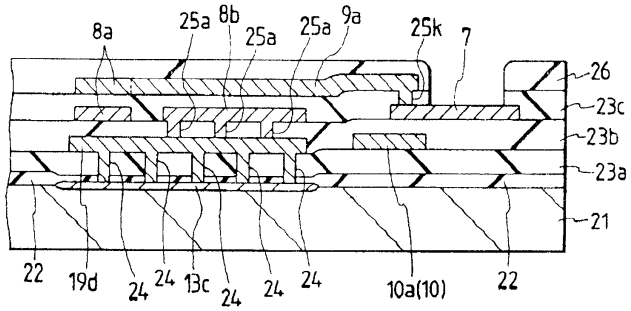
도면 22



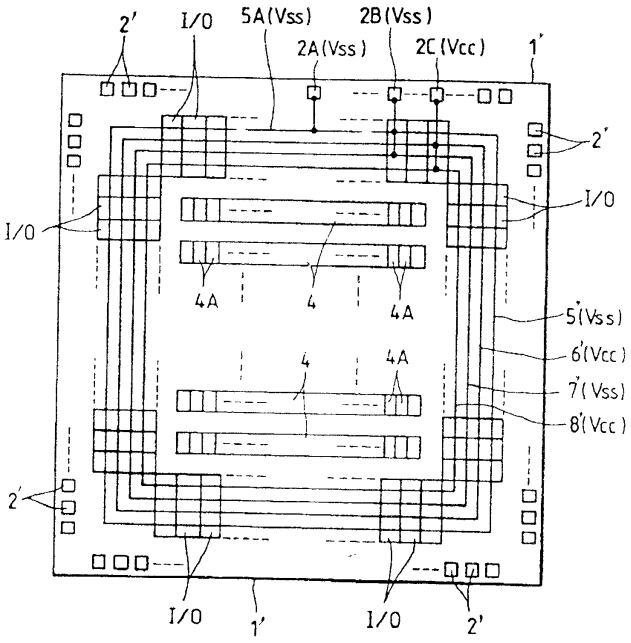
도면 23


8a
25a
8b
25a
25a
9b
7
26
23c
23b
23a
21
22
19d
24
24
13c
24
24
24
10a(10)
22

도면 24


8a
25a
8b
25a
25a
9a
25k
7
26
23c
23b
23a
21
22
19d
24
24
13c
24
24
24
10a(10)
22

도면 25


2'
I/O
5A(Vss)
2B(Vss)
2A(Vss)
2C(Vcc)
1'
2'
I/O
I/O
4A
4
4A
5'(Vss)
6'(Vcc)
4
4A
7'(Vss)
8'(Vcc)
2'
I/O
1'
I/O
2'