

[19]中华人民共和国国家知识产权局

[51] Int. Cl⁶

G06F 17/20

[12] 发明专利申请公开说明书

[21] 申请号 98124167.0

[43]公开日 1999 年 10 月 27 日

[11]公开号 CN 1233025A

[22]申请日 98.10.24 [21]申请号 98124167.0

[30] 优先权

[32]97.10.24 [33]GB [31]9722533.8

[71] 申请人 索尼英国有限公司

地址 英国瑟里郡

[72]发明人 P·C·伊斯蒂 P·D·索普
C·斯莱特

[74] 专利代理机构 中国专利代理(香港)有限公司

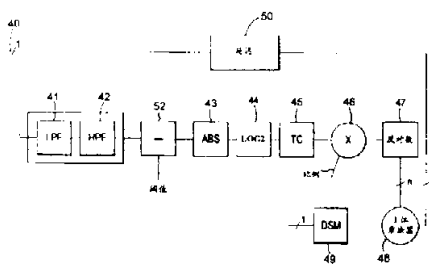
代理人 张志醒 王忠忠

权利要求书 2 页 说明书 7 页 附图页数 12 页

[54]发明名称 音频信号处理器

[57]摘要

一种用于处理 1 位信号的音频信号处理器,包括一个用于接收 1 位信号的输入端 40,用于对 1 位信号施加预定滤波特性,借此把该信号转换成 n 位信号的装置 41、42,其中 n 大于 1,用于确定 n 位信号绝对值的装置 43,用于依据所述绝对值产生动态控制信号的装置 46、51,用于把动态控制信号施加到 1 位输入信号的装置 48,和用于把动态控制的信号重新量化为 1 位信号并对重新量化的 1 位信号中的噪声整形的装置 49。还公开了用于产生取 2 为底的对数和对应的反对数的电路。



ISSN 1008-4274

权 利 要 求 书

- 1.一种用于处理1位信号的音频信号处理器,包括:
一个用于接收1位信号的输入端,
- 5 用于对1位信号施加预定滤波特性,借此把该信号转换成 n 位信号的装置,其中 n 大于1,
用于确定 n 位信号绝对值的装置,
用于依据所述绝对值产生动态控制信号的装置,
用于把动态控制信号施加到1位输入信号的装置,和
- 10 用于把动态控制的信号重新量化为1位信号并对重新量化的1位信号中的噪声整形的装置。
2.根据权利要求1所述的处理器,其中滤波器特性包括一个用于产生表示音频信号的模拟包络线的 n 位信号的低通滤波器。
- 3.根据权利要求2所述的处理器,其中滤波器特性还包括一个用于去除低频
- 15 噪声的高通滤波器。
- 4.根据权利要求1所述的处理器,进一步包括用于从 n 位信号减去一个可选择的阈值的装置。
- 5.根据权利要求1所述的处理器,其中用于产生动态控制信号的装置包括一个用于把 n 位信号与取决于所希望的压缩或扩展的比例信号相乘的乘法器。
- 20 6.根据权利要求1所述的处理器,其中 n 位信号的取样速率等于在所述接收端接收的1位信号的取样速率。
- 7.根据权利要求1所述的处理器,进一步包括一个用于把 n 位信号值转换成取2为底的对数的对数电路,和一个把取2为底的对数值转换成非对数值的反对数电路,其中至少用于产生动态控制信号的装置对取2为底的对数值进行运算。
- 25 8.根据权利要求7所述的处理器,其中施加装置对非对数值进行运算。
- 9.根据权利要求1所述的处理器,其中重新量化和噪声整形装置包括一个Delta Sigma调制器。
- 10.一种用于把 n 位数字信号值转换成取2为底的对数值的电路,包括:
用于接收 n 位信号相应位的 n 个输入端,
- 30 用于向最高有效位(MSB)的位置有选择地移动 n 位信号的位的移位装置,和

用于把 n 位信号的位向MSB移动许多移位直到最高有效逻辑1位到达MSB位置和用于产生表示所述移位数量数值的移位控制装置，

其中所述以取2为底的对数值是由表示所述移位数量的所述数值和由移位装置输出移动的位表示的。

5 11.一种用于把权利要求10的电路产生的 n 位取2为底的对数值转换成非对数值的电路，包括：

用于接收取2为底的对数值的相应位的 n 个输入端，

用于向最低有效位位置有选择地移动这些位的移位装置，和

装配用来接收表示由权利要求10产生的移位数量的所述数值，并可

10 操作地控制移位装置以便把 n 位向LSB移动所述移位数量的移位控制装置。

说明书

音频信号处理器

5 本发明涉及音频信号处理器。本发明的实施例涉及1位音频信号的动态控制。

已知通过以至少奈奎斯特速率对模拟信号取样并由一个 m 位数对样值幅度编码来把模拟信号转换成数字形式。因此，如果 $m=8$ ，则认为该样值被量化成8位精度。通常 m 可以是等于或大于1的任何位数。

10 为了只量化1位，已知的方式是提供一种被称为Sigma-Delta ADC"或称为"Delta-Sigma ADC"的模拟数字转换器(ADC)。在此采用术语"Delta-Sigma"。例如，在德州仪器公司1993年出版的ISBN0-904.047-00-8由Craig Marven和Gillian Ewers发表的"数字信号处理的简单方法"一文中描述过这种ADC。

参考图1，在这种ADC的一个实例中，把模拟输入信号和1位输出信号的积分2(Sigma)之差1(Delta)提供给1位量化器3。输出信号包括逻辑值0和1位，但分别表示实际值-1和+1。积分器3累积1位输出，以使其中存储的值趋于遵循模拟信号的值。量化器3随着每一位的产生而把累积值加(+1)或减(-1)。ADC要求非常高的取样速率，以允许输出位的产生流动遵循该模拟信号的累积值。

在下面的说明书和权利要求书中使用的术语"1位"是指被量化成例如由Delta-Sigma ADC产生的1个数字位精度的信号。

20 同样是众所周知的，当音频信号量化成1位时，音频信息被量化噪声模糊到不能接受的程度，必须对量化噪声进行适当的整形。图2中示意性地图示出噪声整形，其中21表示噪声整形，22表示音频信号。

控制音频信号的动态也是已知的。动态控制包括信号动态范围的控制：

- 25 a)动态范围的限度
b)动态信号压缩，和
c)动态信号扩展。

压缩和扩展涉及把该信号与一个取决于信号幅度的增益系数相乘。

本发明寻求对1位音频信号施加动态控制。

30 根据本发明的一个方面，提供一种用于处理1位信号的音频信号处理器，包

括:

一个用于接收1位信号的输入端,

用于对1位信号施加预定滤波特性, 借此把该信号转换成 p 位信号的装置, 其中 p 大于1,

5 用于确定 p 位信号绝对值的装置,

用于依据所述绝对值产生动态控制信号的装置,

用于把动态控制信号施加到1位输入信号的装置, 和

用于把动态控制的信号重新量化为1位信号并对重新量化的1位信号中的噪声整形的Delta Sigma调制器装置。

10 因此, 本发明提供1位信号的动态控制。

在本发明的一个实施例中, 产生装置包括:

用于形成对 p 位信号取2为底的对数的装置, 用于把 p 位信号的对数与压缩或扩展比相乘的装置, 和用于形成其反对数以产生动态控制信号的装置。

根据本发明的另一个方面, 提供一种用于把 n 位数字信号值转换成

15 取2为底的对数值的电路, 包括:

用于接收 n 位信号相应位的 n 个输入端,

用于向最高有效位(MSB)的位置有选择地移动 n 位信号的位的移位装置, 和

用于把 n 位信号的位向MSB移动许多移位直到最高有效逻辑1位到达MSB位置和用于产生表示所述移位数量数值的移位控制装置,

20 由表示所述移位数量的所述数值表示取2为底的对数值并由移位装置输出移动的位。

根据本发明的再一个方面, 提供一种反对数电路, 包括:

用于接收取2为底的对数值的相应位的 n 个输入端,

用于向最低有效位位置有选择地移动这些位的移位装置, 和

25 装配用来接收表示移位数量的所述数值, 并可操作地控制移位装置以便把 n 位向LSB移动所述移位数量的移位控制装置。

从下面结合附图阅读说明实施例的详细描述中将使本发明的上述和其它目的、特性和优点显而易见, 其中:

图1是1位模拟数字转换器的简化方框图;

30 图2说明1位信号的噪声整形;

图3说明施加到音频信号的各种动态控制的传递函数;

图4是根据本发明一个实施例的1位信号动态控制电路的方框图;

图5A是根据本发明一个方面用于形成 p 位信号取2为底的对数的电路的方框图, 图5B说明图5A电路的传递函数;

5 图6是与图5的对数电路对应的反对数电路的方框图;

图7是图4中用于把 p 位信号重新量化为1位信号的Delta Sigma调制器的方框图;

图8是图4的电路中使用的低通滤波器、绝对值电路和高通滤波器的示意图。

在此描述的电路是数字时钟电路。计时装置在本领域中是熟知的, 并且为方便起见不再描述。

10 参考图3, 在对数域中图解地示出音频信号的动态控制。直线33表示输入值 x 等于输出值 y 的信号传递函数: 即未受到动态控制。在输入信号的压缩和扩展中, 改变传递函数的斜率。在压缩中, 斜率 dy/dx 降低, 如在30所示。在扩展中, 斜率增加, 如在32所示。在界限31, 不允许输出信号的值增加超出设定值。另外, 已知抑制输入信号值小于如在34所示的设定阈值: 一种被称为"核化"的处理。

15 正如熟知的, 依据输入信号的绝对幅度进行压缩和扩展: 即斜率的改变取决于输入信号幅度或信号包络。传递函数斜率的改变对应于例如放大输入信号的放大器的增益中的变化。在数字域中对应于数字信号的值乘以表示所希望的增益变化的系数。

20 参考图4, 示出本发明的说明实施例。图4仅说明一个压缩器作为实例。本发明的优选实施例还可包括一个扩展器, 和/或一个限幅器和/或一个核化器。

25 压缩器包括一个接收1位音频信号的输入端40。该1位信号施加到检测1位信号包络线的包络检测器41、42、43。在图4中, 检测器包括: 一个由低通滤波器41和高通滤波器42组成的带通滤波器; 和一个绝对值电路43。低和高通滤波器可以按所示的顺序或相反顺序排列。低通滤波器主要检测由1位信号表示的模拟音频的包络线。低通滤波器还把1位信号转换成 n 位形式, 该 n 位信号由带符号的取样值表示。高通滤波器去除低频噪声。绝对值电路把带符号的值转换成绝对值。(对应于在模拟域中对音频信号整流)。因此, 包络检测器的输出是 n 位绝对值信号, 其中 n 大于1, 例如13位。 n 位信号取样速率等于1位信号的取样速率(例如2.8224MHz), 以确保准确估算音频信号的峰值。

30 电路44把 n 位信号转换为取2为底的对数。设置时间常数电路45以响应音频信

号绝对幅度中的变化提供快增高和慢衰减。 n 位乘法器46把音频信号的包络值与取决于所希望的音频信号压缩的比值相乘。然后在反对数电路47中对乘积进行反对数运算,以产生施加到1位乘法器48中原始1位信号的压缩控制信号。1位信号经延迟器50提供给乘法器。该延迟电路具有是与通过电路41至47的处理延迟对应的延迟值。1位信号的位表示+1和-1。因此,1位乘法器对 n 位信号或是求反(1位信号=-1)或是求正(1位信号=+1)。在Delta Sigma调制器49中把所得到的 n 位乘积转换成1位形式,Delta Sigma调制器49还对如图2所示的量化噪声整形。

如图3所示,最好是仅对阈值之上的输入信号幅度的预定范围进行压缩。为定义该范围,在滤波器41,42和绝对值电路43之间设置减法器52。从 n 位信号减去一个可调节的阈值 T_h 。由绝对值电路43消除任何得到的负信号值。由于延迟器50在1位乘法器48使1位信号与压缩控制信号同步,仅对1位信号绝对幅度大于该阈值的部分进行压缩。

信号扩展器与图4的压缩器相似,区别仅在于施加到乘法器46的比例信号。

通过简单和适当地使最高有效位为零(限幅器)或通过使最低有效位为零(核化器)很容易在数字系统中设置限幅器或核化器。

参考图5A,示出对数电路44的一个实例。该电路不对输入信号产生准确的取2为底的对数,而是代之以产生取2为底的对数的分段线性近似,如图5B的曲线所示。

对数电路从绝对值电路43接收 n 位音频信号的 $n=13$ 位A至M,绝对值电路包括例如13个"异"门43',用符号位S对 n 位进行"异"运算。 n 位A至M并行提供给一系列移位电路56至61的相应输入端,移位电路在移位控制电路55的控制下有选择地移动这些位。移位控制电路55还产生取2为底的对数的MSB。在所示的实例中,移位器包括多路复用器,但它们可以是移位寄存器。

在图5A中,移位控制电路55的输入端标为P、Q、R、S、T和U。如果一个输入端上的移位控制信号是逻辑1,移位器向最高有效位(MSB)(即移位器的顶部)移动一位。如果移位控制信号是逻辑0,则不移位。移位控制使连续移位器中的位在每个移位器中向MSB移动一位,直到一个逻辑1位出现在移位器MSB级(即最顶部级)之一的输出端。该移位器下游的任何移位器中不能移位。移位控制电路对其系列移位器之一的位置解码以产生对数近似的三个MSB(u 、 v 、 w)。

更详细地参考图5A,移位器的每一级包括一个多路复用器,多路复用器具

有连接用来接收一位的输入端(表示为0)和连接到次最低有效位的另一个输入端(表示为1)和一个移位控制输入端。如果移位控制是逻辑0, 0输入端上的位引导到输出端M。如果控制输入是1, 次最低有效位引导到输出端M, 从而使其向MSB移动一位。最低有效位M提供给移位器56的最低多路复用器的0输入端。每个最低多路复用器的1输入端从表示为零的输入端接收零。

移位控制电路实施所附的表1中列出的真值表。这些表假设符号位是零。表1的"移位控制"列出了表1"TN"中给出的输入位A至M的每个值的移位控制信号P至U的值。可以看出P至U的值与值为1的MSB的输入位A至M中的位置有关。如果P至U全部为0, 移位器中则不出现移位。如果P=1并且Q至U全部为0, 移位器56中则出现一个移位。如果P=1和Q=1, 则在移位器56和57等等的每一个中出现一位移动。

在表1的"LOG OUT"中示出输出端的结果, 其中列被标为移位控制的输出u, v, w, 和最终移位器61的输出x, y, z以及z1至z9。

图6的反对数电路以与图5的对数电路相反的方式工作, 如表2所示。反对数电路包括由与移位器56至61中相同的多路复用器组成的移位器66至71。多路复用器响应逻辑1的移位控制信号向最低有效位(LSB)移位。MSB多路复用器在其1输入端上接收逻辑0。反对数器的移位控制电路72被简化并具有被标为P至U的移位控制输出端和与对数电路的输出端u, v, w对应的输入端u', v', w'。控制电路72实施表3的真值表, 表3与表1中对数电路的移位控制表相同。

参考图7, 示出Delta Sigma调制器(DSM)49和1位乘法器48的实例。1位乘法器可以是一组n个"异"门, n位信号的每一位为1, 每个门电路具有一个经倒相器482耦合到1位信号的输入端。图7仅示出一个这种门电路481。

DSM通常以与图1所示的ADC相同的方式在数字域中工作。DSM包括一个把n位信号转换成1位形式的量化器Q。量化器可以是具有零阈值的比较器。来自量化器Q的1位输出信号经1位向n位转换器96反馈到减法器70, 以形成1位输出信的n位型式号和n位输入信号之间的差。由本领域已知的未示出的计时装置以2.8224MHz对DSM计时, 即与原始输入1位信号和n位信号相同的取样速率计时。

DSM的其它元件构成噪声整形滤波器。这些元件包括一系列积分器和系数乘法器71至76以及一个积分器77。积分器和乘法器71至76和77的输出在加法器90至95中相加, 以施加到量化器Q产生1位输出信号。仅详细示出积分器/乘法器的

一个71。它包括一个由1取样周期延迟器71'和一个后面跟有系数乘法器79的加法器构成的积分器71'。乘法器的输入端分接到加法器90。除了由元件71至76的乘法器施加的系数分别是1/2、1/4、1/8、1/16、1/32、1/64之外，元件72至76与元件71相同。元件77是一个没有乘法器的积分器。

5 图8完整示出了图4的低通滤波器41，高通滤波器42和绝对值电路43。如果使用图8的绝对值电路，则不需要图5A的绝对值电路。图8中未示出计时装置。1位输入信号具有 $64 \times 44.1\text{MHz}$ 的取样速率n位输出信号具有相同的取样速率。

虽然在此已参考附图详细说明了本发明的实施例，应该理解，本发明不限于那些明确的实施例，本领域技术人员在不脱离所附权利要求定义的本发明范围和

10 精神的情况下可进行各种改进和修改。

表 1

移位控制

输入

对数输出(LOG OUT)

P	Q	R	S	T	U	A	B	C	D	E	F	G	H	I	J	K	L	M	u	v	w	x	y	z	z1	z2	z3	z4	z5	z6	z7	z8	z9
0	0	0	0	0	0	1	B	C	D	E	F	G	H	I	J	K	L	M	0	0	0	b	c	d	e	f	g	h	i	j	k	l	m
1	0	0	0	0	0	0	1	C	D	E	F	G	H	I	J	K	L	M	0	0	1	c	d	e	f	g	h	i	j	k	l	m	0
1	1	0	0	0	0	0	0	1	D	E	F	G	H	I	J	K	L	M	0	1	0	d	e	f	g	h	i	j	k	l	m	0	0
1	1	1	0	0	0	0	0	0	1	E	F	G	H	I	J	K	L	M	0	1	1	e	f	g	h	i	j	k	l	m	0	0	0
1	1	1	1	0	0	0	0	0	0	1	F	G	H	I	J	K	L	M	1	0	0	f	g	h	i	j	k	l	m	0	0	0	0
1	1	1	1	1	0	0	0	0	0	0	1	G	H	I	J	K	L	M	1	0	1	g	h	i	j	k	l	m	0	0	0	0	0
1	1	1	1	1	1	0	0	0	0	0	0	1	H	I	J	K	L	M	1	1	0	h	i	j	k	l	m	0	0	0	0	0	0
1	1	1	1	1	1	1	0	0	0	0	0	0	H	I	J	K	L	M	1	1	1	h	i	j	k	l	m	0	0	0	0	0	0

对数输入

表 2

反对数输出

u'	v'	w'	x'	y'	z'	z1'	z2'	z3'	z4'	z5'	z6'	z7'	z8'	z9'
0	0	0	b	c	d	e	f	g	h	i	j	k	l	m
0	0	1	c	d	e	f	g	h	i	j	k	l	m	0
0	1	0	d	e	f	g	h	i	j	k	l	m	0	0
0	1	1	e	f	g	h	i	j	k	l	m	0	0	0
1	0	0	f	g	h	i	j	k	l	m	0	0	0	0
1	0	1	g	h	i	j	k	l	m	0	0	0	0	0
1	1	0	h	i	j	k	l	m	0	0	0	0	0	0
1	1	1	h	i	j	k	l	m	0	0	0	0	0	0
A	B	C	D	E	F	G	H	I	J	K	L	M		
1	B	C	D	E	F	G	H	I	J	K	L	M		
0	1	C	D	E	F	G	H	I	J	K	L	M		
0	0	1	D	E	F	G	H	I	J	K	L	M		
0	0	0	1	E	F	G	H	I	J	K	L	M		
0	0	0	0	1	F	G	H	I	J	K	L	M		
0	0	0	0	0	1	G	H	I	J	K	L	M		
0	0	0	0	0	0	1	H	I	J	K	L	M		
0	0	0	0	0	0	0	1	H	I	J	K	L	M	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 3

u'	v'	w'	P'	Q'	R'	S'	T'	U'
0	0	0	0	0	0	0	0	0
0	0	1	1	0	0	0	0	0
0	1	0	1	1	0	0	0	0
0	1	1	1	1	1	0	0	0
1	0	0	1	1	1	1	0	0
1	0	1	1	1	1	1	1	0
1	1	0	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1

说明书附图

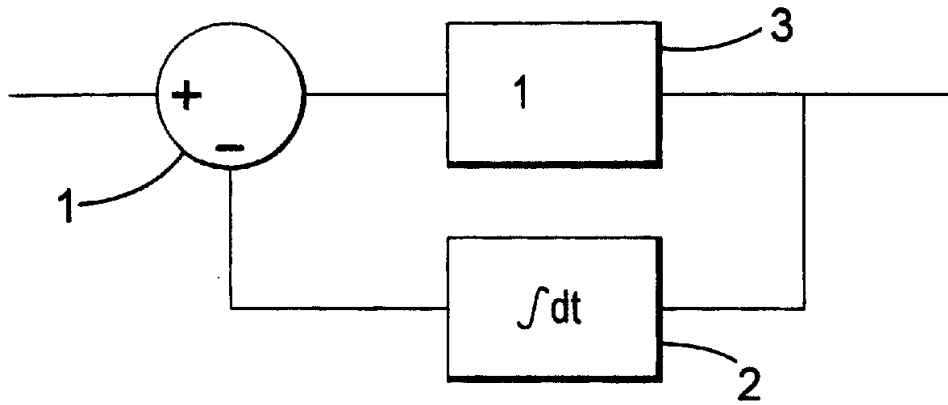


图 1

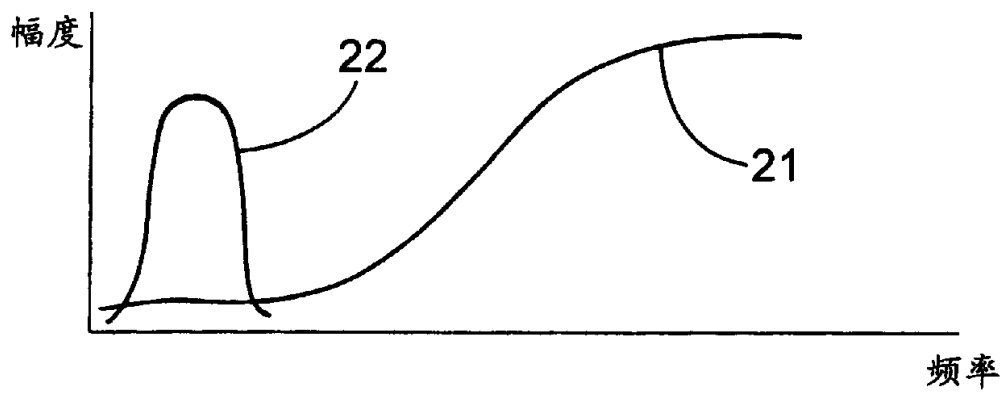


图 2

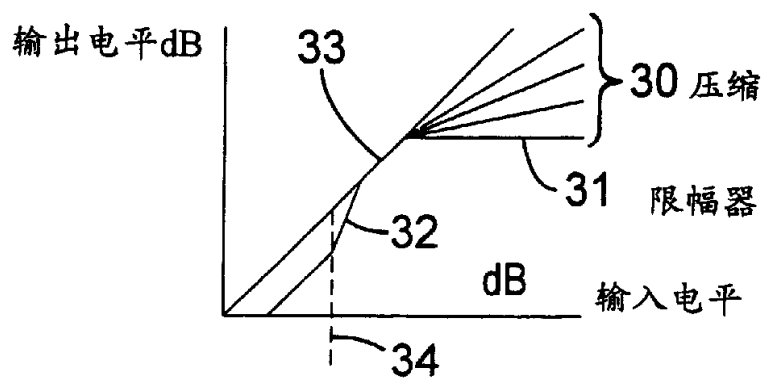


图 3

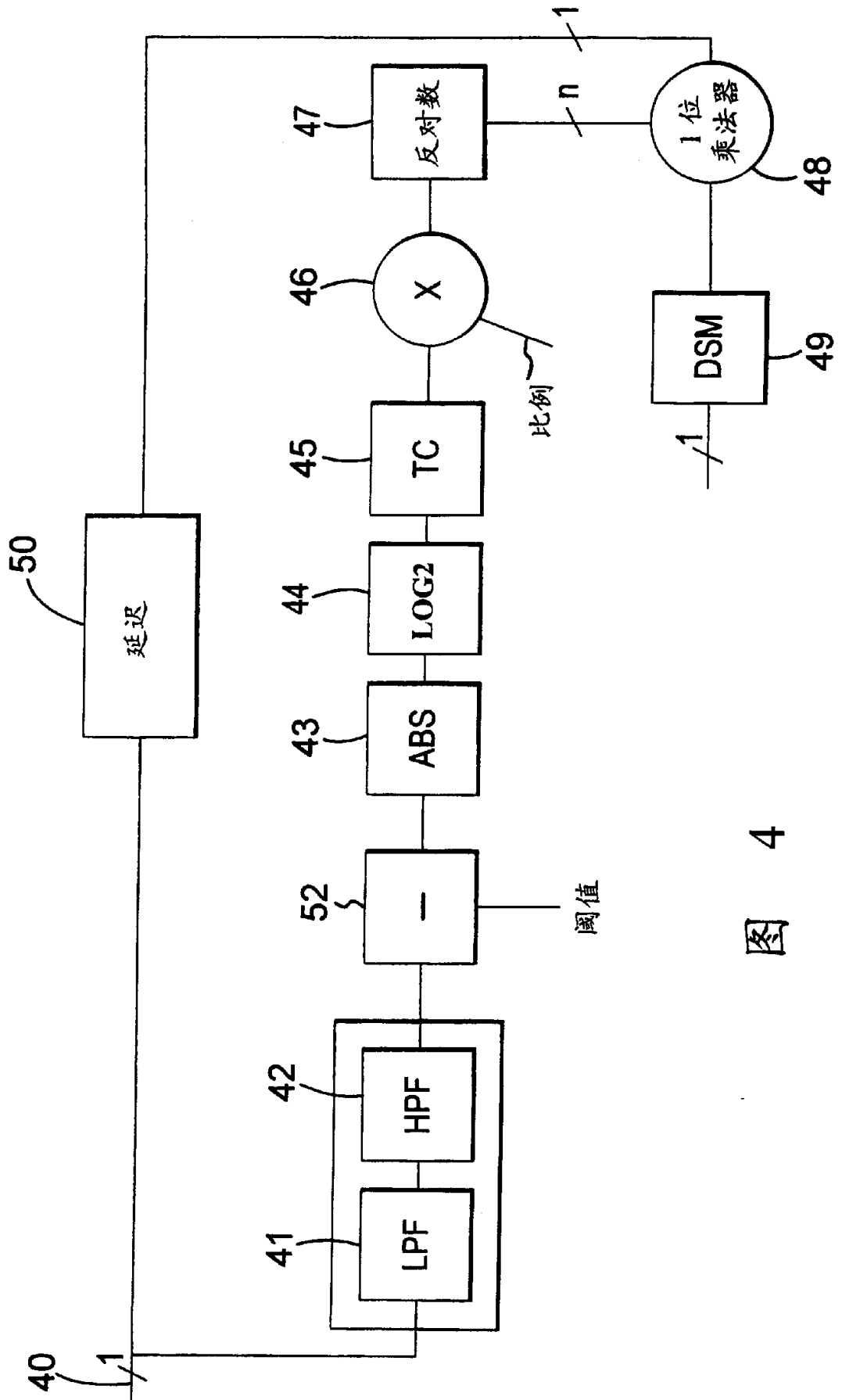


图 4

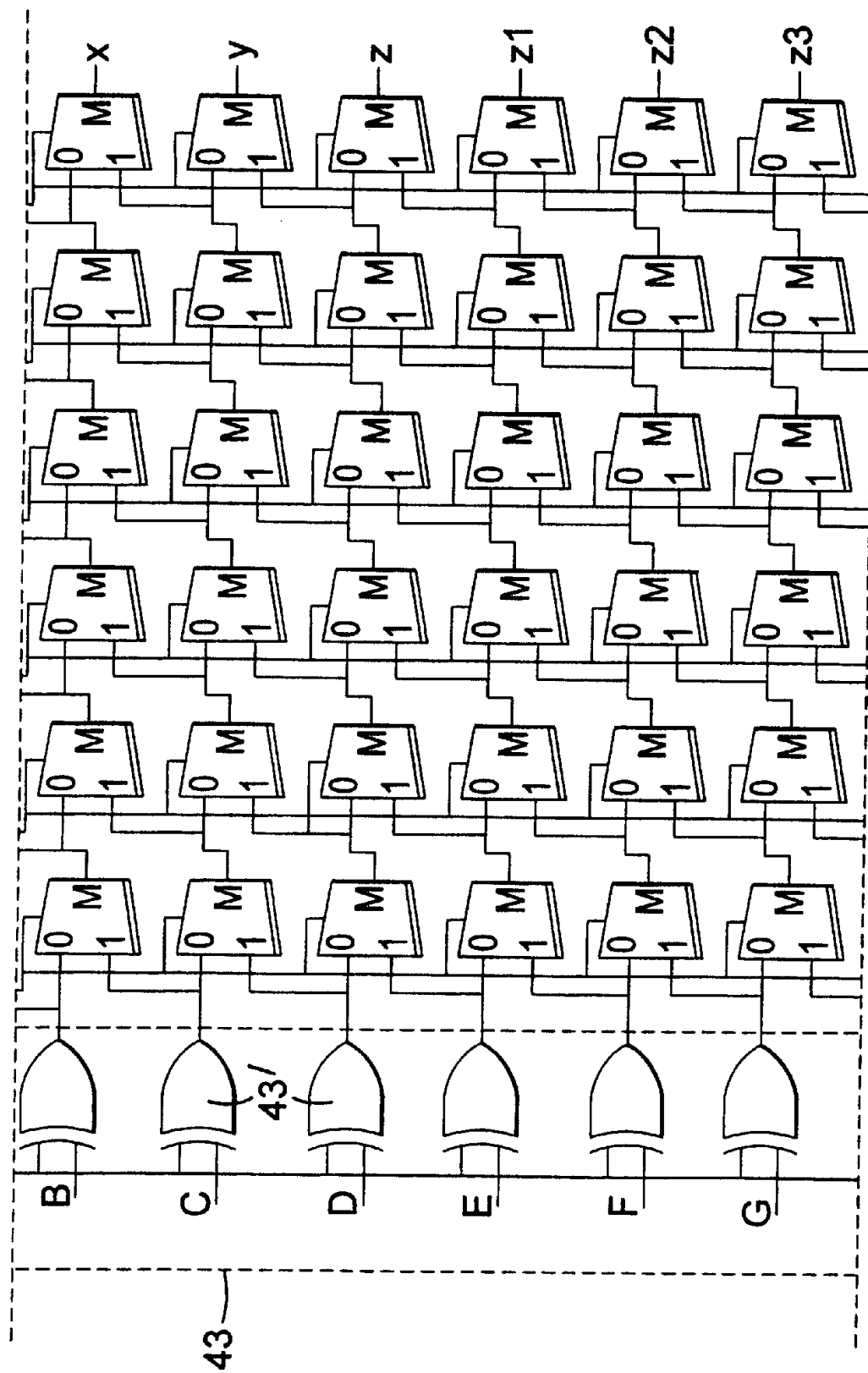


图 5A2

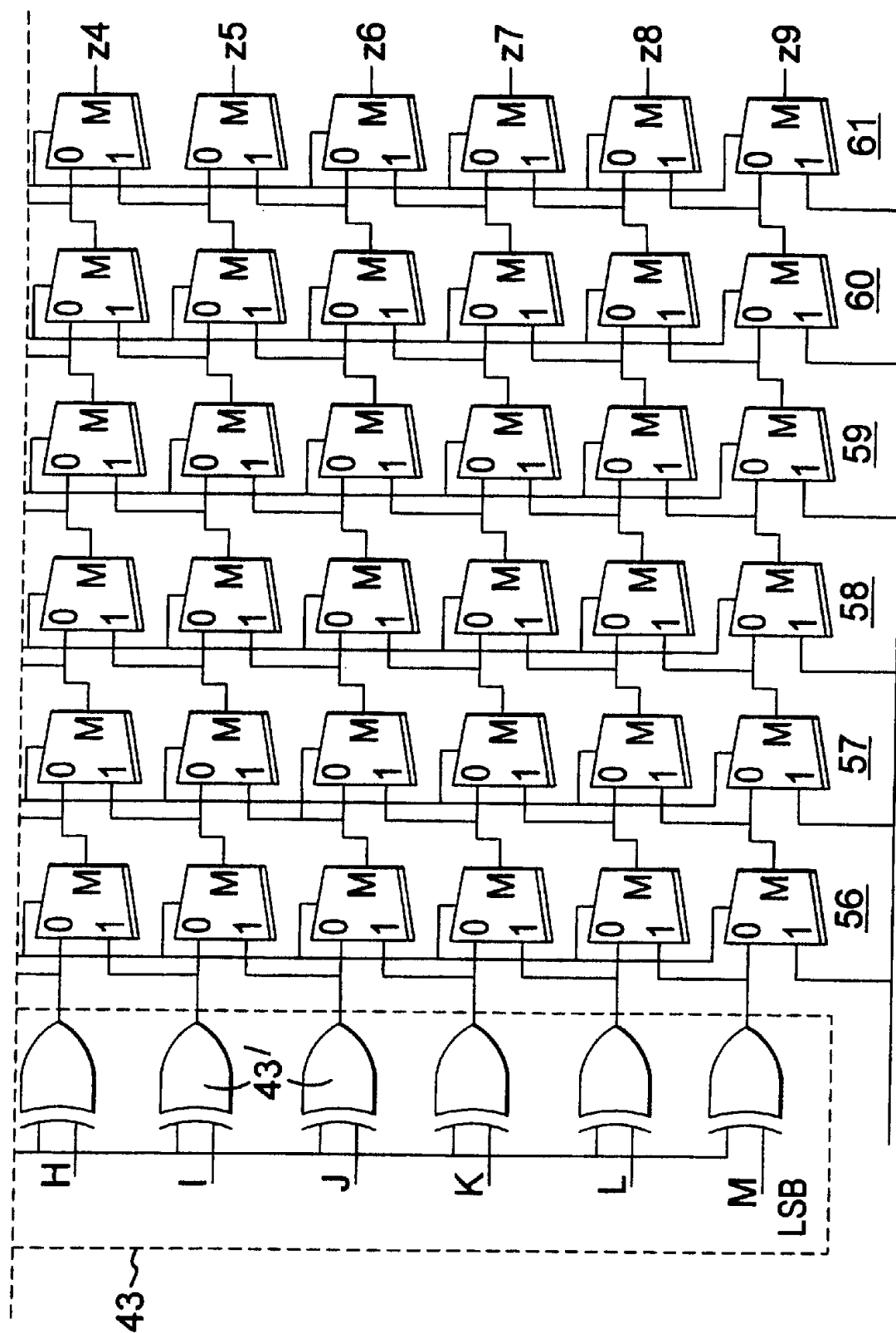


图 5A3

99 03.11

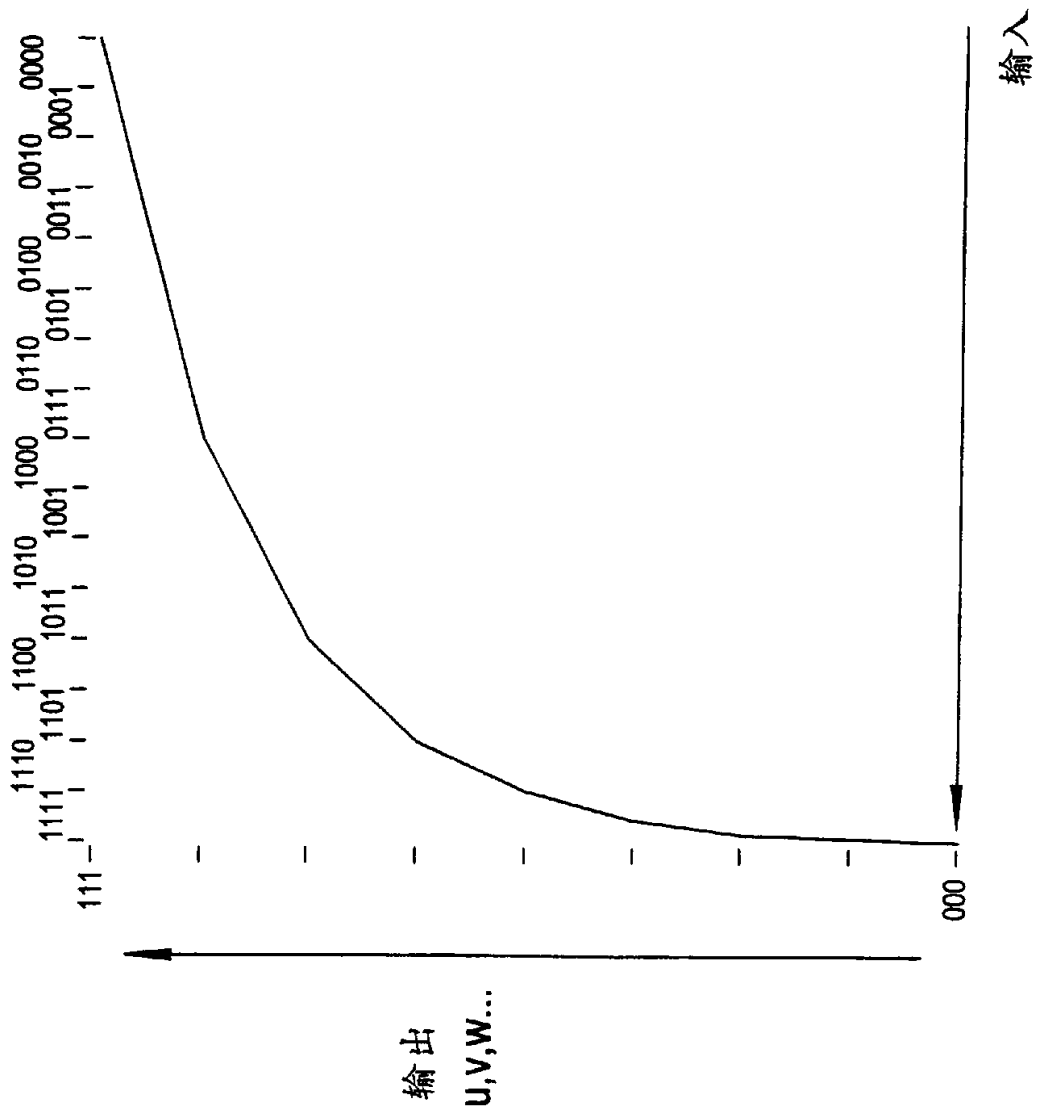


图 5B

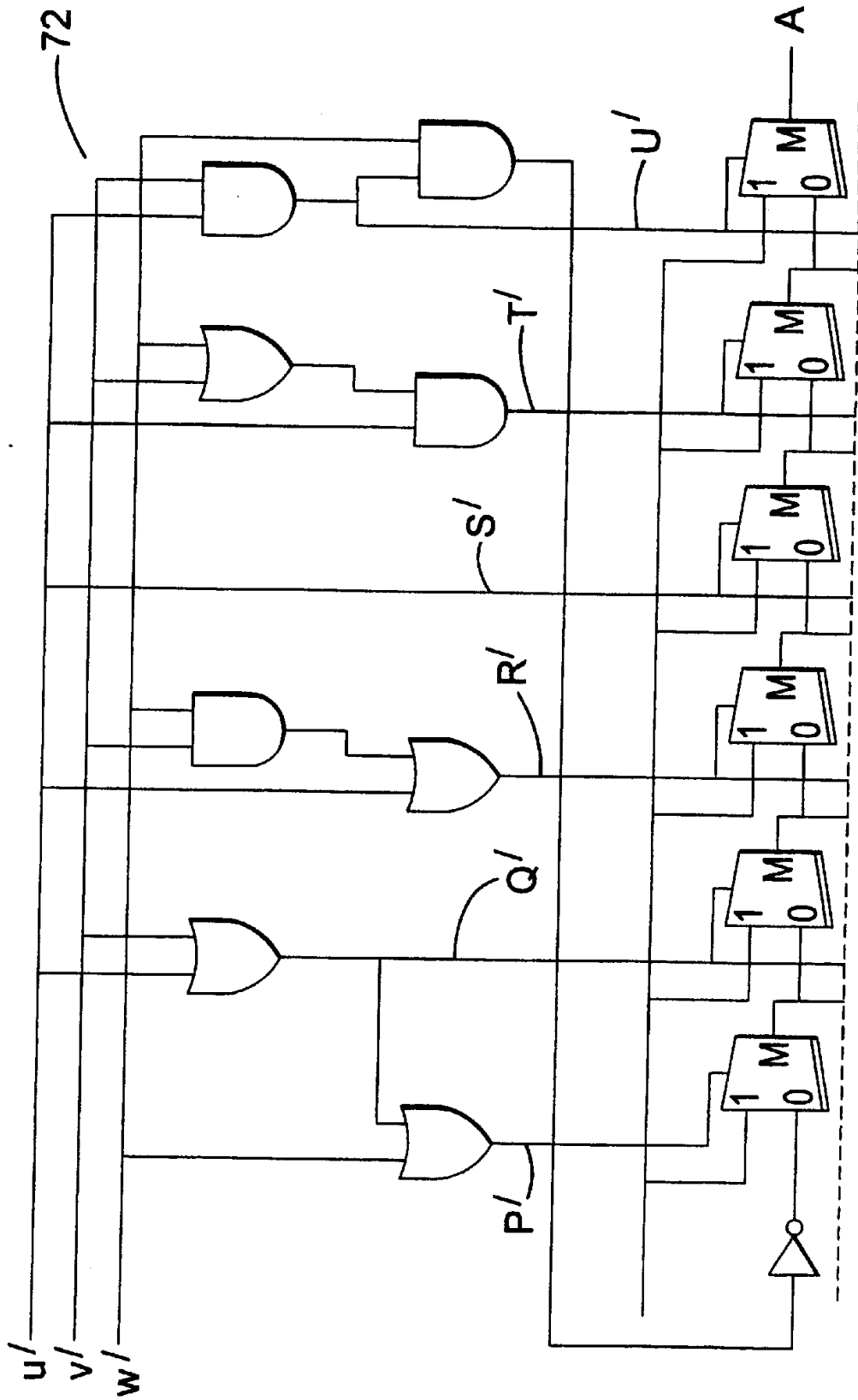


图 6A

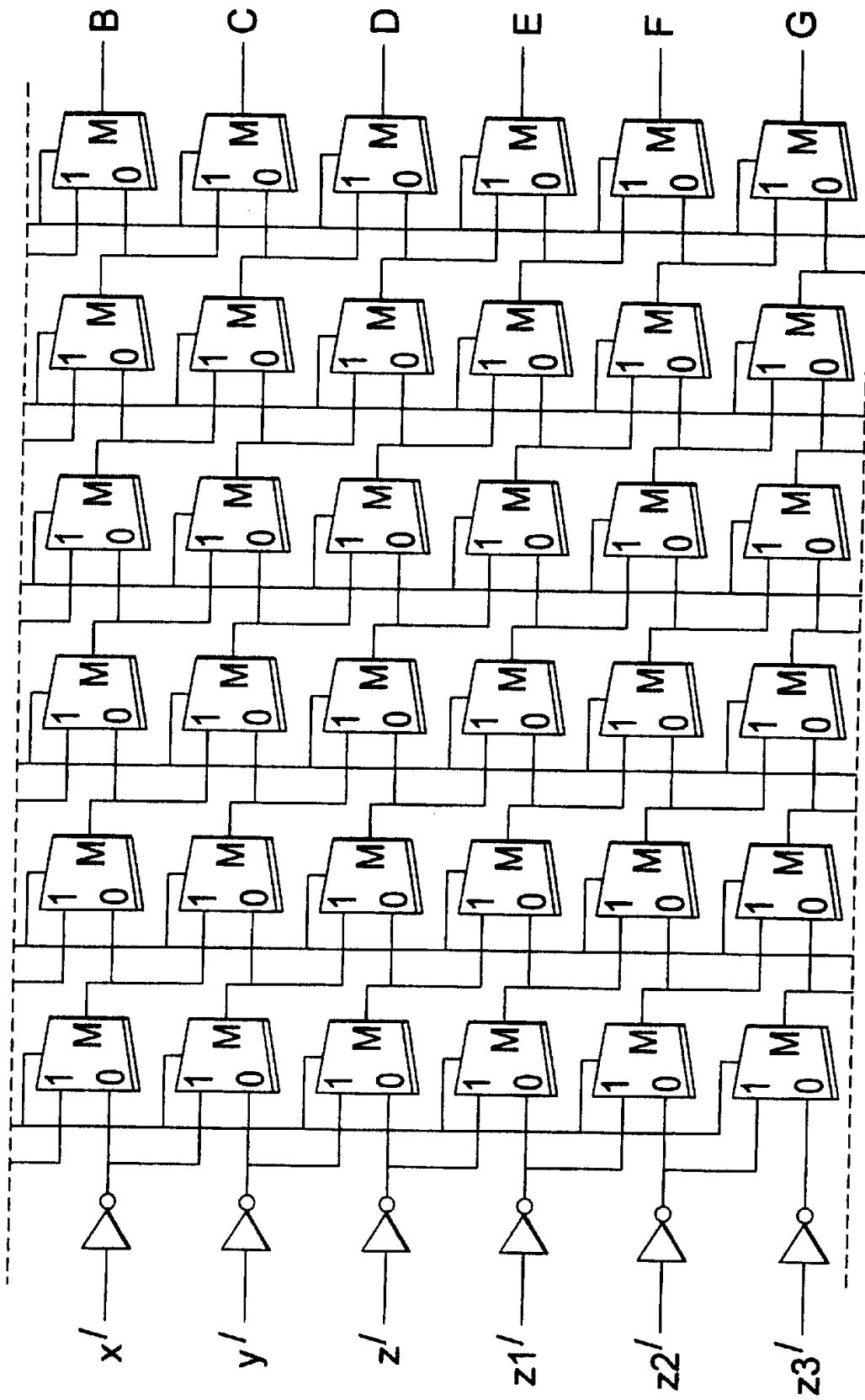


图 6B

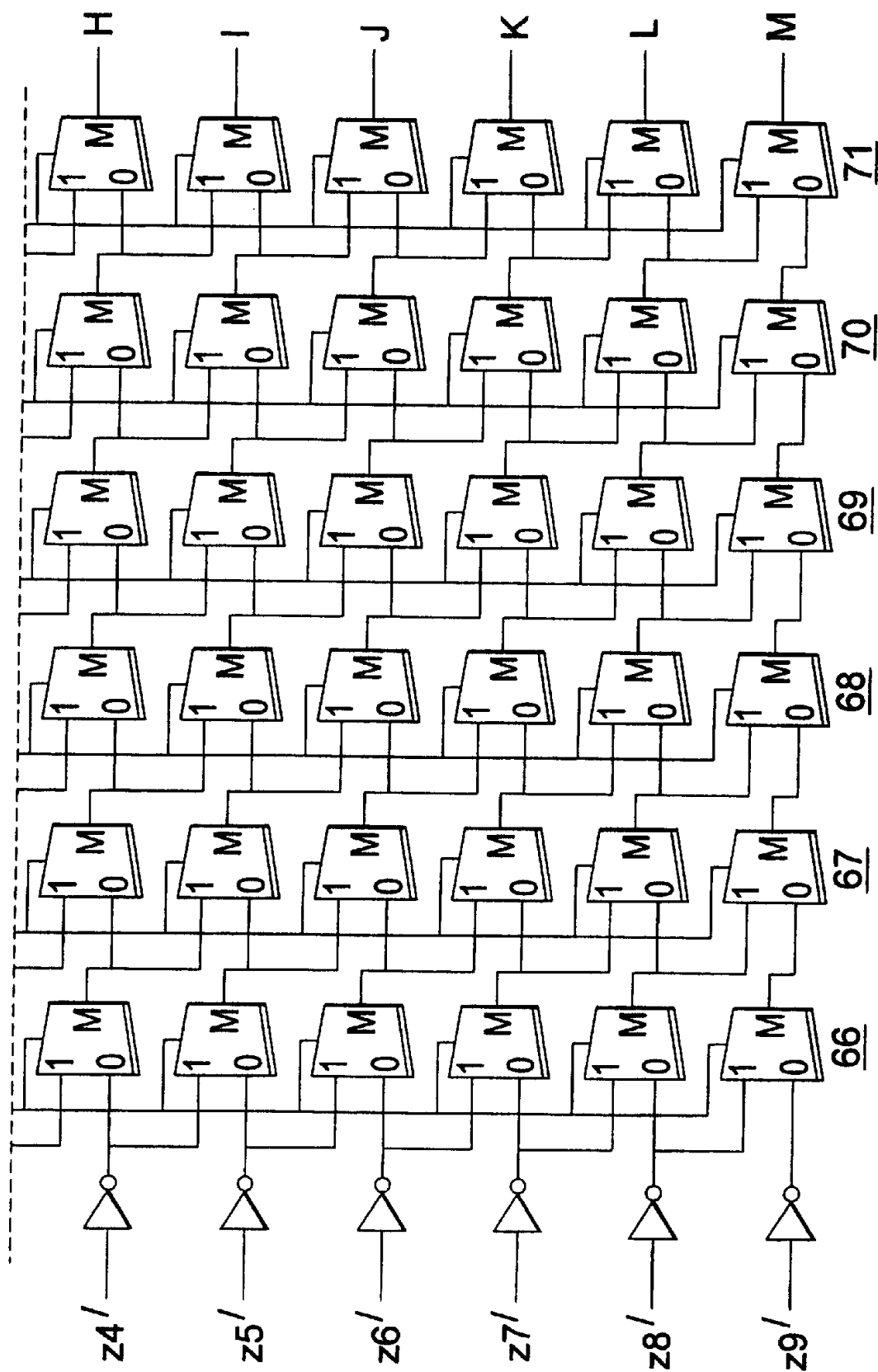


图 6C

