

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 1 月 2 日 (02.01.2020)



(10) 国际公布号
WO 2020/000380 A1

- (51) 国际专利分类号:
H01L 21/768 (2006.01)
- (21) 国际申请号: PCT/CN2018/093694
- (22) 国际申请日: 2018 年 6 月 29 日 (29.06.2018)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 长江存储科技有限责任公司
(**YANGTZE MEMORY TECHNOLOGIES CO., LTD.**)
[CN/CN]; 中国湖北省武汉市东湖开发区关东科技工业园华光大道 18 号 7018 室, Hubei 430074 (CN)。
- (72) 发明人: 王新胜(**WANG, Xinsheng**); 中国湖北省武汉市东湖开发区关东科技工业园华光大道 18 号 7018 室, Hubei 430074 (CN)。张莉(**ZHANG, Li**); 中国湖北省武汉市东湖开发区关东科技工业园华光大道 18 号 7018 室, Hubei 430074 (CN)。张高升(**ZHANG, Gaosheng**); 中国湖北省武汉市东湖开发区关东科技工业园华光大道 18 号 7018 室, Hubei 430074 (CN)。万先进(**WAN, Xianjin**); 中国湖北省武汉市东湖开发区关东科技工业园

华光大道 18 号 7018 室, Hubei 430074 (CN)。华子群(**HUA, Ziqun**); 中国湖北省武汉市东湖开发区关东科技工业园华光大道 18 号 7018 室, Hubei 430074 (CN)。王家文(**WANG, Jiawen**); 中国湖北省武汉市东湖开发区关东科技工业园华光大道 18 号 7018 室, Hubei 430074 (CN)。丁滔滔(**DING, Taotao**); 中国湖北省武汉市东湖开发区关东科技工业园华光大道 18 号 7018 室, Hubei 430074 (CN)。朱宏斌(**ZHU, Hongbin**); 中国湖北省武汉市东湖开发区关东科技工业园华光大道 18 号 7018 室, Hubei 430074 (CN)。程卫华(**CHENG, Weihua**); 中国湖北省武汉市东湖开发区关东科技工业园华光大道 18 号 7018 室, Hubei 430074 (CN)。杨士宁(**YANG, Shining**); 中国湖北省武汉市东湖开发区关东科技工业园华光大道 18 号 7018 室, Hubei 430074 (CN)。

(74) 代理人: 上海盈盛知识产权代理事务所(普通合伙) (**SHANGHAI WINSUN INTELLECTUAL PROPERTY AGENCY**); 中国上海市闸北区梅园路 228 号企业广场 12 楼 1216 室, Shanghai 200070 (CN)。

(54) **Title:** SEMICONDUCTOR STRUCTURE AND FORMING METHOD THEREFOR

(54) 发明名称: 半导体结构及其形成方法

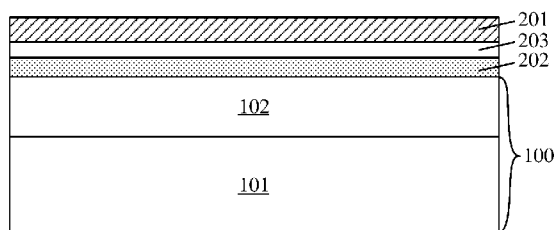


图 2

(57) **Abstract:** The present invention relates to a semiconductor structure and a forming method therefor, the semiconductor structure comprising: a first substrate; a first adhesion layer located on a surface of the first substrate; a first buffer layer located on a surface of the first adhesion layer; and a first bonding layer located on a surface of the first buffer layer, wherein the densities of the first adhesion layer and the first buffer layer are both greater than the density of the first bonding layer. There is greater adhesion between the first adhesion layer and the first substrate and the first buffer layer of the semiconductor structure and between the first buffer layer and the first bonding layer thereof, thereby facilitating the improvement in the performance of the semiconductor structure.

(57) **摘要:** 本发明涉及一种半导体结构及其形成方法, 所述半导体结构包括: 第一基底; 位于所述第一基底表面的第一粘附层; 位于所述第一粘附层表面的第一缓冲层; 位于所述第一缓冲层表面的第一键合层, 所述第一粘附层和第一缓冲层的致密度均大于所述第一键合层的致密度。所述半导体结构的第一粘附层与所述第一基底以及第一缓冲层之间、第一缓冲层与第一键合层之间具有较高的粘附性, 有利于提高半导体结构的性能。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

- 关于申请人有权申请并被授予专利(细则4.17(ii))

本国际公布:

- 包括国际检索报告(条约第21条(3))。

半导体结构及其形成方法

技术领域

本发明涉及半导体技术领域，尤其涉及一种半导体结构及其形成方法。

背景技术

在 3D 的芯片技术平台中，通常会将两片及以上形成有半导体器件的晶圆通过晶圆键合技术进行键合，以提高芯片的集成度。现有的晶圆键合技术，在晶圆键合面上形成键合薄膜，两层晶圆之间通过键合薄膜表面键合实现晶圆键合。

现有技术中，通常采用氧化硅和氮化硅薄膜作为键合薄膜，键合强度不够，导致工艺过程中容易出现缺陷，产品良率受到影响。

并且，键合薄膜内还形成有金属连接结构，在混合键合的过程中，所述金属连接结构容易在键合界面出现扩散现象，导致产品性能受到影响。

因此，如何提高晶圆键合的质量，是目前亟待解决的问题。

发明内容

本发明所要解决的技术问题是，提供一种半导体结构及其形成方法，以提高键合质量。

为解决上述问题，本发明提供一种半导体结构，包括：第一基底；位于所述第一基底表面的第一粘附层；位于所述第一粘附层表面的第一缓冲层；位于所述第一缓冲层表面的第一键合层，所述第一粘附层和第一缓冲层的致密度均大于所述第一键合层的致密度。

可选的，所述第一键合层和所述第一缓冲层的材料均为包含 C 元素的介质材料，且所述第一键合层内 C 的原子浓度大于所述第一缓冲层内 C 的原子浓度。

可选的，所述第一键合层内 C 的原子浓度大于 35%，所述第一缓冲层内 C 的原子浓度为 0~50%。

可选的，所述第一键合层内，C 的原子浓度随所述第一键合层厚度增加而增大；所述第一缓冲层内，C 的原子浓度随所述第一缓冲层厚度增加而增大。

可选的，所述第一粘附层的材料包括氮化硅、氮氧化硅以及氧化硅中的至少一种。

可选的，所述第一键合层的材料还包括 Si 和 N。

可选的，所述第一缓冲层的材料还包括 Si 和 N。

可选的，所述第一粘附层的厚度为 30 Å~100 Å，所述第一缓冲层的厚度为 50 Å~100 Å。

可选的，还包括：第二基底，所述第二基底表面形成有第二粘附层、位于所述第二粘附层表面的第二缓冲层，位于所述第二缓冲层表面的第二键合层；所述第二粘附层和第二缓冲层的致密度均大于所述第二键合层的致密度；所述第二键合层与所述第一键合层表面相对键合固定。

可选的，所述第二键合层与所述第一键合层的材料相同，所述第二缓冲层与所述第一缓冲层的材料相同，所述第二粘附层与所述第一粘附层的材料相同。

可选的，还包括：贯穿所述第一键合层、所述第一缓冲层和所述第一粘附层的第一键合垫；贯穿所述第二键合层、所述第二缓冲层和所述第二粘附层的第二键合垫；所述第一键合垫与所述第二键合垫相对键合连接。

为解决上述问题，本发明的具体实施方式还提供一种半导体结构的形成方法，包括：提供第一基底；在所述第一基底表面形成第一粘附层；对所述第一粘附层进行等离子体轰击，以提高致密度；在所述第一粘附层表面形成第一缓冲层；在所述第一缓冲层表面形成第一键合层，所述第一粘附层和第一缓冲层的致密度均大于所述第一键合层的致密度。

可选的，进行所述等离子体轰击之前，所述第一粘附层含有 H 键；在所述等离子体轰击步骤中，采用含 N 等离子体进行轰击，以减少所述第一粘附层中的 H 键。

可选的，所述第一键合层和所述第一缓冲层的材料均为包含 C 元素的介质材料，且所述第一键合层内 C 的原子浓度大于所述第一缓冲层内 C 的原子浓度。

可选的，所述第一键合层的材料还包括 Si 和 N。

可选的，所述第一缓冲层的材料还包括 Si 和 N。

可选的，所述第一粘附层的材料包括氮化硅、氮氧化硅以及氧化硅中的至少一种。

可选的，所述第一粘附层的厚度为 30 Å~100 Å，所述第一缓冲层的厚度为 50 Å~100 Å。

本发明的半导体结构的第一基底与第一键合层之间具有第一粘附层和第一缓冲层，所述第一粘附层和第一缓冲层的致密度大于第一键合层致密度，从而提高第一粘附层与第一基底、第一粘附层与第一缓冲层以及第一缓冲层与第一键合层之间的粘附力，避免断裂。且所述第一键合层在键合后也能在键合表面具有较强的键合力，能够阻挡金属材料在键合界面的扩散，从而提高形成的半导体结构的性能。

附图说明

图 1 至图 4 为本发明一具体实施方式的半导体结构的形成过程的结构示意图；

图 5 为本发明一具体实施方式的半导体结构的结构示意图；

图 6 为本发明一具体实施方式的半导体结构的结构示意图。

具体实施方式

下面结合附图对本发明提供的半导体结构及其形成方法的具体实施方式做详细说明。

请参考图 1 至图 4，为本发明一具体实施方式的半导体结构的形成过程的结构示意图。

请参考图 1，提供第一基底 100。

所述第一基底 100 包括第一半导体衬底 101、形成于所述第一半导体衬底 101 表面的第一器件层 102。

所述第一半导体衬底 101 可以为单晶硅衬底、Ge 衬底、SiGe 衬底、SOI 或 GOI 等；根据器件的实际需求，可以选择合适的第一半导体衬底 101，在此

不作限定。该具体实施方式中，所述第一半导体衬底 101 为单晶硅晶圆。

所述第一器件层 102 包括形成于所述半导体衬底 101 上的半导体器件、连接所述半导体器件的金属互连结构、覆盖所述半导体器件以及金属互连结构的介质层等，所述介质层通常为氧化硅、氮化硅或氮氧化硅。所述第一器件层 102 可以为多层或单层结构。在一个具体实施方式中，所述第一器件层 102 包括介质层以及形成于介质层内的 3D NAND 结构。

请参考图 2，在所述第一基底 100 表面依次形成第一粘附层 202、位于所述第一粘附层 202 表面的第一缓冲层 203 和位于所述第一缓冲层 203 表面的第一键合层 201。

可以分别采用化学气相沉积工艺，依次形成所述第一粘附层 202、第一缓冲层 203 和第一键合层 201。该具体实施方式中，采用等离子体增强化学气相沉积工艺形成所述第一粘附层 202、第一缓冲层 203 和第一键合层 201。

所述第一粘附层 202 的材料为致密度大于所述第一键合层 201 致密度的介质材料。所述第一粘附层 202 的材料可以为氮化硅、氮氧化硅以及氧化硅中的至少一种，基于化学气相沉积工艺中采用的反应气体，以及具体产品的需求，所述第一粘附层 202 内还可以掺杂有 O、H、P、F 等元素中的至少一种。

在一个具体实施方式中，所述第一粘附层 202 的材料为氮化硅，采用等离子体增强化学气相沉积工艺形成所述第一粘附层 202，采用的反应气体包括： SiH_4 和 NH_3 ， SiH_4 和 NH_3 的流量比范围为 $(0.8 \sim 1.2):1$ ，射频功率范围为 $150\text{W} \sim 300\text{W}$ 。可以通过调整所述沉积工艺中的工艺参数，形成具有较高致密度的第一粘附层 202。

在其他具体实施方式中，所述第一粘附层 202 的形成方法包括：采用沉积工艺在所述第一基底 100 表面形成粘附材料层，然后对所述粘附材料层进行等离子体轰击，以减少粘附材料层中 H 的含量，从而提高形成的第一粘附层 202 的致密度。所述等离子体轰击可以采用含 N 气体，例如 N_2 、 NH_3 等。在一个具体实施方式中，所述等离子体轰击可以采用 N_2 作为等离子体源，射频功率为 500W ，轰击时间为 30s 。通过所述等离子体轰击可以去除所述第一粘附层 202 内的 H，从而使得所述第一粘附层 202 的单位面积内拥有更多可以连接相

邻材料层的化学键，例如 Si-、N-等，从而提高所述第一粘附层 202 与第一器件层 102、第一缓冲层 203 之间的粘附力。

所述第一缓冲层 203 的材料为包含 C 元素的介质材料，在一个具体实施方式中，所述第一缓冲层 203 主要包含 Si、N 和 C。在其他具体实施方式中，基于化学气相沉积工艺中采用的反应气体，以及具体产品的需求，所述第一缓冲层 203 内还可以具有 Si、N、O、H、P、F 等元素中的至少一种。所述第一缓冲层 203 的致密度大于所述第一键合层 201 的致密度，在一个具体实施方式中，所述第一缓冲层 203 的致密度与所述第一粘附层 202 的致密度接近或相同。所述第一缓冲层 203 的材料可以为掺碳氮化硅、掺碳氮氧化硅、掺氮碳氧化硅等。由于所述第一缓冲层 203 的致密度较高，与所述第一粘附层 202 的界面上化学键的密度较大，因此与所述第一粘附层 202 之间具有较高的粘附性。

在一个具体实施方式中，采用等离子体增强化学气相沉积工艺形成所述第一缓冲层 203，采用的反应气体包括：三甲基硅烷或四甲基硅烷中的一种以及 NH_3 ，三甲基硅烷或四甲基硅烷与 NH_3 的流量比范围为 1: (2~4)，射频功率范围为 200W~500W。可以通过调整沉积工艺参数，调整所述第一缓冲层 203 的致密度，以及所述第一缓冲层 203 内的 C 的原子浓度。

所述第一键合层 201 的材料为包含 C 元素的介质材料，且所述第一键合层 201 内 C 的原子浓度大于所述第一缓冲层 203 内 C 的原子浓度。在一个具体实施方式中，所述第一键合层 201 主要包含 Si、N 和 C。在其他具体实施方式中，基于化学气相沉积工艺中采用的反应气体，以及具体产品的需求，所述第一键合层 201 内还可以具有 Si、N、O、H、P、F 等元素中的至少一种。所述第一键合层 201 的材料可以为掺碳氮化硅、掺碳氮氧化硅、掺氮碳氧化硅等。所述第一键合层 201 的成分与所述第一缓冲层 203 的成分接近或相同，因此，在所述第一缓冲层 203 表面形成所述第一键合层 201，可以使得所述第一键合层 201 与所述第一缓冲层 203 之间具有较高的粘附力。材料层内的 C 的原子浓度过高，会导致与其他材料层之间的粘附力下降。所述第一缓冲层 203 内的 C 的原子浓度小于所述第一键合层 201 内 C 的原子浓度，与直接在所述第一粘附层 202 表面形成第一键合层 201 相比，所述第一缓冲层 203 与所述第一粘附层 202 之

间的粘附力更高。

在一个具体实施方式中，采用等离子体增强化学气相沉积工艺形成所述第一键合层 201，采用的反应气体包括：三甲基硅烷或四甲基硅烷中的至少一种以及 NH_3 ，三甲基硅烷或四甲基硅烷与 NH_3 的流量比范围为(1.6~2.4):1，射频功率范围为 500W~1100W。

所述第一键合层 201 中的 C 能够有效提高所述第一键合层 201 在键合过程中，与其他键合层之间的键合力。C 浓度越高，与其他键合层之间进行键合时产生的键合力越大。在一个具体实施方式中，所述第一键合层 201 中，C 的原子浓度大于 35%。

所述第一缓冲层 203 中 C 的原子浓度小于所述第一键合层 201 中 C 的原子浓度，从而使得所述第一缓冲层 203 的材料结构与所述第一粘附层 202 的更为接近。在一个具体实施方式中，所述第一缓冲层 203 的 C 的原子浓度为 0~50%。

由于所述第一键合层 201 中含有较高浓度的 C 元素，会导致第一键合层 201 的致密度较低，本申请的具体实施方式中，在所述第一键合层 201 与第一基底 100 之间形成有致密度更高的第一粘附层 202、第一缓冲层 203，且第一缓冲层 203 内的 C 的原子浓度低于所述第一键合层 201 内 C 的原子浓度，可以提高各层之间的粘附力。

通过控制所述第一键合层 201、第一缓冲层 203 和第一粘附层 202 的形成工艺参数，可以调整所述第一键合层 201 和第一粘附层 202 内各组分的浓度，对各材料层之间粘附力以及介电系数进行调整。

由于不同材料层之间的粘附力与界面两侧的材料组分相关，材料组分越接近，粘附力越强。为了进一步增强所述第一粘附层 202 与所述第一器件层 102 之间的粘附力，可以在形成所述第一粘附层 202 的过程中，逐渐调整工艺参数，使得所述第一粘附层 202 内的组分浓度逐渐发生变化，使得所述第一器件层 102 与所述第一粘附层 202 界面两侧的材料组分接近。在一个具体实施方式中，在形成所述第一粘附层 202 的过程中，随着第一粘附层 202 厚度的增加，通过调整沉积工艺的参数，使得第一粘附层 202 内的 Si 的原子浓度随第一粘附层

202 厚度增加而逐渐改变。在其他具体实施方式中, 根据所述第一器件层 102 表面材料的不同, 也可以对所述第一粘附层 202 内的其他成分浓度进行调整。在其他具体实施方式中, 也可以在形成所述第一粘附层 202 的过程中, 保持沉积工艺参数不变, 使得第一粘附层 202 内的各元素的原子浓度在不同厚度位置处保持一致。

为了进一步增强所述第一粘附层 202 与所述第一缓冲层 203 之间的粘附力, 可以在形成所述第一缓冲层 203 的过程中, 逐渐调整工艺参数, 使得所述第一缓冲层 203 内的组分浓度逐渐发生变化, 使得所述第一缓冲层 203 与所述第一粘附层 202 界面两侧的材料组分接近。在一个具体实施方式中, 在形成所述第一缓冲层 203 的过程中, 随着第一缓冲层 203 厚度的增加, 通过调整沉积工艺的参数, 使得 C 的原子浓度随第一缓冲层 203 厚度增加而逐渐增大。在其他具体实施方式中, 也可以使得 C 的原子浓度随第一缓冲层 203 厚度增加而逐渐减小或者先逐渐增大再逐渐减小。在其他具体实施方式中, 在形成所述第一缓冲层 203 的过程中, 保持沉积工艺参数不变, 使得第一缓冲层 203 中各元素的原子浓度在不同厚度位置处分别保持一致。

为了进一步增强所述第一缓冲层 203 与所述第一键合层 201 之间的粘附力, 可以在形成所述第一键合层 201 的过程中, 逐渐调整工艺参数, 使得所述第一键合层 201 内的组分浓度逐渐发生变化, 使得所述第一键合层 201 与所述第一缓冲层 203 界面两侧的材料组分接近。在一个具体实施方式中, 在形成所述第一键合层 201 的过程中, 随着第一键合层 201 厚度的增加, 通过调整沉积工艺的参数, 使得 C 的原子浓度随第一键合层 201 厚度增加而逐渐增大。在其他具体实施方式中, 也可以使得 C 的原子浓度随第一键合层 201 厚度增加而逐渐减小或者先逐渐增大再逐渐减小。在其他具体实施方式中, 在形成所述第一键合层 201 的过程中, 保持沉积工艺参数不变, 使得第一键合层 201 中各元素在不同厚度位置处保持一致。

为了使得所述第一粘附层 202 和第一缓冲层 203 各厚度处均具有较高的致密度, 为了在形成所述第一粘附层 202 的离子轰击过程中, 能够尽可能多的减少所述第一粘附层 202 内的 H, 使所述第一粘附层 202 各厚度处的致密性均得

到提高, 所述第一粘附层 202 的厚度不能过大。在一个具体实施方式中, 所述第一粘附层 202 的厚度为 $30\text{ \AA}\sim 100\text{ \AA}$, 所述第一缓冲层 203 的厚度为 $50\text{ \AA}\sim 100\text{ \AA}$ 。

在一些具体实施方式中, 所述第一键合层 201 的厚度大于所述第一粘附层 202、第一缓冲层 203 的厚度, 以确保在将所述第一键合层 201 与其他键合层进行键合时, 所述第一键合层 201 具有足够的键合厚度。在一个具体实施方式中, 所述第一键合层 201 的厚度大于 $100\text{ \AA}$ 。

在其他具体实施方式中, 所述第一键合层 201 还可以包括两层以上堆叠的子键合层。不同子键合层的材料可以相同也可以不同。

上述具体实施方式的半导体结构的第一基底与第一键合层之间具有第一粘附层和第一缓冲层, 所述第一粘附层和第一缓冲层的致密度大于第一键合层致密度, 从而提高第一粘附层与第一基底之间的粘附力, 以及第一缓冲层与第一键合层之间的粘附力; 并且所述第一缓冲层与第一粘附层均具有较高的致密度, 所述第一缓冲层与第一粘附层之间也具有较高粘附力, 可以避免所述半导体结构发生断裂等问题。并且所述第一键合层在键合后也能在键合表面具有较强的键合力, 能够阻挡金属材料在键合界面的扩散, 从而提高形成的半导体结构的性能。

请参考图 3, 在另一具体实施方式中, 还包括: 提供第二基底 300; 在所述第二基底 300 表面形成第二粘附层 402、位于所述第二粘附层 402 表面的第二缓冲层 403 以及位于所述第二缓冲层 403 表面的第二键合层 401。

所述第二基底 300 包括第二半导体衬底 301 以及位于所述第二半导体衬底 301 表面的第二器件层 302。

所述第二粘附层 402 的材料为致密度大于所述第二键合层 401 致密度的介质材料。所述第二粘附层 402 的材料可以为氮化硅、氮氧化硅以及氧化硅中的至少一种, 基于化学气相沉积工艺中采用的反应气体, 以及具体产品的需求, 所述第二粘附层 402 内还可以具有 O、H、P、F 等元素中的至少一种。

所述第二缓冲层 403 的材料为致密度大于所述第二缓冲层 403 致密度的介质材料。所述第二缓冲层 403 的材料为包含 C 元素的介质材料, 在一个具体实

施方式中,所述第二缓冲层 403 主要包含 Si、N 和 C。在其他具体实施方式中,基于化学气相沉积工艺中采用的反应气体,以及具体产品的需求,所述第二缓冲层 403 内还可以具有 Si、N、O、H、P、F 等元素中的至少一种。

所述第二键合层 401 的材料为包含 C 元素的介质材料,且所述第一键合层 201 内 C 的原子浓度大于所述第一缓冲层 203 内 C 的原子浓度。在一个具体实施方式中,所述第二键合层 401 主要包含 Si、N 和 C。在其他具体实施方式中,基于化学气相沉积工艺中采用的反应气体,以及具体产品的需求,所述第二键合层 401 内还可以掺杂有 Si、N、O、H、P、F 等元素中的至少一种。材料层内的 C 的原子浓度过高,会导致与其他材料层之间的粘附力下降。所述第二缓冲层 403 内的 C 的原子浓度小于所述第二键合层 401 内 C 的原子浓度,与直接在所述第二粘附层 402 表面形成第二键合层 401 相比,所述第二缓冲层 403 与所述第二粘附层 402 之间的粘附力更高。

采用化学气相沉积工艺在所述第二器件层 302 表面依次形成所述第二粘附层 402、第二缓冲层 403 和第二键合层 401。所述第二粘附层 402、第二缓冲层 403 和第二键合层 401 的具体材料、结构及形成方法请参考上述具体实施方式中的第一粘附层 202、第一缓冲层 203 和第一键合层 201 的描述,在此不再赘述。在一个具体实施方式中,所述第二粘附层 402 与第一粘附层 202 的材料、结构及形成方法相同;所述第二缓冲层 403 和第一缓冲层 203 的材料、结构及形成方法相同,所述第二键合层 401 和第一键合层 201 的材料、结构及形成方法均相同。

在一个具体实施方式中,所述第二粘附层 402 的厚度为 $30\text{ \AA}$ ~ $100\text{ \AA}$,所述第二缓冲层 403 的厚度为 $50\text{ \AA}$ ~ $100\text{ \AA}$,所述第二键合层 401 的厚度大于 $100\text{ \AA}$ 。

请参考图 4,将所述第二键合层 401 所述第一键合层 201 表面相对键合固定。

所述第二键合层 401 与第一键合层 201 内均含有 C,部分 C 以 $-\text{CH}_3$ 的形式存在, $-\text{CH}_3$ 更易被氧化为 $-\text{OH}$,并在键合过程中形成 Si-O 键,使得在键合界面上能够形成更多的硅氧键,从而形成较强的键合力。在一个具体实施方式中,所述第二键合层 401 与第一键合层 201 之间的键合力大于 2J/M^2 。而现有

技术中采用不含 C 的键合层进行键合，通常键合力小于 1.5 J/M^2 。

在一个具体实施方式中，所述第一基底 100 为形成有 3D NAND 存储结构的基底，而所述第二基底 200 为形成有外围电路的基底。

在其他具体实施方式中，还可以在基底的两侧表面均形成上述粘附层和键合层，以实现多层键合。

请参考图 5，在另一具体实施方式中，还包括：形成贯穿所述第一键合层 201、第一缓冲层 203 和第一粘附层 202 的第一键合垫 501；形成贯穿所述第二键合层 401、第二缓冲层 403 和第二粘附层 402 的第二键合垫 502；在将所述第二键合层 401 表面与所述第一键合层 201 表面相对键合固定的同时，将所述第一键合垫 501 与第二键合垫 502 相对键合连接。

所述第一键合垫 501 和第二键合垫 502 可以分别连接至所述第一器件层 102 和第二器件层 302 内的半导体器件以及金属互连层。

所述第一键合垫 501 的形成方法包括：对所述第一键合层 201、第一缓冲层 203 和第一粘附层 202 进行图形化，形成贯穿所述第一键合层 201、第一缓冲层 203 和第一粘附层 202 的开口；在所述开口内填充金属材料，并进行平坦化，形成填充满所述开口的第一键合垫 501。采用相同的方法在所述第二键合层 401、第二缓冲层 403 第二粘附层 402 内形成所述第二键合垫 502。将所述第一键合垫 501 与第二键合垫 502 键合连接，可以实现所述第一器件层 102 和第二器件层 302 内的半导体器件之间的电连接。

所述第一键合垫 501 和第二键合垫 502 的材料可以是 Cu、W 等金属材料。所述第一键合层 201 和第一键合层 401 内含有 C，能够有效阻挡所述第一键合垫 501 和第二键合垫 502 的材料在键合界面发生扩散，从而提高所述半导体结构的性能。

上述具体实施方式，在基底表面形成粘附层、在粘附层表面形成缓冲层，再在所述缓冲层表面形成键合层，所述粘附层和缓冲层的致密度大于键合层致密度，从而提高粘附层、缓冲层与基底、键合层之间的粘附力且所述键合层在键合后也能在键合表面具有较强的键合力，能够阻挡金属材料在键合界面的扩散，从而提高形成的半导体结构的性能。

上述具体实施方式的半导体结构形成方法还用于多片基底键合。

请参考图 6，在本发明一具体实施方式中，还包括提供第三基底 600，在所述第三基底 600 的一侧表面依次形成第三粘附层 702、第三缓冲层 703 以及第三键合层 701，在另一侧相对表面上依次形成第四粘附层 802、第四缓冲层 803 以及第四键合层 801；将所述第三键合层 701 与第一键合层 201 表面相对键合固定，将所述第四键合层 801 与第二键合层 401 表面键合固定，形成三层键合结构。

所述第三粘附层 702 和第四粘附层 802 的材料、结构及形成方法，所述第三缓冲层 703 和第四缓冲层 803 材料、结构及形成方法，所述第三键合层 701 和第四键合层 801 材料、结构以及形成方法，请分别参考上述具体实施方式中，第一粘附层 202、第一缓冲层 203 以及第一键合层 201 的材料、结构及形成方法，在此不再赘述。

该具体实施方式中，所述半导体结构的形成方法还包括：形成贯穿所述第三键合层 701、第三缓冲层 703 以及第三粘附层 702 的第三键合垫 704，形成贯穿所述第四键合层 801、第四缓冲层 803 以及第四粘附层 802 的第四键合垫 804，将所述第三键合垫 704 与第一键合垫 501 键合连接，将所述第四键合垫 804 与第二键合垫 502 键合连接。

在其他具体实施方式中，还可以采用上述方法形成四层以上的键合结构。

需说明的是，在本发明的技术方案中，半导体结构中各个基底内的半导体器件类型并不应局限于所给实施例，除了 3D NAND 之外，其可以为 CMOS 电路、CIS 电路、TFT 电路等等。

本发明的具体实施方式还提供一种半导体结构。

请参考图 2，为本发明一具体实施方式的半导体结构的结构示意图。

所述半导体结构，包括：第一基底 100；位于所述第一基底 100 表面的第一粘附层 202；位于所述第一粘附层 202 表面的第一缓冲层 203；位于所述第一缓冲层 203 表面的第一键合层 201。

所述第一基底 100 包括第一半导体衬底 101、形成于所述第一半导体衬底 101 表面的第一器件层 102。

所述第一半导体衬底 101 可以为单晶硅衬底、Ge 衬底、SiGe 衬底、SOI 或 GOI 等；根据器件的实际需求，可以选择合适的第一半导体衬底 101，在此不作限定。该具体实施方式中，所述第一半导体衬底 101 为单晶硅晶圆。

所述第一器件层 102 包括形成于所述半导体衬底 101 上的半导体器件、连接所述半导体器件的金属互连结构、覆盖所述半导体器件以及金属互连结构的介质层等。所述第一器件层 102 可以为多层或单层结构。在一个具体实施方式中，所述第一器件层 102 包括介质层以及形成于介质层内的 3D NAND 结构。

所述第一粘附层 202 的材料为致密度大于所述第一键合层 201 致密度的介质材料。所述第一粘附层 202 的材料可以为氮化硅、氮氧化硅以及氧化硅中的至少一种，基于化学气相沉积工艺中采用的反应气体，以及具体产品的需求，所述第一粘附层 202 内还可以掺杂有 O、H、P、F 等元素中的至少一种。在一个具体实施方式中，所述第一粘附层 202 为具有高致密度的 SiN。

所述第一缓冲层 203 的材料为包含 C 元素的介质材料，在一个具体实施方式中，所述第一缓冲层 203 主要包含 Si、N 和 C。在其他具体实施方式中，基于化学气相沉积工艺中采用的反应气体，以及具体产品的需求，所述第一缓冲层 203 内还可以掺杂有 Si、N、O、H、P、F 等元素中的至少一种。该具体实施方式中，所述第一缓冲层 203 的致密度大于所述第一键合层 201 的致密度，所述第一缓冲层 203 的致密度与所述第一粘附层 202 的致密度接近或相同。所述第一缓冲层 203 的材料可以为掺碳氮化硅、掺碳氮氧化硅、掺氮碳氧化硅等。由于所述第一缓冲层 203 的致密度较高，与所述第一粘附层 202 的界面上化学键的密度较大，因此与所述第一粘附层 202 之间具有较高的粘附性。

所述第一键合层 201 的材料为包含 C 元素的介质材料。所述第一键合层 201 内 C 的原子浓度大于所述第一缓冲层 203 内 C 的原子浓度。在一个具体实施方式中，所述第一键合层 201 主要包含 Si、N 和 C。在其他具体实施方式中，基于化学气相沉积工艺中采用的反应气体，以及具体产品的需求，所述第一键合层 201 内还可以掺杂有 Si、N、O、H、P、F 等元素中的至少一种。所述第一键合层 201 的材料可以为掺碳氮化硅、掺碳氮氧化硅、掺氮碳氧化硅等。所述第一键合层 201 的成分与所述第一缓冲层 203 的成分接近或相同，因此，在

所述第一键合层 201 位于所述第一缓冲层 203 表面,可以使得所述第一键合层 201 与所述第一缓冲层 203 之间具有较高的粘附力。材料层内的 C 的原子浓度过高,会导致与其他材料层之间的粘附力下降。所述第一缓冲层 203 内的 C 的原子浓度小于所述第一键合层 201 内 C 的原子浓度,与直接在所述第一粘附层 202 表面形成第一键合层 201 相比,所述第一缓冲层 203 与所述第一粘附层 202 之间的粘附力更高。

所述第一键合层 201 中的 C 能够有效提高所述第一键合层 201 在键合过程中,与其他键合层之间的键合力。C 浓度越高,与其他键合层之间进行键合时产生的键合力越大。在一个具体实施方式中,所述第一键合层 201 中, C 的原子浓度大于 35%。

所述第一缓冲层 203 中 C 的原子浓度小于所述第一键合层 201 中 C 的原子浓度,从而使得所述第一缓冲层 203 的材料结构与所述第一粘附层 202 的更为接近。在一个具体实施方式中,所述第一缓冲层 203 的 C 的原子浓度为 0~50%。

由于所述第一键合层 201 中含有较高浓度的 C 元素,会导致第一键合层 201 的致密度较低,本申请的具体实施方式中,在所述第一键合层 201 与第一基底 100 之间形成有致密度更高的第一粘附层 202、第一缓冲层 203,且第一缓冲层 203 内的 C 的原子浓度低于所述第一键合层 201 内 C 的原子浓度,可以提高各层之间的粘附力。

由于不同材料层之间的粘附力与界面两侧的材料组分相关,材料组分越接近,粘附力越强。为了进一步增强所述第一粘附层 202 与所述第一器件层 102 之间的粘附力,所述第一粘附层 202 内的组分浓度随厚度逐渐发生变化,使得所述第一器件层 102 与所述第一粘附层 202 界面两侧的材料组分接近。在一个具体实施方式中,所述第一粘附层 202 内的 Si 的原子浓度随第一粘附层 202 厚度增加而逐渐改变。在其他具体实施方式中,根据所述第一器件层 102 表面材料的不同,所述第一粘附层 202 内的其他成分浓度也可以随厚度进行变化。在其他具体实施方式中,也可以使得第一粘附层 202 内的各元素的原子浓度在不同厚度位置处保持一致。

为了进一步增强所述第一粘附层 202 与所述第一缓冲层 203 之间的粘附力,所述第一缓冲层 203 与所述第一粘附层 202 界面两侧的材料组分接近。在一个具体实施方式中,第一缓冲层 203 内 C 的原子浓度随第一缓冲层 203 厚度增加而逐渐增大。在其他具体实施方式中,所述第一缓冲层 203 内 C 的原子浓度随第一缓冲层 203 厚度增加而逐渐减小或者先逐渐增大再逐渐减小。在其他具体实施方式中,所述第一缓冲层 203 中各元素的原子浓度在不同厚度位置处分别保持一致。

为了进一步增强所述第一缓冲层 203 与所述第一键合层 201 之间的粘附力,所述第一键合层 201 内的组分浓度也可以随厚度逐渐变化,使得所述第一键合层 201 与所述第一缓冲层 203 界面两侧的材料组分接近。在一个具体实施方式中,随着第一键合层 201 厚度的增加,第一键合层 201 内的 C 原子浓度随第一键合层 201 厚度增加而逐渐增大。在其他具体实施方式中,第一键合层 201 内的 C 的原子浓度随第一键合层 201 厚度增加而逐渐减小或者先逐渐增大再逐渐减小。在其他具体实施方式中,所述第一键合层 201 中各元素在不同厚度位置处分别保持一致,具有均匀分布的原子浓度。

为了使得所述第一粘附层 202 和第一缓冲层 203 各厚度处均具有较高的致密度,所述第一粘附层 202 和第一缓冲层 203 的厚度不能过大。在一个具体实施方式中,所述第一粘附层 202 的厚度为 30 Å~100 Å,所述第一缓冲层 203 的厚度为 50 Å~100 Å。

在一些具体实施方式中,所述第一键合层 201 的厚度大于所述第一粘附层 202、第一缓冲层 203 的厚度,以确保在将所述第一键合层 201 与其他键合层进行键合时,所述第一键合层 201 具有足够的键合厚度。在一个具体实施方式中,所述第一键合层 201 的厚度大于 100 Å。

在其他具体实施方式中,所述第一键合层 201 还可以包括两层以上堆叠的子键合层,不同子键合层之间的材料可以相同也可以不同。

请参考图 4,为本发明另一具体实施方式的半导体结构的示意图。

该具体实施方式中,所述半导体结构还包括:第二基底 300,所述第二基底 300 表面形成有第二粘附层 402、位于所述第二粘附层 402 表面的第二缓冲

层 403 和位于所述第二缓冲层 403 表面的第二键合层 401; 所述第二键合层 401 与所述第一键合层 201 表面相对键合固定。

所述第二基底 300 包括第二半导体衬底 301 以及位于所述第二半导体衬底 201 表面的第二器件层 302。

所述第二粘附层 402 的材料为致密度大于所述第二键合层 401 致密度的介质材料。所述第二粘附层 402 的材料可以为氮化硅、氮氧化硅以及氧化硅中的至少一种, 基于化学气相沉积工艺中采用的反应气体, 以及具体产品的需求, 所述第二粘附层 402 内还可以掺杂有 O、H、P、F 等元素中的至少一种。

所述第二缓冲层 403 的材料为致密度大于所述第二缓冲层 403 致密度的介质材料。所述第二缓冲层 403 的材料为包含 C 元素的介质材料, 在一个具体实施方式中, 所述第二缓冲层 403 主要包含 Si、N 和 C。在其他具体实施方式中, 基于化学气相沉积工艺中采用的反应气体, 以及具体产品的需求, 所述第二缓冲层 403 内还可以掺杂有 Si、N、O、H、P、F 等元素中的至少一种。

所述第二键合层 401 的材料为包含 C 元素的介质材料。所述第一键合层 201 内 C 的原子浓度大于所述第一缓冲层 203 内 C 的原子浓度。在一个具体实施方式中, 所述第二键合层 401 主要包含 Si、N 和 C。在其他具体实施方式中, 基于化学气相沉积工艺中采用的反应气体, 以及具体产品的需求, 所述第二键合层 401 内还可以掺杂有 Si、N、O、H、P、F 等元素中的至少一种。所述第二缓冲层 403 内的 C 的原子浓度小于所述第二键合层 401 内 C 的原子浓度使得所述第二缓冲层 403 与所述第二粘附层 402 之间具有较高的粘附力。

所述第二粘附层 402、第二缓冲层 403 和所述第二键合层 401 的具体材料与结构请参考上述具体实施方式中的第一粘附层 202、第一缓冲层 203 和第一键合层 201 的描述, 在此不再赘述。在一个具体实施方式中, 所述第二粘附层 402 与第一粘附层 202 的材料、结构相同; 第二缓冲层 403 与第一缓冲层 203 的材料、结构相同; 所述第二键合层 401 和第一键合层 201 的材料、结构相同。在一个具体实施方式中, 所述第二粘附层 402 的厚度为 30 Å~100 Å, 第二键合层 401 的厚度大于 100 Å。

所述第二键合层 401 与第一键合层 201 内均含有 C, 使得在键合界面上形

成较多的硅氧键，具有较强的键合力。在一个具体实施方式中，所述第二键合层 401 与第一键合层 201 之间的键合力大于 $1.7\text{J}/\text{M}^2$ 。

在其他具体实施方式中，所述半导体结构可以包括三个以上的基底，相邻基底之间均通过本发明具体实施方式中的粘附层和键合层进行键合。

请参考图 5，为发明另一具体实施方式的半导体结构的结构示意图。

该具体实施方式中，所述半导体结构还包括：贯穿所述第一键合层 201、第一缓冲层 203 和第一粘附层 202 的第一键合垫 501；贯穿所述第二键合层 401、第二缓冲层 403 和第二粘附层 402 的第二键合垫 502；所述第二键合层 401 表面与所述第一键合层 201 表面相对键合固定且所述第一键合垫 501 与第二键合垫 502 相对键合连接。

所述第一键合垫 501 和第二键合垫 502 可以分别连接至所述第一器件层 102 和第二器件层 302 内的半导体器件以及金属互连层。

所述第一键合垫 501 和第二键合垫 502 的材料可以是 Cu、W 等金属材料。所述第一键合层 201 和第二键合层 401 内含有 C，能够有效阻挡所述第一键合垫 501 和第二键合垫 502 的材料在键合界面发生扩散，从而提高所述半导体结构的性能。

请参考图 6，在本发明一具体实施方式中，所述半导体结构还包括第三基底 600，位于所述第三基底 600 的一侧表面的第三粘附层 702、位于所述第三粘附层 702 表面的第三缓冲层 703 以及位于第三缓冲层 703 表面的第三键合层 701，位于第三基底 600 的另一侧相对表面的第四粘附层 802、位于所述第四粘附层 802 表面的第四缓冲层 803 以及位于第四缓冲层 803 表面的第四键合层 801；所述第三键合层 701 与第一键合层 201 表面相对键合固定，所述第四键合层 801 与第二键合层 401 表面键合固定，构成三层键合结构。

所述第三粘附层 702 和第四粘附层 802 的材料、结构，所述第三缓冲层 703 和第四缓冲层 803 材料、结构，所述第三键合层 701 和第四键合层 801 材料、结构，请分别参考上述具体实施方式中第一粘附层 202、第一缓冲层 203 以及第一键合层 201 的材料、结构的描述，在此不再赘述。

该具体实施方式中，所述半导体结构还包括：贯穿所述第三键合层 701、

第三缓冲层 703 以及第三粘附层 702 的第三键合垫 704，贯穿所述第四键合层 801、第四缓冲层 803 以及第四粘附层 802 的第四键合垫 804，所述第三键合垫 704 与第一键合垫 501 键合连接，所述第四键合垫 804 与第二键合垫 502 键合连接。

在其他具体实施方式中，所述半导体结构还可以为四层以上的键合结构。

以上所述仅是本发明的优选实施方式，应当指出，对于本技术领域的普通技术人员，在不脱离本发明原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本发明的保护范围。

1. 一种半导体结构，其特征在于，包括：
第一基底；
位于所述第一基底表面的第一粘附层；
位于所述第一粘附层表面的第一缓冲层；
位于所述第一缓冲层表面的第一键合层，所述第一粘附层和第一缓冲层的致密度均大于所述第一键合层的致密度。
2. 根据权利要求 1 所述的半导体结构，其特征在于，所述第一键合层和所述第一缓冲层的材料均为包含 C 元素的介质材料，且所述第一键合层内 C 的原子浓度大于所述第一缓冲层内 C 的原子浓度。
3. 根据权利要求 2 所述的半导体结构，其特征在于，所述第一键合层内 C 的原子浓度大于 35%，所述第一缓冲层内 C 的原子浓度为 0~50%。
4. 根据权利要求 2 所述的半导体结构，其特征在于，所述第一键合层内，C 的原子浓度随所述第一键合层厚度增加而增大；所述第一缓冲层内，C 的原子浓度随所述第一缓冲层厚度增加而增大。
5. 根据权利要求 1 所述的半导体结构，其特征在于，所述第一粘附层的材料包括氮化硅、氮氧化硅以及氧化硅中的至少一种。
6. 根据权利要求 2 所述的半导体结构，其特征在于，所述第一键合层的材料还包括 Si 和 N。
7. 根据权利要求 2 所述的半导体结构，其特征在于，所述第一缓冲层的材料还包括 Si 和 N。
8. 根据权利要求 1 所述的半导体结构，其特征在于，所述第一粘附层的厚度为 30 Å~100 Å，所述第一缓冲层的厚度为 50 Å~100 Å。
9. 根据权利要求 1 所述的半导体结构，其特征在于，还包括：第二基底，所述第二基底表面形成有第二粘附层、位于所述第二粘附层表面的第二缓冲层，位于所述第二缓冲层表面的第二键合层；所述第二粘附层和第二缓冲层的致密度均大于所述第二键合层的致密度；所述第二键合层与所述第一键合层表面相对键合固定。

10. 根据权利要求 9 所述的半导体结构，其特征在于，所述第二键合层与所述第一键合层的材料相同，所述第二缓冲层与所述第一缓冲层的材料相同，所述第二粘附层与所述第一粘附层的材料相同。
11. 根据权利要求 9 所述的半导体结构，其特征在于，还包括：贯穿所述第一键合层、所述第一缓冲层和所述第一粘附层的第一键合垫；贯穿所述第二键合层、所述第二缓冲层和所述第二粘附层的第二键合垫；所述第一键合垫与所述第二键合垫相对键合连接。
12. 一种半导体结构的形成方法，其特征在于，包括：
提供第一基底；
在所述第一基底表面形成第一粘附层；
对所述第一粘附层进行等离子体轰击，以提高致密度；
在所述第一粘附层表面形成第一缓冲层；
在所述第一缓冲层表面形成第一键合层，所述第一粘附层和第一缓冲层的致密度均大于所述第一键合层的致密度。
13. 根据权利要求 12 所述的半导体结构的形成方法，其特征在于，进行所述等离子体轰击之前，所述第一粘附层含有 H 键；在所述等离子体轰击步骤中，采用含 N 等离子体进行轰击，以减少所述第一粘附层中的 H 键。
14. 根据权利要求 12 所述的半导体结构的形成方法，其特征在于，所述第一键合层和所述第一缓冲层的材料均为包含 C 元素的介质材料，且所述第一键合层内 C 的原子浓度大于所述第一缓冲层内 C 的原子浓度。
15. 根据权利要求 14 所述的半导体结构的形成方法，其特征在于，所述第一键合层的材料还包括 Si 和 N。
16. 根据权利要求 14 所述的半导体结构的形成方法，其特征在于，所述第一缓冲层的材料还包括 Si 和 N。
17. 根据权利要求 12 所述的半导体结构的形成方法，其特征在于，所述第一粘附层的材料包括氮化硅、氮氧化硅以及氧化硅中的至少一种。
18. 根据权利要求 12 所述的半导体结构的形成方法，其特征在于，所述第一粘

附层的厚度为 30 Å~100 Å，所述第一缓冲层的厚度为 50 Å~100 Å。

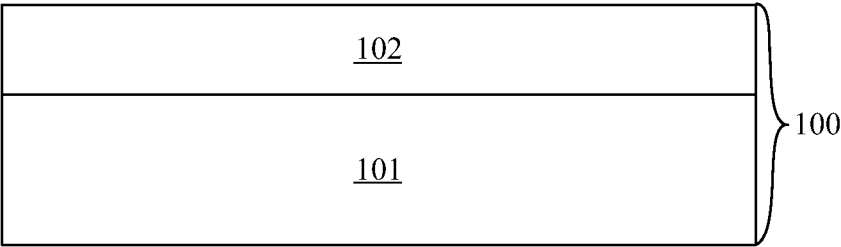


图 1

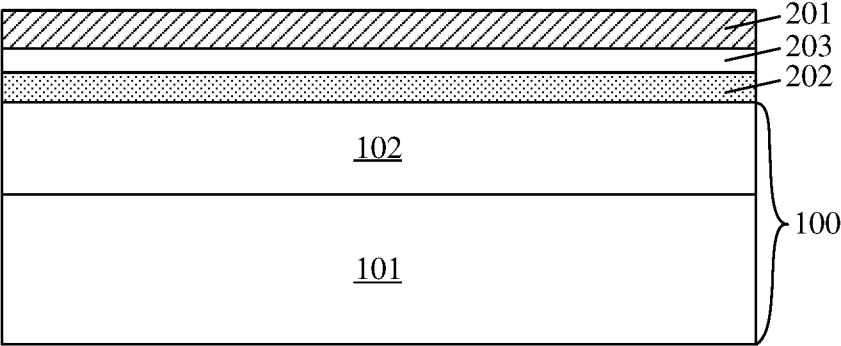


图 2

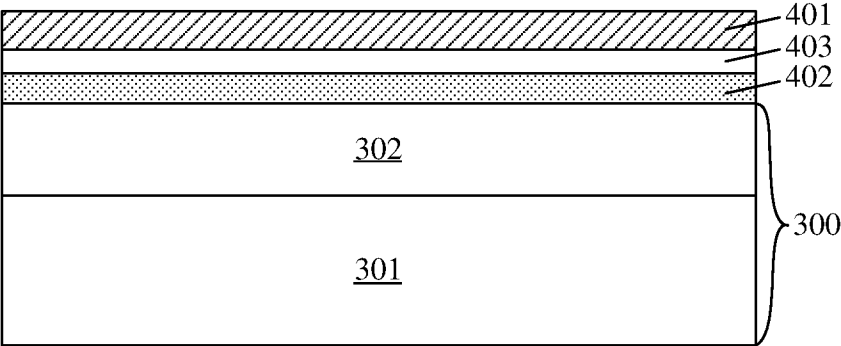


图 3

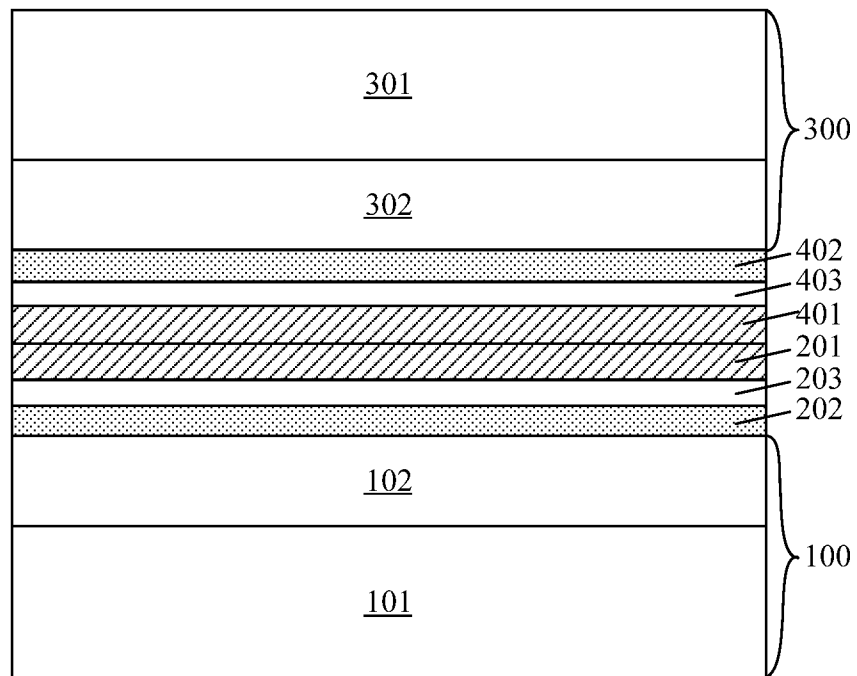


图 4

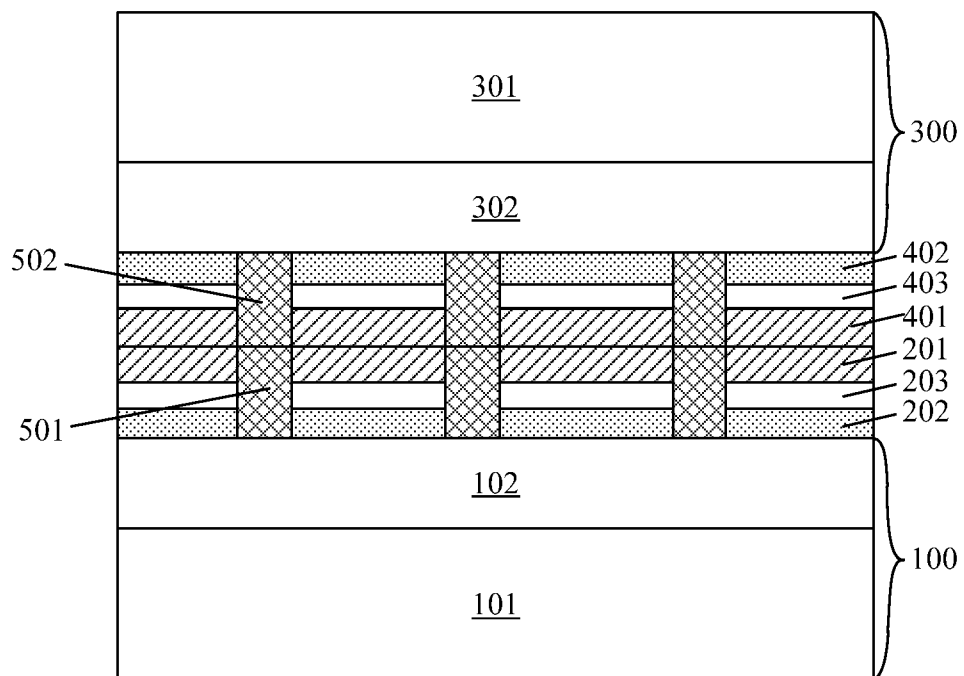


图 5

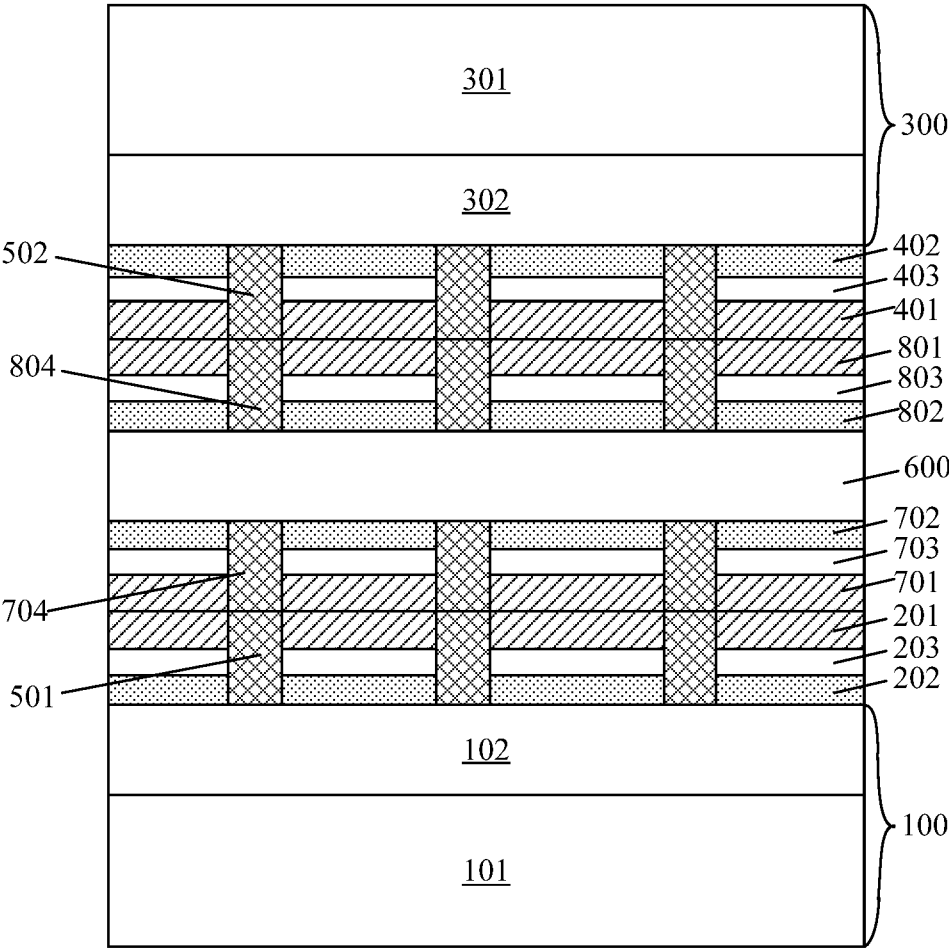


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/093694

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/768(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/-;H01L23/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; SIPOABS; VEN; USTXT; EPTXT; WOTXT; CNKI: 键合, 衬底, 晶片, 缓冲, 粘附, 介电, 绝缘, 致密, 碳, bond, substrate, wafer, buffer, adhesive, dielectric, insulate, density, carbon

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2016197049 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 07 July 2016 (2016-07-07) description, paragraphs [0013]-[0032], and figures 1-10	1-18
Y	CN 105633010 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL CORPORATION (SHANGHAI)) 01 June 2016 (2016-06-01) description, paragraphs [0040]-[0066], and figures 1-6	1-18
Y	US 2004195659 A1 (IBM) 07 October 2004 (2004-10-07) description, paragraphs [0038]-[0045], and figure 6	2-4, 6, 7, 14-16
A	US 9748131 B2 (IBM) 29 August 2017 (2017-08-29) entire document	1-18
A	US 2017170031 A1 (INVENSAS CORPORATION) 15 June 2017 (2017-06-15) entire document	1-18

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

15 March 2019

Date of mailing of the international search report

29 March 2019

Name and mailing address of the ISA/CN

**National Intellectual Property Administration, PRC (ISA/
CN)**
**No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China**

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/093694

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2016197049	A1	07 July 2016	US	9960142	B2	01 May 2018
CN	105633010	A	01 June 2016	CN	105633010	B	16 November 2018
US	2004195659	A1	07 October 2004	US	6953984	B2	11 October 2005
				US	6147009	A	14 January 2000
				EP	1018160	B1	02 March 2011
				US	6497963	B1	24 December 2002
				DE	69943235	D1	14 April 2011
				EP	1018160	A1	12 July 2000
				WO	0001012	A1	06 January 2000
				EP	1018160	A4	30 March 2005
				TW	546252	B	11 August 2003
				US	6724086	B1	20 April 2004
US	9748131	B2	29 August 2017	US	2016133501	A1	12 May 2016
US	2017170031	A1	15 June 2017	US	9847238	B2	19 December 2017

国际检索报告

国际申请号

PCT/CN2018/093694

A. 主题的分类

H01L 21/768(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L21/-;H01L23/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;CNTXT;SIPOABS;VEN;USTXT;EPTXT;WOTXT;CNKI:键合, 衬底, 晶片, 缓冲, 粘附, 介电, 绝缘, 致密, 碳, bond, substrate, wafer, buffer, adhesive, dielectric, insulate, density, carbon

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	US 2016197049 A1 (TAIWAN SEMICONDUCTOR MFG CO LTD) 2016年 7月 7日 (2016 - 07 - 07) 说明书第13-32段, 图1-10	1-18
Y	CN 105633010 A (中芯国际集成电路制造上海有限公司) 2016年 6月 1日 (2016 - 06 - 01) 说明书第40-66段, 图1-6	1-18
Y	US 2004195659 A1 (IBM) 2004年 10月 7日 (2004 - 10 - 07) 说明书第38-45段, 图6	2-4、6-7、14-16
A	US 9748131 B2 (IBM) 2017年 8月 29日 (2017 - 08 - 29) 全文	1-18
A	US 2017170031 A1 (INVENSAS CORP) 2017年 6月 15日 (2017 - 06 - 15) 全文	1-18

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 3月 15日

国际检索报告邮寄日期

2019年 3月 29日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

黄宝莹

传真号 (86-10)62019451

电话号码 86-(20)-28958381

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/093694

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2016197049	A1	2016年 7月 7日	US	9960142	B2	2018年 5月 1日
CN	105633010	A	2016年 6月 1日	CN	105633010	B	2018年 11月 16日
US	2004195659	A1	2004年 10月 7日	US	6953984	B2	2005年 10月 11日
				US	6147009	A	2000年 1月 14日
				EP	1018160	B1	2011年 3月 2日
				US	6497963	B1	2002年 12月 24日
				DE	69943235	D1	2011年 4月 14日
				EP	1018160	A1	2000年 7月 12日
				WO	0001012	A1	2000年 1月 6日
				EP	1018160	A4	2005年 3月 30日
				TW	546252	B	2003年 8月 11日
				US	6724086	B1	2004年 4月 20日
US	9748131	B2	2017年 8月 29日	US	2016133501	A1	2016年 5月 12日
US	2017170031	A1	2017年 6月 15日	US	9847238	B2	2017年 12月 19日

表 PCT/ISA/210 (同族专利附件) (2015年1月)