

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7463571号
(P7463571)

(45)発行日 令和6年4月8日(2024.4.8)

(24)登録日 令和6年3月29日(2024.3.29)

(51)国際特許分類		F I	
H 0 1 L	21/8234(2006.01)	H 0 1 L	27/088 E
H 0 1 L	27/088(2006.01)	H 0 1 L	27/088 3 3 1 E
H 0 1 L	21/8238(2006.01)	H 0 1 L	27/092 G
H 0 1 L	27/092(2006.01)	H 0 1 L	27/092 K
H 0 1 L	29/786(2006.01)	H 0 1 L	29/78 6 1 3 A
請求項の数 6 (全33頁) 最終頁に続く			
(21)出願番号	特願2023-3532(P2023-3532)	(73)特許権者	000153878
(22)出願日	令和5年1月13日(2023.1.13)		株式会社半導体エネルギー研究所
(62)分割の表示	特願2021-149660(P2021-149660)		神奈川県厚木市長谷3 9 8番地
)の分割	(72)発明者	山崎 舜平
原出願日	平成22年10月19日(2010.10.19)		神奈川県厚木市長谷3 9 8番地 株式会
(65)公開番号	特開2023-29617(P2023-29617A)		社半導体エネルギー研究所内
(43)公開日	令和5年3月3日(2023.3.3)	(72)発明者	小山 潤
審査請求日	令和5年1月19日(2023.1.19)		神奈川県厚木市長谷3 9 8番地 株式会
(31)優先権主張番号	特願2009-242689(P2009-242689)		社半導体エネルギー研究所内
(32)優先日	平成21年10月21日(2009.10.21)	(72)発明者	今井 馨太郎
(33)優先権主張国・地域又は機関	日本国(JP)		神奈川県厚木市長谷3 9 8番地 株式会
		審査官	石塚 健太郎
		最終頁に続く	

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

第1のトランジスタと、第2のトランジスタと、を有する半導体装置であって、
前記第1のトランジスタのチャネル形成領域を有するシリコン半導体層と、
前記シリコン半導体層上に位置する領域を有し、かつ、前記第1のトランジスタのゲート
としての機能を有する第1の導電層と、
前記第1の導電層の上方に位置する領域を有する第1の絶縁層と、
前記第1の絶縁層の上面に接する領域を有し、かつ、前記シリコン半導体層と電氣的に接
続された第2の導電層と、
前記第1の絶縁層の上面に接する領域を有し、かつ、前記第2のトランジスタのゲートと
しての機能を有する第3の導電層と、
前記第3の導電層上に位置する領域を有し、かつ、前記第2のトランジスタのチャネル形
成領域を有する酸化物半導体層と、
前記酸化物半導体層の上方に位置する領域を有する第2の絶縁層と、
前記第2の絶縁層の上面に接する領域を有し、かつ、前記第2の導電層と電氣的に接続さ
れた第4の導電層と、
前記第2の絶縁層の上面に接する領域を有し、かつ、前記酸化物半導体層と電氣的に接続
された第5の導電層と、
を有し、
前記第1のトランジスタのソース又はドレインの一方は、前記第5の導電層を介して前記

10

20

第 2 のトランジスタのソース又はドレインの一方と電氣的に接続される、
半導体装置。

【請求項 2】

第 1 のトランジスタと、第 2 のトランジスタと、を有する半導体装置であって、
前記第 1 のトランジスタのチャンネル形成領域を有するシリコン半導体層と、
前記シリコン半導体層上に位置する領域を有し、かつ、前記第 1 のトランジスタのゲート
としての機能を有する第 1 の導電層と、
前記第 1 の導電層の上方に位置する領域を有する第 1 の絶縁層と、
前記第 1 の絶縁層の上面に接する領域を有し、かつ、前記シリコン半導体層と電氣的に接
続された第 2 の導電層と、
前記第 1 の絶縁層の上面に接する領域を有し、かつ、前記第 2 のトランジスタのゲートと
しての機能を有する第 3 の導電層と、
前記第 3 の導電層上に位置する領域を有し、かつ、前記第 2 のトランジスタのチャンネル形
成領域を有する酸化物半導体層と、
前記酸化物半導体層の上方に位置する領域を有する第 2 の絶縁層と、
前記第 2 の絶縁層の上面に接する領域を有し、かつ、前記第 2 の導電層と電氣的に接続さ
れた第 4 の導電層と、
前記第 2 の絶縁層の上面に接する領域を有し、かつ、前記酸化物半導体層と電氣的に接続
された第 5 の導電層と、
前記第 2 の絶縁層の上面に接する領域を有し、かつ、前記酸化物半導体層と電氣的に接続
された第 6 の導電層と、
を有し、

10

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 5 の導電層を介して前記
第 2 のトランジスタのソース又はドレインの一方と電氣的に接続される、
半導体装置。

20

【請求項 3】

第 1 のトランジスタと、第 2 のトランジスタと、を有する半導体装置であって、
前記第 1 のトランジスタのチャンネル形成領域を有するシリコン半導体層と、
前記シリコン半導体層上に位置する領域を有し、かつ、前記第 1 のトランジスタのゲート
としての機能を有する第 1 の導電層と、
前記第 1 の導電層の上方に位置する領域を有する第 1 の絶縁層と、
前記第 1 の絶縁層の上面に接する領域を有し、かつ、前記第 1 のトランジスタのソース又
はドレインの一方と電氣的に接続された第 2 の導電層と、
前記第 1 の絶縁層の上面に接する領域を有し、かつ、前記第 2 のトランジスタのゲートと
しての機能を有する第 3 の導電層と、
前記第 3 の導電層上に位置する領域を有し、かつ、前記第 2 のトランジスタのチャンネル形
成領域を有する酸化物半導体層と、
前記酸化物半導体層の上方に位置する領域を有する第 2 の絶縁層と、
前記第 2 の絶縁層の上面に接する領域を有し、かつ、前記第 2 の導電層と電氣的に接続さ
れた第 4 の導電層と、
前記第 2 の絶縁層の上面に接する領域を有する第 5 の導電層と、
を有し、

30

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 5 の導電層を介して前記
第 2 のトランジスタのソース又はドレインの一方と電氣的に接続される、
半導体装置。

40

【請求項 4】

第 1 のトランジスタと、第 2 のトランジスタと、を有する半導体装置であって、
前記第 1 のトランジスタのチャンネル形成領域を有するシリコン半導体層と、
前記シリコン半導体層上に位置する領域を有し、かつ、前記第 1 のトランジスタのゲート
としての機能を有する第 1 の導電層と、

50

前記第 1 の導電層の上方に位置する領域を有する第 1 の絶縁層と、
前記第 1 の絶縁層の上面に接する領域を有し、かつ、前記シリコン半導体層と電氣的に接続された第 2 の導電層と、
前記第 1 の絶縁層の上面に接する領域を有し、かつ、前記第 2 のトランジスタのゲートとしての機能を有する第 3 の導電層と、
前記第 3 の導電層上に位置する領域を有し、かつ、前記第 2 のトランジスタのチャネル形成領域を有する酸化物半導体層と、
前記酸化物半導体層の上方に位置する領域を有する第 2 の絶縁層と、
前記第 2 の絶縁層の上面に接する領域を有し、かつ、前記第 2 の導電層と電氣的に接続された第 4 の導電層と、
前記第 2 の絶縁層の上面に接する領域を有する第 5 の導電層と、
前記第 2 の絶縁層の上面に接する領域を有する第 6 の導電層と、
を有し、
前記第 1 のトランジスタのソース又はドレインの一方は、前記第 5 の導電層を介して前記第 2 のトランジスタのソース又はドレインの一方と電氣的に接続され、
前記第 2 のトランジスタのソース又はドレインの他方は、前記第 6 の導電層と電氣的に接続される、
半導体装置。

10

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、
前記第 2 のトランジスタのチャネル形成領域は、前記第 1 のトランジスタのチャネル形成領域と重なりを有さない、
半導体装置。

20

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一において、
前記酸化物半導体層は、In、Ga 及び Zn を含む、
半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

発明の技術分野は、半導体装置およびその作製方法に関する。ここで、半導体装置とは、半導体特性を利用することで機能する素子および装置全般を指すものである。

30

【背景技術】

【0002】

金属酸化物は多様に存在し、さまざまな用途に用いられている。酸化インジウムはよく知られた材料であり、液晶表示装置などに必要とされる透明電極の材料として用いられている。

【0003】

金属酸化物の中には半導体特性を示すものがある。半導体特性を示す金属酸化物としては、例えば、酸化タングステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような金属酸化物をチャネル形成領域に用いた薄膜トランジスタが既に知られている（例えば、特許文献 1 乃至特許文献 4、非特許文献 1 等参照）。

40

【0004】

ところで、金属酸化物には、一元系酸化物のみでなく多元系酸化物も知られている。例えば、ホモロガス相を有する $\text{InGaO}_3(\text{ZnO})_m$ (m : 自然数) は、In、Ga および Zn を有する多元系酸化物半導体として知られている（例えば、非特許文献 2 乃至非特許文献 4 等参照）。

【0005】

そして、上記のような In - Ga - Zn 系酸化物で構成される酸化物半導体も、薄膜トランジスタのチャネル形成領域に適用可能であることが確認されている（例えば、特許文献

50

5、非特許文献5および非特許文献6等参照)。

【先行技術文献】

【特許文献】

【0006】

【文献】特開昭60-198861号公報

【文献】特開平8-264794号公報

【文献】特表平11-505377号公報

【文献】特開2000-150900号公報

【文献】特開2004-103957号公報

【非特許文献】

10

【0007】

【文献】M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, 「A ferroelectric transparent thin-film transistor」、Appl. Phys. Lett., 17 June 1996, Vol. 68 p. 3650-3652

【文献】M. Nakamura, N. Kimizuka, and T. Mohri, 「The Phase Relations in the In_2O_3 - Ga_2ZnO_4 - ZnO System at 1350 °C」、J. Solid State Chem., 1991, Vol. 93, p. 298-315

20

【文献】N. Kimizuka, M. Isobe, and M. Nakamura, 「Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3, 4$, and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7, 8$, 9 , and 16) in the In_2O_3 - ZnGa_2O_4 - ZnO System」、J. Solid State Chem., 1995, Vol. 116, p. 170-178

【文献】中村真佐樹、君塚昇、毛利尚彦、磯部光正、「ホモロガス相、 $\text{InFeO}_3(\text{ZnO})_m$ (m : 自然数) とその同型化合物の合成および結晶構造」、固体物理、1993年、Vol. 28、No. 5、p. 317-327

30

【文献】K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, 「Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor」、SCIENCE, 2003, Vol. 300, p. 1269-1272

【文献】K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, 「Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors」、NATURE, 2004, Vol. 432 p. 488-492

40

【発明の概要】

【発明が解決しようとする課題】

【0008】

ところで、半導体装置の代表例である電界効果トランジスタは、シリコンなどの材料を用いて構成されるのが一般的である。しかし、シリコンなどを材料として用いる半導体装置では、スイッチング特性が十分に高いとはいえず、例えば、CMOSインバータ回路を構成する場合などにおいては、非常に大きな貫通電流により半導体装置が破壊されるといった問題が生じていた。また、貫通電流により消費電力が増大するという問題も生じていた

50

。

【 0 0 0 9 】

また、シリコンなどを材料として用いる半導体装置では、オフ電流（漏れ電流などとも呼ぶ）は実質的にゼロといえる程度に小さいものではない。このため、半導体装置の動作にかかわらず僅かな電流が流れてしまい、記憶装置や液晶表示装置といった電荷保持型の半導体装置を構成する場合には、十分な電荷保持期間を確保することが困難であった。また、オフ電流によって半導体装置の消費電力が増大してしまうという問題もあった。

【 0 0 1 0 】

そこで、開示する発明の一態様は、上述の問題を解消した新たな構造の半導体装置を提供することを目的の一とする。

【課題を解決するための手段】

【 0 0 1 1 】

本発明の一態様は、酸化物半導体を用いて形成されるトランジスタと、それ以外の材料を用いて形成されるトランジスタとの積層構造に係る半導体装置である。例えば、次のような構成を採用することができる。

【 0 0 1 2 】

本発明の一態様は、半導体材料を含む基板に設けられたチャネル形成領域と、チャネル形成領域を挟むように設けられた不純物領域と、チャネル形成領域上の第1のゲート絶縁層と、第1のゲート絶縁層上の第1のゲート電極と、不純物領域と電気的に接続する第1のソース電極および第1のドレイン電極と、を有する第1のトランジスタと、半導体材料を含む基板上の第2のゲート電極と、第2のゲート電極上の第2のゲート絶縁層と、第2のゲート絶縁層上の酸化物半導体層と、酸化物半導体層と電気的に接続する第2のソース電極および第2のドレイン電極と、を有する第2のトランジスタと、を有する半導体装置である。

【 0 0 1 3 】

上記において、第1のゲート電極と、第2のゲート電極とは、電気的に接続され、第1のソース電極または第1のドレイン電極と、第2のソース電極または第2のドレイン電極とは、電気的に接続されていることが好適である。また、第1のトランジスタはp型トランジスタ（pチャネル型のトランジスタ）であり、第2のトランジスタはn型トランジスタ（nチャネル型のトランジスタ）であると好適である。

【 0 0 1 4 】

また、上記において、第1のゲート電極と、第2のソース電極または第2のドレイン電極とは、電気的に接続されていることが好適である。

【 0 0 1 5 】

また、上記において、半導体材料を含む基板としては、単結晶半導体基板またはSOI基板を採用するのが好適である。特に、半導体材料はシリコンとするのが好適である。

【 0 0 1 6 】

また、上記において、酸化物半導体層は、In-Ga-Zn-O系の酸化物半導体材料を含んでいることが好適である。特に、酸化物半導体層は、 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ の結晶を含んでいることが好適である。さらに、酸化物半導体層の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下とすることが好適である。また、第2のトランジスタのオフ電流は $1 \times 10^{-13} \text{ A}$ 以下とすることが好適である。

【 0 0 1 7 】

上記において、第2のトランジスタは、第1のトランジスタと重畳する領域に設けられた構成とすることができる。

【 0 0 1 8 】

なお、第1のソース電極または第1のドレイン電極と、第2のソース電極または第2のドレイン電極とは、一体に形成されたものであっても良い。つまり、第2のソース電極または第2のドレイン電極の一部が、第1のソース電極または第1のドレイン電極として機能するものであっても良いし、第1のソース電極または第1のドレイン電極の一部が、第2

10

20

30

40

50

のソース電極または第2のドレイン電極として機能するものであっても良い。

【0019】

なお、本明細書等において「上」や「下」という用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上の第1のゲート電極」の表現であれば、ゲート絶縁層と第1のゲート電極との間に他の構成要素を含むものを除外しない。また、「上」「下」という用語は説明の便宜のために用いる表現に過ぎず、特に言及する場合を除き、その上下を入れ替えたものも含む。

【0020】

また、本明細書等において「電極」や「配線」という用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」という用語は、複数の「電極」や「配線」が一体となって形成されている場合などをも含む。

10

【0021】

また、一般に「SOI基板」は絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板をも含む概念として用いる。つまり、「SOI基板」が有する半導体層は、シリコン半導体層に限定されない。また、「SOI基板」における基板は、シリコンウェハなどの半導体基板に限らず、ガラス基板や石英基板、サファイア基板、金属基板などの非半導体基板をも含む。つまり、絶縁表面を有する導体基板や絶縁体基板上に半導体材料からなる層を有するものも、広く「SOI基板」に含まれる。さらに、本明細書等において、「半導体基板」は、半導体材料のみからなる基板を指すに留まらず、半導体材料を含む基板全般を示すものとする。つまり、本明細書等においては「SOI基板」も広く「半導体基板」に含まれる。

20

【発明の効果】

【0022】

本発明の一態様では、下部に酸化物半導体以外の材料を用いたトランジスタを有し、上部に酸化物半導体を用いたトランジスタを有する半導体装置が提供される。

【0023】

このように、酸化物半導体以外の材料を用いたトランジスタと、酸化物半導体を用いたトランジスタとを一体に備える構成とすることで、酸化物半導体を用いたトランジスタとは異なる電気特性（例えば、素子の動作に関与するキャリアが異なるなど）が必要な半導体装置を実現することができる。

30

【0024】

また、酸化物半導体を用いたトランジスタはスイッチング特性が良いため、その特性を利用した優れた半導体装置を作製することができる。例えば、CMOSインバータ回路では、貫通電流を十分に抑制することができるため、半導体装置の消費電力を低減し、また、大電流による半導体装置の破壊を防ぐことができる。また、酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいため、これを用いることにより半導体装置の消費電力を低減することができる。

【図面の簡単な説明】

40

【0025】

【図1】半導体装置を説明するための断面図および平面図

【図2】半導体装置を説明するための回路図

【図3】半導体装置を説明するための断面図および平面図

【図4】半導体装置の作製工程を説明するための断面図

【図5】半導体装置の作製工程を説明するための断面図

【図6】半導体装置の作製工程を説明するための断面図

【図7】半導体装置を説明するための断面図および平面図

【図8】半導体装置を説明するための回路図

【図9】半導体装置を説明するための断面図および平面図

50

【図 1 0】半導体装置を説明するための回路図

【図 1 1】半導体装置を用いた電子機器を説明するための図

【発明を実施するための形態】

【0026】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではないとする。

【0027】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解を容易にするために、実際の位置、大きさ、範囲などを表していない場合がある。よって、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【0028】

なお、本明細書等における「第 1」、「第 2」、「第 3」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0029】

(実施の形態 1)

本実施の形態では、開示する発明の一態様に係る半導体装置の構成および作製方法について、図 1 乃至図 6 を参照して説明する。

【0030】

<半導体装置の構成>

図 1 (A) には、本実施の形態に係る半導体装置の断面図を、図 1 (B) には、本実施の形態に係る半導体装置の平面図を、それぞれ示す。ここで、図 1 (A) は、図 1 (B) の線 A 1 - A 2 および線 D 1 - D 2 における断面に相当する。図 1 (A) および図 1 (B) に示される半導体装置は、下部に p 型トランジスタ 160 を有し、上部に酸化物半導体を用いた n 型トランジスタ 162 を有する。

【0031】

p 型トランジスタ 160 は、半導体材料を含む基板 100 に設けられたチャネル形成領域 116 と、チャネル形成領域 116 を挟むように設けられた不純物領域 114 および高濃度不純物領域 120 (これらをあわせて単に不純物領域とも呼ぶ) と、チャネル形成領域 116 上に設けられたゲート絶縁層 108a と、ゲート絶縁層 108a 上に設けられたゲート電極 110a と、チャネル形成領域 116 の一方の側に設けられた不純物領域 114 と電気的に接続するソース電極またはドレイン電極 130a と、チャネル形成領域 116 の他方の側に設けられた不純物領域 114 と電気的に接続するソース電極またはドレイン電極 130b を有する。

【0032】

ここで、ゲート電極 110a の側面にはサイドウォール絶縁層 118 が設けられている。また、基板 100 に、平面的に見てサイドウォール絶縁層 118 を挟むように設けられた、高濃度不純物領域 120 を有し、高濃度不純物領域 120 上には金属化合物領域 124 が存在する。また、基板 100 上には p 型トランジスタ 160 を囲むように素子分離絶縁層 106 が設けられており、p 型トランジスタ 160 を覆うように、層間絶縁層 126 および層間絶縁層 128 が設けられている。層間絶縁層 126 および層間絶縁層 128 に形成された開口を通じて、ソース電極またはドレイン電極 130a は、チャネル形成領域 116 の一方の側に設けられた金属化合物領域 124 と電気的に接続され、ソース電極またはドレイン電極 130b は、チャネル形成領域 116 の他方の側に設けられた金属化合物領域 124 と電気的に接続されている。つまり、ソース電極またはドレイン電極 130a は、チャネル形成領域 116 の一方の側に設けられた金属化合物領域 124 を介してチャネル形成領域 116 の一方の側に設けられた高濃度不純物領域 120 およびチャネル形成領域 116 の一方の側に設けられた不純物領域 114 と電気的に接続され、ソース電極またはドレイン電極 130b は、チャネル形成領域 116 の他方の側に設けられた金属化合

10

20

30

40

50

物領域 1 2 4 を介してチャネル形成領域 1 1 6 の他方の側に設けられた高濃度不純物領域 1 2 0 およびチャネル形成領域 1 1 6 の他方の側に設けられた不純物領域 1 1 4 と電氣的に接続されている。

【 0 0 3 3 】

n 型トランジスタ 1 6 2 は、層間絶縁層 1 2 8 上に設けられたゲート電極 1 3 6 c と、ゲート電極 1 3 6 c 上に設けられたゲート絶縁層 1 3 8 と、ゲート絶縁層 1 3 8 上に設けられた酸化物半導体層 1 4 0 と、酸化物半導体層 1 4 0 上に設けられ、酸化物半導体層 1 4 0 と電氣的に接続されているソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b とを有する。

【 0 0 3 4 】

ここで、n 型トランジスタ 1 6 2 のゲート電極 1 3 6 c は、層間絶縁層 1 2 8 上に形成された絶縁層 1 3 2 に、埋め込まれるように設けられている。また、ゲート電極 1 3 6 c と同様に、p 型トランジスタ 1 6 0 のソース電極またはドレイン電極 1 3 0 a、1 3 0 b 上に接して電極 1 3 6 a、電極 1 3 6 b が形成されている。

【 0 0 3 5 】

また、n 型トランジスタ 1 6 2 の上には、酸化物半導体層 1 4 0 の一部と接するように、保護絶縁層 1 4 4 が設けられており、保護絶縁層 1 4 4 上には層間絶縁層 1 4 6 が設けられている。ここで、保護絶縁層 1 4 4 および層間絶縁層 1 4 6 には、ソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b にまで達する開口が設けられており、当該開口を通じて、電極 1 5 0 c、電極 1 5 0 d が、ソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b に接して形成されている。また、電極 1 5 0 c、電極 1 5 0 d と同様に、ゲート絶縁層 1 3 8、保護絶縁層 1 4 4、層間絶縁層 1 4 6 に設けられた開口を通じて、電極 1 3 6 a、電極 1 3 6 b に接する電極 1 5 0 a、電極 1 5 0 b が形成されている。

【 0 0 3 6 】

ここで、酸化物半導体層 1 4 0 は水素などの不純物が十分に除去され、高純度化されているものであることが望ましい。具体的には、酸化物半導体層 1 4 0 の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。また、水素濃度が十分に低減されて高純度化された酸化物半導体層 1 4 0 を用いることで、n 型トランジスタ 1 6 2 は、極めて優れたオフ電流特性を得ることができる。例えば、ドレイン電圧 V_d が + 1 V または + 10 V の場合であって、ゲート電圧 V_g が - 5 V から - 20 V の範囲では、オフ電流は $1 \times 10^{-13} \text{ A}$ 以下である。このように、水素濃度が十分に低減されて高純度化された酸化物半導体層 1 4 0 を適用し、n 型トランジスタ 1 6 2 のオフ電流を低減することにより、優れた特性の半導体装置を得ることができる。なお、上述の酸化物半導体層中の水素濃度は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectroscopy) で測定したものである。

【 0 0 3 7 】

また、層間絶縁層 1 4 6 上には絶縁層 1 5 2 が設けられており、絶縁層 1 5 2 に埋め込まれるように、電極 1 5 4 a、電極 1 5 4 b、電極 1 5 4 c が設けられている。ここで、電極 1 5 4 a は電極 1 5 0 a と接しており、電極 1 5 4 b は電極 1 5 0 b および電極 1 5 0 c と接しており、電極 1 5 4 c は電極 1 5 0 d と接している。

【 0 0 3 8 】

つまり、図 1 に示される半導体装置では、p 型トランジスタ 1 6 0 のソース電極またはドレイン電極 1 3 0 b と、n 型トランジスタ 1 6 2 のソース電極またはドレイン電極 1 4 2 a とが、電極 1 3 6 b、電極 1 5 0 b、電極 1 5 4 b および電極 1 5 0 c を介して電氣的に接続されている。

【 0 0 3 9 】

また、p 型トランジスタ 1 6 0 のゲート電極 1 1 0 a と n 型トランジスタ 1 6 2 のゲート電極 1 3 6 c も、層間絶縁層 1 2 6 および層間絶縁層 1 2 8 に形成される電極を介して電

10

20

30

40

50

氣的に接続される。

【 0 0 4 0 】

なお、p型トランジスタ160のソース電極またはドレイン電極130aは、電極154a、電極150a、電極136aを介して、第1の電位を供給する電源線と電氣的に接続される。また、n型トランジスタ162のソース電極またはドレイン電極142bは、電極154c、電極150dを介して、第2の電位を供給する電源線と電氣的に接続される。

【 0 0 4 1 】

p型トランジスタ160とn型トランジスタ162を相補的に接続したCMOSインバータ回路の等価回路を図2に示す。図2は、図1(A)および図1(B)に示す半導体装置において、電極154aを正の電位VDDとし、電極154cを接地電位GNDとした場合の例である。なお、接地電位に代えて、負の電位VDLとしても良い。

10

【 0 0 4 2 】

次に、上述の半導体装置と同一の基板において、n型トランジスタまたはp型トランジスタを単独で用いる場合の構成について、図3を参照して説明する。図3(A)は、下部のp型トランジスタ164と、上部の酸化物半導体を用いたn型トランジスタ166の断面図であり、図3(B)はその平面図である。なお、図3(A)は、図3(B)の、線B1-B2および線C1-C2における断面図に相当する。また、図3において、図1と同一の構成については、同一の符号を用いて説明する。

20

【 0 0 4 3 】

まず、p型トランジスタ164の構成および電氣的な接続関係について説明する。p型トランジスタ164のソース電極またはドレイン電極130c、ソース電極またはドレイン電極130dには、絶縁層132に埋め込まれるように形成された電極136d、電極136eが、それぞれ電氣的に接続されている。また、電極136d、電極136eには、ゲート絶縁層138、保護絶縁層144および層間絶縁層146に埋め込むように形成された電極150e、電極150fが、それぞれ電氣的に接続されている。さらに、電極150e、電極150fには、絶縁層152に埋め込まれるように形成された電極154d、電極154eが、それぞれ電氣的に接続されている。これにより、p型トランジスタ164のソース電極またはドレイン電極130cは、電極136d、電極150e、電極154dを介して所定の配線と電氣的に接続され、ソース電極またはドレイン電極130dは、電極136e、電極150f、電極154eを介して所定の配線と電氣的に接続されることになるため、p型トランジスタ164を単独で用いることができる。

30

【 0 0 4 4 】

次に、n型トランジスタ166の構成および電氣的な接続関係について説明する。素子分離絶縁層106上には、ゲート絶縁層108bが設けられている。また、ゲート絶縁層108b上には、ゲート配線110bが設けられている。ゲート配線110bには、層間絶縁層126および層間絶縁層128に埋め込まれるように形成された電極130eが、電氣的に接続されている。電極130eには、絶縁層132に埋め込まれるように形成されたゲート電極136fが、電氣的に接続されている。これにより、n型トランジスタ166のゲート電極136fは、電極130eを介して、ゲート配線110bと電氣的に接続されることになるため、n型トランジスタ166を単独で用いることができる。

40

【 0 0 4 5 】

< 半導体装置の作製方法 >

次に、上記半導体装置の作製方法の一例について説明する。以下では、はじめに下部のp型トランジスタの作製方法について説明し、その後、上部のn型トランジスタの作製方法について説明する。

【 0 0 4 6 】

< p型トランジスタの作製方法 >

まず、半導体材料を含む基板100を用意する(図4(A)参照)。半導体材料を含む基板100としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板

50

、シリコンゲルマニウムなどの化合物半導体基板、ＳＯＩ基板などを適用することができる。ここでは、半導体材料を含む基板１００として、単結晶シリコン基板を用いる場合の一例について示すものとする。なお、一般に「ＳＯＩ基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板をも含む概念として用いる。つまり、「ＳＯＩ基板」が有する半導体層は、シリコン半導体層に限定されない。また、ＳＯＩ基板には、ガラス基板などのような絶縁基板上に絶縁層を介して半導体層が設けられた構成のものが含まれるものとする。

【００４７】

基板１００上には、素子分離絶縁層を形成するためのマスクとなる保護層１０２を形成する（図４（Ａ）参照）。保護層１０２としては、例えば、酸化シリコンや窒化シリコン、窒化酸化シリコンなどを材料とする絶縁層を用いることができる。なお、この工程の前後において、トランジスタのしきい値電圧を制御するために、ｎ型の導電性を付与する不純物元素やｐ型の導電性を付与する不純物元素を基板１００に添加してもよい。半導体がシリコンの場合、ｎ型の導電性を付与する不純物としては、例えば、リンや砒素などを用いることができる。また、ｐ型の導電性を付与する不純物としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。

10

【００４８】

次に、上記の保護層１０２をマスクとしてエッチングを行い、保護層１０２に覆われていない領域（露出している領域）の基板１００の一部を除去する。これにより分離された半導体領域１０４が形成される（図４（Ｂ）参照）。当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

20

【００４９】

次に、半導体領域１０４を覆うように絶縁層を形成し、半導体領域１０４に重畳する領域の絶縁層を選択的に除去することで、素子分離絶縁層１０６を形成する（図４（Ｂ）参照）。当該絶縁層は、酸化シリコンや窒化シリコン、窒化酸化シリコンなどを用いて形成される。絶縁層の除去方法としては、ＣＭＰなどの研磨処理やエッチング処理などがあるが、いずれの方法を用いても良い。なお、半導体領域１０４の形成後、または、素子分離絶縁層１０６の形成後には、上記保護層１０２を除去する。

30

【００５０】

次に、半導体領域１０４上に絶縁層を形成し、当該絶縁層上に導電材料を含む層を形成する。

【００５１】

絶縁層は後のゲート絶縁層となるものであり、ＣＶＤ法やスパッタリング法等を用いて得られる酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等を含む膜の単層構造または積層構造とすると良い。他に、高密度プラズマ処理や熱酸化処理によって、半導体領域１０４の表面を酸化、窒化させることにより、上記絶縁層を形成してもよい。高密度プラズマ処理は、例えば、He、Ar、Kr、Xeなどの希ガスと、酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスを用いて行うことができる。また、絶縁層の厚さは特に限定されないが、例えば、１nm以上１００nm以下とすることができる。

40

【００５２】

導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、導電材料を含む多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、ＣＶＤ法、スパッタリング法、スピコート法などの各種成膜方法を用いることができる。なお、本実施の形態では、導電材料を含む層を、金属材料を用いて形成する場合の一例について示すものとする。

【００５３】

50

その後、絶縁層および導電材料を含む層を選択的にエッチングして、ゲート絶縁層 108a、ゲート電極 110a を形成する（図 4（C）参照）。なお、この際に、図 3 に示すゲート配線 110b を併せて形成することができる。

【0054】

次に、ゲート電極 110a を覆う絶縁層 112 を形成する（図 4（C）参照）。そして、半導体領域 104 に硼素（B）やアルミニウム（Al）などを添加して、浅い接合深さの不純物領域 114 を形成する（図 4（C）参照）。なお、不純物領域 114 の形成により、半導体領域 104 のゲート絶縁層 108a 下部は、チャネル形成領域 116 となる（図 4（C）参照）。ここで、添加する不純物の濃度は適宜設定することができるが、半導体素子の微細化の程度に合わせてその濃度を高くすることが望ましい。また、ここでは、絶縁層 112 を形成した後に不純物領域 114 を形成する工程を採用しているが、不純物領域 114 を形成した後に絶縁層 112 を形成する工程としても良い。

10

【0055】

次に、サイドウォール絶縁層 118 を形成する（図 4（D）参照）。サイドウォール絶縁層 118 は、絶縁層 112 を覆うように絶縁層を形成した後に、当該絶縁層に異方性の高いエッチング処理を適用することで、自己整合的に形成することができる。また、この際に、絶縁層 112 を部分的にエッチングして、ゲート電極 110a の上面と、不純物領域 114 の上面を露出させる。

【0056】

次に、ゲート電極 110a、不純物領域 114、サイドウォール絶縁層 118 等を覆うように、絶縁層を形成する。そして、当該絶縁層が不純物領域 114 と接する領域に、硼素（B）やアルミニウム（Al）などを添加して、高濃度不純物領域 120 を形成する（図 4（E）参照）。その後、上記絶縁層を除去し、ゲート電極 110a、サイドウォール絶縁層 118、高濃度不純物領域 120 等を覆うように金属層 122 を形成する（図 4（E）参照）。当該金属層 122 は、蒸着法やスパッタリング法、スピンコート法などの各種成膜方法を用いて形成することができる。金属層 122 は、半導体領域 104 を構成する半導体材料と反応して低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タングステン、ニッケル、コバルト、白金等がある。

20

【0057】

次に、熱処理を施して、上記金属層 122 と半導体材料とを反応させる。これにより、高濃度不純物領域 120 に接する金属化合物領域 124 が形成される（図 4（F）参照）。なお、ゲート電極 110a として多結晶シリコンなどを用いる場合には、その金属層 122 と接触する部分にも金属化合物領域が形成されることになる。

30

【0058】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、その他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理が実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであるため、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、金属化合物領域 124 を形成した後は、金属層 122 は除去する。

40

【0059】

次に、上述の工程により形成された各構成を覆うように、層間絶縁層 126、層間絶縁層 128 を形成する（図 4（G）参照）。層間絶縁層 126 や層間絶縁層 128 は、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。また、ポリイミド、アクリル等の有機絶縁材料を用いて形成しても良い。なお、ここでは、層間絶縁層 126 と層間絶縁層 128 の二層構造としているが、層間絶縁層の構成はこれに限定されない。層間絶縁層 128 の形成後には、その表面を、CMP やエッチングなどの方法によって平

50

平坦化しておくことが望ましい。

【 0 0 6 0 】

その後、上記層間絶縁層に、金属化合物領域 1 2 4 にまで達する開口を形成し、当該開口に、ソース電極またはドレイン電極 1 3 0 a、ソース電極またはドレイン電極 1 3 0 b（いずれも、ソース配線またはドレイン配線と呼ぶことができる）を形成する（図 4（H）参照）。ソース電極またはドレイン電極 1 3 0 a、ソース電極またはドレイン電極 1 3 0 b は、例えば、開口を含む領域に P V D 法や C V D 法を用いて導電層を形成した後、エッチングや C M P といった方法を用いて、上記導電層の一部を除去することにより形成することができる。

【 0 0 6 1 】

なお、上記導電層の一部を除去してソース電極またはドレイン電極 1 3 0 a、ソース電極またはドレイン電極 1 3 0 b を形成する際には、その表面が平坦になるように加工することが望ましい。例えば、開口を含む領域にチタン膜や窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する場合には、その後の C M P によって、不要なタングステン膜、チタン膜、窒化チタン膜などを除去すると共に、その表面の平坦性を向上させることができる。このように、ソース電極またはドレイン電極 1 3 0 a、ソース電極またはドレイン電極 1 3 0 b の表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

【 0 0 6 2 】

なお、ここでは、金属化合物領域 1 2 4 と接触するソース電極またはドレイン電極 1 3 0 a、ソース電極またはドレイン電極 1 3 0 b のみを示しているが、この工程において、ゲート電極 1 1 0 a と接触する配線などをあわせて形成することができる。また、この際に、図 3 に示すゲート配線 1 1 0 b に接する接続電極 1 3 0 e を形成することができる。ソース電極またはドレイン電極 1 3 0 a、ソース電極またはドレイン電極 1 3 0 b として用いることができる材料について特に限定はなく、各種導電材料を用いることができる。例えば、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウムなどの導電性材料を用いることができる。

【 0 0 6 3 】

以上により、半導体材料を含む基板 1 0 0 を用いた p 型トランジスタが形成される。上記工程の後には、さらに配線などを形成しても良い。配線の構造として、層間絶縁層および導電層の積層構造でなる多層配線構造を採用することにより、高度に集積化した半導体装置を提供することができる。

【 0 0 6 4 】

< n 型トランジスタの作製方法 >

次に、図 5 および図 6 を用いて、層間絶縁層 1 2 8 上に n 型トランジスタを作製する工程について説明する。なお、図 5 および図 6 では、図 1 に示す線 A 1 - A 2 の断面および線 D 1 - D 2 の断面における、n 型トランジスタの作製工程を示すものであるから、n 型トランジスタの下部に形成されている p 型トランジスタについては省略している。

【 0 0 6 5 】

まず、層間絶縁層 1 2 8、ソース電極またはドレイン電極 1 3 0 a、ソース電極またはドレイン電極 1 3 0 b 上に絶縁層 1 3 2 を形成する（図 5（A）参照）。絶縁層 1 3 2 は P V D 法や C V D 法などを用いて形成することができる。また、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。

【 0 0 6 6 】

次に、絶縁層 1 3 2 に対し、ソース電極またはドレイン電極 1 3 0 a にまで達する開口、および、ソース電極またはドレイン電極 1 3 0 b にまで達する開口を形成する。この際、後にゲート電極 1 3 6 c が形成される領域にも併せて開口を形成する。そして、上記開口に埋め込むように、導電層 1 3 4 を形成する（図 5（B）参照）。上記開口はマスクを用いたエッチングなどの方法で形成することができる。当該マスクは、フォトリソを用い

10

20

30

40

50

た露光などの方法によって形成することが可能である。エッチングとしてはウェットエッチング、ドライエッチングのいずれを用いても良いが、微細加工の観点からは、ドライエッチングを用いることが好適である。導電層 134 の形成は、PVD 法や CVD 法などの成膜法を用いて行うことができる。導電層 134 の形成に用いることができる材料としては、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウムなどの導電性材料や、これらの合金、化合物（例えば窒化物）などが挙げられる。

【0067】

具体的には、例えば、開口を含む領域に PVD 法によりチタン膜を薄く形成し、CVD 法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、PVD 法により形成されるチタン膜は、下部電極（ここではソース電極またはドレイン電極 130a や、ソース電極またはドレイン電極 130b）との界面の酸化膜を還元し、下部電極との接触抵抗を低減させる機能を有する。また、その後の形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。

10

【0068】

導電層 134 を形成した後は、エッチングや CMP といった方法を用いて導電層 134 の一部を除去し、絶縁層 132 を露出させて、電極 136a、電極 136b、ゲート電極 136c を形成する（図 5（C）参照）。なお、上記導電層 134 の一部を除去して電極 136a、電極 136b、ゲート電極 136c を形成する際には、表面が平坦になるように加工することが望ましい。このように、絶縁層 132、電極 136a、電極 136b、ゲート電極 136c の表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

20

【0069】

次に、絶縁層 132、電極 136a、電極 136b、ゲート電極 136c を覆うように、ゲート絶縁層 138 を形成する（図 5（D）参照）。ゲート絶縁層 138 は、CVD 法やスパッタリング法等を用いて形成することができる。また、ゲート絶縁層 138 は、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素、酸化アルミニウムなどを含むように形成するのが好適である。なお、ゲート絶縁層 138 は、単層構造としても良いし、積層構造としても良い。例えば、原料ガスとして、シラン（ SiH_4 ）、酸素、窒素を用いたプラズマ CVD 法により、酸化窒化珪素でなるゲート絶縁層 138 を形成することができる。ゲート絶縁層 138 の厚さは特に限定されないが、例えば、20nm 以上 500nm 以下とすることができる。積層構造の場合は、例えば、膜厚 50nm 以上 200nm 以下の第 1 のゲート絶縁層と、第 1 のゲート絶縁層上の膜厚 5nm 以上 300nm 以下の第 2 のゲート絶縁層の積層とすると好適である。

30

【0070】

なお、不純物を除去することにより i 型化または実質的に i 型化された酸化物半導体（高純度化された酸化物半導体）は、界面準位や界面電荷に対して極めて敏感であるため、このような酸化物半導体を酸化物半導体層に用いる場合には、ゲート絶縁層との界面は重要である。つまり、高純度化された酸化物半導体層に接するゲート絶縁層 138 には、高品質化が要求されることになる。

40

【0071】

例えば、 μ 波（2.45GHz）を用いた高密度プラズマ CVD 法は、緻密で絶縁耐压の高い高品質なゲート絶縁層 138 を形成できる点で好適である。高純度化された酸化物半導体層と高品質ゲート絶縁層とが密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。

【0072】

もちろん、ゲート絶縁層として良質な絶縁層を形成できるものであれば、高純度化された酸化物半導体層を用いる場合であっても、スパッタリング法やプラズマ CVD 法など他の方法を適用することができる。また、成膜後の熱処理によって、ゲート絶縁層の膜質や酸

50

化物半導体層との界面特性が改質される絶縁層を形成しても良い。いずれにしても、ゲート絶縁層としての膜質が良好であると共に、酸化物半導体層との界面準位密度を低減し、良好な界面を形成できるものであれば良い。

【0073】

さらに、 85 、 $2 \times 10^6 \text{ V/cm}$ 、 12 時間のゲートバイアス・熱ストレス試験（BT試験）においては、不純物が酸化物半導体に添加されていると、不純物と酸化物半導体の主成分との結合が、強電界（B：バイアス）と高温（T：温度）により切断され、生成された未結合手がしきい値電圧（ V_{th} ）のシフトを誘発することとなる。

【0074】

これに対して、開示する発明の一態様では、酸化物半導体の不純物、特に水素や水などを極力排除し、上記のようにゲート絶縁層との界面特性を良好にすることにより、BT試験に対しても安定なトランジスタを得ることを可能としている。

【0075】

次いで、ゲート絶縁層138上に、酸化物半導体層を形成し、マスクを用いたエッチングなどの方法によって該酸化物半導体層を加工して、島状の酸化物半導体層140を形成する（図5（E）参照）。

【0076】

酸化物半導体層としては、In-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体層、特に非晶質酸化物半導体層を用いるのが好適である。本実施の形態では、酸化物半導体層としてIn-Ga-Zn-O系の酸化物半導体ターゲットを用いて非晶質の酸化物半導体層をスパッタ法により形成することとする。なお、非晶質の酸化物半導体層中にシリコンを添加することで、その結晶化を抑制することができるから、例えば、 SiO_2 を2重量%以上10重量%以下含むターゲットを用いて酸化物半導体層を形成しても良い。

【0077】

酸化物半導体層をスパッタリング法で作製するためのターゲットとしては、例えば、酸化亜鉛を主成分とする酸化物半導体成膜用ターゲットを用いることができる。また、In、Ga、およびZnを含む酸化物半導体成膜用ターゲット（組成比として、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol数比]）などを用いることもできる。また、In、Ga、およびZnを含む酸化物半導体成膜用ターゲットとして、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol数比]、または $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 4$ [mol数比]の組成比を有するターゲットを用いても良い。酸化物半導体成膜用ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い酸化物半導体成膜用ターゲットを用いることにより、緻密な酸化物半導体層が形成される。

【0078】

成膜の雰囲気は、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、または、希ガス（代表的にはアルゴン）と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物の濃度が数ppm程度（望ましくは数ppb程度）にまで除去された高純度ガスを用いるのが好適である。

【0079】

酸化物半導体層の成膜の際には、減圧状態に保持された処理室内に基板を保持し、基板温度を 100 以上 600 以下好ましくは 200 以上 400 以下とする。基板を加熱しながら成膜することにより、成膜した酸化物半導体層に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、処理室内の残留水分を除去しつつ水素および水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして酸化物半導体層を形成する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタ

10

20

30

40

50

ンサブレーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水 (H_2O) など水素原子を含む化合物 (より好ましくは炭素原子を含む化合物も) 等が排気されるため、当該成膜室で形成した酸化物半導体層に含まれる不純物の濃度を低減できる。

【0080】

形成条件としては、例えば、基板とターゲットの間との距離が100mm、圧力が0.6Pa、直流(DC)電力が0.5kW、雰囲気が酸素(酸素流量比率100%)雰囲気、といった条件を適用することができる。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パーティクル、ゴミともいう)が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体層は、2nm以上200nm以下、好ましくは5nm以上30nm以下の厚さとする。なお、適用する酸化物半導体材料により適切な厚さは異なるから、厚さは用いる材料に応じて適宜選択すればよい。

10

【0081】

なお、酸化物半導体層をスパッタ法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層138の表面に付着しているゴミを除去することが好ましい。ここで、逆スパッタとは、通常スパッタにおいては、スパッタターゲットにイオンを衝突させるところ、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、基板付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素雰囲気、ヘリウム雰囲気、酸素雰囲気などを用いても良い。

20

【0082】

上記酸化物半導体層のエッチングには、ドライエッチング、ウェットエッチングのいずれを用いても良い。もちろん、両方を組み合わせて用いることもできる。所望の形状にエッチングできるよう、材料に合わせてエッチング条件(エッチングガスやエッチング液、エッチング時間、温度等)を適宜設定する。

【0083】

ドライエッチングに用いるエッチングガスとしては、例えば、塩素を含むガス(塩素系ガス、例えば塩素(Cl_2)、塩化硼素(BCl_3)、塩化珪素(SiCl_4)、四塩化炭素(CCl_4)など)などを用いることができる。また、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素(CF_4)、弗化硫黄(SF_6)、弗化窒素(NF_3)、トリフルオロメタン(CHF_3)など)、臭化水素(HBr)、酸素(O_2)、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス、などを用いても良い。

30

【0084】

ドライエッチング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いることができる。所望の形状にエッチングできるように、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)は適宜設定する。

40

【0085】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N(関東化学社製)などを用いてもよい。

【0086】

次いで、酸化物半導体層に第1の加熱処理を行う。この第1の加熱処理によって酸化物半導体層の脱水化または脱水素化を行うことができる。第1の加熱処理の温度は、300以上750以下、好ましくは400以上基板の歪み点未満とする。例えば、抵抗発熱体などを用いた電気炉に基板を導入し、酸化物半導体層140に対して窒素雰囲気下450において1時間の加熱処理を行う。この間、酸化物半導体層140は、大気に触れないようにし、水や水素の再混入が行われないようにする。

50

【0087】

なお、加熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置であっても良い。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

10

【0088】

例えば、第1の加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温加熱処理が可能となる。また、短時間の加熱処理であるため、基板の歪み点を超える温度条件であっても適用が可能となる。

【0089】

なお、第1の加熱処理は、窒素、または希ガス(ヘリウム、ネオン、アルゴン等)を主成分とする雰囲気であって、水、水素などが含まれない雰囲気で行うことが望ましい。例えば、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

20

【0090】

また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶または多結晶となる場合もある。例えば、結晶化率が90%以上、または80%以上の微結晶の酸化物半導体層となる場合もある。また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、結晶成分を含まない非晶質の酸化物半導体層となる場合もある。

【0091】

また、非晶質の酸化物半導体(例えば、酸化物半導体層の表面)に微結晶(粒径1nm以上20nm以下(代表的には2nm以上4nm以下))が混在する酸化物半導体層となる場合もある。例えば、In-Ga-Zn-O系の酸化物半導体成膜用ターゲットを用いて酸化物半導体層を形成する場合には、電気的異方性を有する $\text{In}_2\text{Ga}_2\text{ZnO}_7$ の結晶粒が配向した微結晶部を設けることで、酸化物半導体層の電気的特性を変化させることができる。このように、 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ の結晶粒が配向した微結晶部を酸化物半導体層の表面に形成することで、例えば、酸化物半導体層の表面に平行な方向の導電性を向上させ、酸化物半導体層の表面に垂直な方向の絶縁性を向上させることができる。また、このような微結晶部は、酸化物半導体層中への水や水素などの不純物の侵入を抑制する機能を有する。なお、上述の酸化物半導体層は、GRTA処理による酸化物半導体層の表面加熱によって形成することができる。また、Znの含有量がInまたはGaの含有量より小さいスパッタターゲットを用いることで、より好適に形成することが可能である。

30

40

【0092】

酸化物半導体層140に対する第1の加熱処理は、島状の酸化物半導体層140に加工する前の酸化物半導体層に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行うことになる。

【0093】

なお、上記第1の加熱処理は、酸化物半導体層140に対する脱水化、脱水素化の効果があるから脱水化処理、脱水素化処理などと呼ぶことも可能である。このような脱水化処理、脱水素化処理は、酸化物半導体層の形成後、酸化物半導体層140上にソース電極また

50

はドレイン電極を積層させた後、ソース電極またはドレイン電極上に保護絶縁層を形成した後、などのタイミングにおいて行うことが可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行って良い。

【0094】

次に、酸化物半導体層140に接するように、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bを形成する(図5(F)参照)。ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bは、酸化物半導体層140を覆うように導電層を形成した後、当該導電層を選択的にエッチングすることにより形成することができる。

【0095】

導電層は、スパッタ法などのPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムから選択されたいずれか一または複数の材料を用いてもよい。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素を単数、または複数組み合わせた材料を用いてもよい。導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、チタン膜と、アルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。

【0096】

ここで、エッチングに用いるマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いるのが好適である。酸化物半導体層140上のソース電極またはドレイン電極142aの下端部と、酸化物半導体層140上のソース電極またはドレイン電極142bの下端部との間隔によって、トランジスタのチャネル長(L)が決定される。なお、チャネル長(L)が25nm未満において露光を行う場合には、数nm~数10nmと極めて波長が短い超紫外線(Extreme Ultraviolet)を用いてマスク形成の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長(L)を10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化できる。さらにオフ電流値が極めて小さいため、微細化によっても消費電力が大きくなりずに済む。

【0097】

なお、導電層のエッチングの際に、酸化物半導体層140が除去されないようにそれぞれの材料およびエッチング条件を適宜調節する。なお、材料およびエッチング条件によっては、当該工程において、酸化物半導体層140はその一部がエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。

【0098】

また、酸化物半導体層140とソース電極またはドレイン電極142aの間や、酸化物半導体層140とソース電極またはドレイン電極142bの間には、酸化物導電層を形成してもよい。酸化物導電層と、ソース電極またはドレイン電極142aやソース電極またはドレイン電極142bを形成するための金属層は、連続して形成すること(連続成膜)が可能である。酸化物導電層はソース領域またはドレイン領域として機能しうる。このような酸化物導電層を設けることで、ソース領域またはドレイン領域の低抵抗化を図ることができるため、トランジスタの高速動作が実現される。

【0099】

また、上記マスクの使用数や工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、アッシングによりさらに形状を変形させることができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。つまり、一枚の多階調マスクによ

10

20

30

40

50

って、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって、露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が図れる。

【0100】

なお、上述の工程の後には、 N_2O 、 N_2 、またはArなどのガスを用いたプラズマ処理を行うのが好ましい。当該プラズマ処理によって、露出している酸化物半導体層の表面に付着した水などが除去される。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0101】

次に、大気に触れさせることなく、酸化物半導体層140の一部に接する保護絶縁層144を形成する(図5(G)参照)。

10

【0102】

保護絶縁層144は、1nm以上の膜厚とし、スパッタ法など、保護絶縁層144に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。保護絶縁層144に用いることができる材料としては、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素などがある。また、その構造は、単層構造としても良いし、積層構造としても良い。保護絶縁層144を形成する際の基板温度は、室温以上300以下とするのが好ましく、雰囲気は、希ガス(代表的にはアルゴン)雰囲気、酸素雰囲気、または希ガス(代表的にはアルゴン)と酸素の混合雰囲気とするのが好適である。

【0103】

20

保護絶縁層144に水素が含まれると、その水素の酸化物半導体層への侵入や、水素による酸化物半導体層中の酸素の引き抜き、などが生じ、酸化物半導体層のバックチャネル側が低抵抗化してしまい、寄生チャネルが形成されるおそれがある。よって、保護絶縁層144はできるだけ水素を含まないように、形成方法においては水素を用いないことが重要である。

【0104】

また、処理室内の残留水分を除去しつつ保護絶縁層144を形成することが好ましい。酸化物半導体層140および保護絶縁層144に水素、水酸基または水が含まれないようにするためである。

【0105】

30

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水(H_2O)など水素原子を含む化合物等が除去されているため、当該成膜室で形成した保護絶縁層144に含まれる不純物の濃度を低減できる。

【0106】

保護絶縁層144を形成する際に用いるスパッタガスとしては、水素、水、水酸基または水素化物などの不純物の濃度が数ppm程度(望ましくは数ppb程度)にまで除去された高純度ガスを用いることが好ましい。

40

【0107】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理(好ましくは200以上400以下、例えば250以上350以下)を行うのが望ましい。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、トランジスタの電気的特性のばらつきを低減することができる。

【0108】

また、大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、保護絶縁層の形成前に、減圧下で行って

50

もよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。なお、当該加熱処理は、上記第2の加熱処理に代えて行っても良いし、第2の加熱処理の後に行っても良い。

【0109】

次に、保護絶縁層144上に、層間絶縁層146を形成する(図6(A)参照)。層間絶縁層146はPVD法やCVD法などを用いて形成することができる。また、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。層間絶縁層146の形成後には、その表面を、CMPやエッチングなどの方法によって平坦化しておくことが望ましい。

10

【0110】

次に、層間絶縁層146、保護絶縁層144、およびゲート絶縁層138に対し、電極136a、電極136b、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bにまで達する開口を形成し、当該開口に埋め込むように導電層148を形成する(図6(B)参照)。上記開口はマスクを用いたエッチングなどの方法で形成することができる。当該マスクは、フォトリソグラフィを用いた露光などの方法によって形成することが可能である。エッチングとしてはウェットエッチング、ドライエッチングのいずれを用いても良いが、微細加工の観点からは、ドライエッチングを用いることが好適である。導電層148の形成は、PVD法やCVD法などの成膜法を用いて行うことができる。導電層148の形成に用いることができる材料としては、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウムなどの導電性材料や、これらの合金、化合物(例えば窒化物)などが挙げられる。

20

【0111】

具体的には、例えば、開口を含む領域にPVD法によりチタン膜を薄く形成し、CVD法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、下部電極(ここでは、電極136a、電極136b、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142b)との界面の酸化膜を還元し、下部電極との接触抵抗を低減させる機能を有する。また、その後の形成される窒化チタンは、導電性材料の拡散を抑制するバリア機能を備える。

30

【0112】

導電層148を形成した後は、エッチングやCMPといった方法を用いて導電層148の一部を除去し、層間絶縁層146を露出させて、電極150a、電極150b、電極150c、電極150dを形成する(図6(C)参照)。なお、上記導電層148の一部を除去して電極150a、電極150b、電極150c、電極150dを形成する際には、表面が平坦になるように加工することが望ましい。このように、層間絶縁層146、電極150a、電極150b、電極150c、電極150dの表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

【0113】

さらに、絶縁層152を形成し、絶縁層152に、電極150a、電極150b、電極150c、電極150dにまで達する開口を形成し、当該開口に埋め込むように導電層を形成した後、エッチングやCMPといった方法を用いて導電層の一部を除去し、絶縁層152を露出させて、電極154a、電極154b、電極154cを形成する(図6(D)参照)。当該工程は、電極150a等を形成する場合と同様であるから、詳細は省略する。

40

【0114】

上述のような方法でn型トランジスタ162を作製した場合、酸化物半導体層140の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下となり、また、n型トランジスタ162のオフ電流が $1 \times 10^{-13} \text{ A}$ 以下となり、好ましくは $100 \text{ zA}/\mu\text{m}$ 以下となる。このような、水素濃度が十分に低減されて高純度化された酸化物半導体層140を適用するこ

50

とで、優れた特性の n 型トランジスタ 1 6 2 を得ることができる。また、下部に p 型トランジスタを有し、上部に酸化物半導体を用いた n 型トランジスタを有する優れた特性の半導体装置を作製することができる。

【 0 1 1 5 】

このように、酸化物半導体以外の材料を用いたトランジスタと、酸化物半導体を用いたトランジスタとを一体に備える構成とすることで、酸化物半導体を用いたトランジスタとは異なる電気特性（例えば、素子の動作に関与するキャリアが異なるなど）が必要な半導体装置を実現することができる。

【 0 1 1 6 】

酸化物半導体を用いたトランジスタはスイッチング特性が良いため、その特性を利用して優れた半導体装置を作製することができる。例えば、CMOSインバータ回路では、貫通電流を十分に抑制することができるため、半導体装置の消費電力を低減し、また、大電流による半導体装置の破壊を防ぐことができる。また、酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいため、これを用いることにより半導体装置の消費電力を低減することができる。

10

【 0 1 1 7 】

なお、本実施の形態では、p 型トランジスタ 1 6 0 と n 型トランジスタ 1 6 2 を積層して形成する例について説明したが、これに限られるものではなく、p 型トランジスタ 1 6 0 と n 型トランジスタ 1 6 2 を同一基板上に形成しても良い。また、本実施の形態では、p 型トランジスタ 1 6 0 と n 型トランジスタ 1 6 2 のチャネル長方向が互いに直交する例について説明したが、p 型トランジスタ 1 6 0 と n 型トランジスタ 1 6 2 の位置関係などはこれに限られるものではない。さらに、p 型トランジスタ 1 6 0 と n 型トランジスタ 1 6 2 とを重畳して設けても良い。

20

【 0 1 1 8 】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【 0 1 1 9 】

（実施の形態 2）

本実施の形態では、開示する発明の別の態様に係る半導体装置の構成について、図 7 および図 8 を参照して説明する。なお、本実施の形態では、メモリ素子として用いることが可能な半導体装置の構成について示す。

30

【 0 1 2 0 】

図 7（A）には、本実施の形態に係る半導体装置の断面図を、図 7（B）には、本実施の形態に係る半導体装置の平面図を、それぞれ示す。ここで、図 7（A）は、図 7（B）の線 E 1 - E 2 および線 F 1 - F 2 における断面に相当する。図 7（A）および図 7（B）に示される半導体装置は、下部に酸化物半導体以外の材料を用いたトランジスタ 2 6 0 を有し、上部に酸化物半導体を用いたトランジスタ 2 6 2 を有する。

【 0 1 2 1 】

酸化物半導体以外の材料を用いたトランジスタ 2 6 0 は、半導体材料を含む基板 2 0 0 に設けられたチャネル形成領域 2 1 6 と、チャネル形成領域 2 1 6 を挟むように設けられた不純物領域 2 1 4 および高濃度不純物領域 2 2 0（これらをあわせて単に不純物領域とも呼ぶ）と、チャネル形成領域 2 1 6 上に設けられたゲート絶縁層 2 0 8 a と、ゲート絶縁層 2 0 8 a 上に設けられたゲート電極 2 1 0 a と、チャネル形成領域 2 1 6 の一方の側に設けられた不純物領域 2 1 4 と電気的に接続するソース電極またはドレイン電極 2 3 0 a と、チャネル形成領域 2 1 6 の他方の側に設けられた不純物領域 2 1 4 と電気的に接続するソース電極またはドレイン電極 2 3 0 b を有する。なお、ソース電極またはドレイン電極 2 3 0 a は、チャネル形成領域 2 1 6 の一方の側に設けられた金属化合物領域 2 2 4 を介して、チャネル形成領域 2 1 6 の一方の側に設けられた不純物領域 2 1 4 と電気的に接続され、ソース電極またはドレイン電極 2 3 0 b は、チャネル形成領域 2 1 6 の他方の側に設けられた金属化合物領域 2 2 4 を介して、チャネル形成領域 2 1 6 の他方の側に設け

40

50

られた不純物領域 2 1 4 と電氣的に接続されているのが好適である。このように、トランジスタ 2 6 0 の構成は、先の実施の形態において説明した p 型トランジスタ 1 6 0 の構成と同様であるから、他の詳細については、先の実施の形態を参酌することができる。なお、トランジスタ 2 6 0 の極性については、p 型に限る必要はなく、n 型としても良い。

【0 1 2 2】

酸化物半導体を用いたトランジスタ 2 6 2 は、絶縁層 2 2 8 上に設けられたゲート電極 2 3 6 c と、ゲート電極 2 3 6 c 上に設けられたゲート絶縁層 2 3 8 と、ゲート絶縁層 2 3 8 上に設けられた酸化物半導体層 2 4 0 と、酸化物半導体層 2 4 0 上に設けられ、酸化物半導体層 2 4 0 と電氣的に接続されているソース電極またはドレイン電極 2 4 2 a、ソース電極またはドレイン電極 2 4 2 b を有する。このように、トランジスタ 2 6 2 の構成は、先の実施の形態において説明した n 型トランジスタ 1 6 2 の構成と同様であるから、他の詳細については、先の実施の形態を参酌することができる。一方、トランジスタ 2 6 2 の極性についても、n 型に限る必要はなく、p 型としても良い。

10

【0 1 2 3】

次に、トランジスタ 2 6 0 と、トランジスタ 2 6 2 の電氣的な接続関係について説明する。トランジスタ 2 6 0 のソース電極またはドレイン電極 2 3 0 a は、電極 2 3 6 a、電極 2 5 0 a、電極 2 5 4 a などを通して、所定の配線と電氣的に接続されている。また、トランジスタ 2 6 0 のソース電極またはドレイン電極 2 3 0 b は、電極 2 3 6 b、電極 2 5 0 b、電極 2 5 4 b などを通して、所定の配線と電氣的に接続されている。

【0 1 2 4】

トランジスタ 2 6 2 のソース電極またはドレイン電極 2 4 2 a は、電極 2 5 0 d、電極 2 5 4 c、電極 2 5 0 c、電極 2 3 6 b、電極 2 3 0 c を介して、トランジスタ 2 6 0 のゲート電極 2 1 0 a と電氣的に接続されている。また、トランジスタ 2 6 2 のソース電極またはドレイン電極 2 4 2 b は、電極 2 5 0 e、電極 2 5 4 d などを通して、所定の配線と電氣的に接続されている。

20

【0 1 2 5】

なお、図 7 において、素子分離絶縁層 2 0 6 は実施の形態 1 の素子分離絶縁層 1 0 6 に、サイドウォール絶縁層 2 1 8 は実施の形態 1 のサイドウォール絶縁層 1 1 8 に、層間絶縁層 2 2 6 は実施の形態 1 の層間絶縁層 1 2 6 に、絶縁層 2 3 2 は実施の形態 1 の絶縁層 1 3 2 に、保護絶縁層 2 4 4 は実施の形態 1 の保護絶縁層 1 4 4 に、層間絶縁層 2 4 6 は実施の形態 1 の層間絶縁層 1 4 6 に、絶縁層 2 5 2 は実施の形態 1 の絶縁層 1 5 2 に対応する。

30

【0 1 2 6】

図 8 には、上記半導体装置をメモリ素子として用いる場合の回路図の一例を示す。

【0 1 2 7】

酸化物半導体以外の材料を用いたトランジスタ 2 6 0 のソース電極は、第 1 のソース配線 (S o u r c e 1) と電氣的に接続されている。また、酸化物半導体以外の材料を用いたトランジスタ 2 6 0 のドレイン電極は、ドレイン配線 (D r a i n) と電氣的に接続されている。また、酸化物半導体以外の材料を用いたトランジスタ 2 6 0 のゲート電極は、酸化物半導体を用いたトランジスタ 2 6 2 のドレイン電極と電氣的に接続されている。

40

【0 1 2 8】

酸化物半導体を用いたトランジスタ 2 6 2 のソース電極は、第 2 のソース配線 (S o u r c e 2) と電氣的に接続されている。また、酸化物半導体を用いたトランジスタ 2 6 2 のゲート電極は、ゲート配線 (G a t e) と電氣的に接続されている。

【0 1 2 9】

ここで、酸化物半導体を用いたトランジスタ 2 6 2 は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ 2 6 2 をオフ状態とすることで、トランジスタ 2 6 0 のゲート電極の電位を極めて長時間にわたって保持することが可能である。

【0 1 3 0】

ゲート電極の電位を保持するという特徴を生かすことで、例えば、次のような動作により

50

、メモリ素子として機能させることができる。まず、ゲート配線 (G a t e) の電位を、トランジスタ 2 6 2 がオン状態となる電位として、トランジスタ 2 6 2 をオン状態とする。これにより、第 2 のソース配線 (S o u r c e 2) の電位が、トランジスタ 2 6 0 のゲート電極に与えられる (書き込み動作)。その後、ゲート配線 (G a t e) の電位を、トランジスタ 2 6 2 がオフ状態となる電位として、トランジスタ 2 6 2 をオフ状態とする。

【 0 1 3 1 】

トランジスタ 2 6 2 のオフ電流は極めて小さいから、トランジスタ 2 6 0 のゲート電極の電位は長時間にわたって保持される。より具体的には、例えば、トランジスタ 2 6 0 のゲート電極の電位がトランジスタ 2 6 0 をオン状態とする電位であれば、トランジスタ 2 6 0 のオン状態が長時間にわたって保持されることになる。また、トランジスタ 2 6 0 のゲート電極の電位がトランジスタ 2 6 0 をオフ状態とする電位であれば、トランジスタ 2 6 0 のオフ状態が長時間にわたって保持される。

【 0 1 3 2 】

よって、トランジスタ 2 6 0 のゲート電極に保持された電位にしたがって、ドレイン配線 (D r a i n) の電位は異なる値をとる。例えば、トランジスタ 2 6 0 のゲート電極の電位がトランジスタ 2 6 0 をオン状態とする電位であれば、トランジスタ 2 6 0 のオン状態が保持されることになるため、ドレイン配線 (D r a i n) の電位は、第 1 のソース配線 (S o u r c e 1) の電位に等しくなる。このように、ドレイン配線 (D r a i n) の電位は、トランジスタ 2 6 0 のゲート電極に保持された電位にしたがって異なる値をとるから、これを読み取ることで (読み込み動作)、メモリ素子として機能する。

【 0 1 3 3 】

本実施の形態に係る半導体装置は、トランジスタ 2 6 2 のオフ電流特性により極めて長時間にわたり情報を保持することが可能であるから、実質的な不揮発性メモリ素子として用いることが可能である。

【 0 1 3 4 】

なお、本実施の形態では理解の簡単のため、メモリ素子の最小単位についてのみ説明したが、半導体装置の構成はこれに限られるものではない。複数のメモリ素子を適当に接続して、より高度な半導体装置を構成することもできる。例えば、上記メモリ素子を複数用いて、N A N D 型や N O R 型の半導体装置を構成することが可能である。配線の構成も図 8 に限定されず、適宜変更することができる。

【 0 1 3 5 】

以上説明したように、発明の一態様では、トランジスタ 2 6 2 のオフ電流特性を用いて、実質的な不揮発性メモリ素子を構成している。このように、発明の一態様によって、新たな構成の半導体装置が提供される。

【 0 1 3 6 】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【 0 1 3 7 】

(実施の形態 3)

本実施の形態では、開示する発明の別の態様に係る半導体装置の構成について、図 9 および図 1 0 を参照して説明する。なお、本実施の形態では、メモリ素子として用いることが可能な半導体装置の構成について示す。

【 0 1 3 8 】

図 9 (A) には、本実施の形態に係る半導体装置の断面図を、図 9 (B) には、本実施の形態に係る半導体装置の平面図を、それぞれ示す。ここで、図 9 (A) は、図 9 (B) の線 G 1 - G 2 および線 H 1 - H 2 における断面に相当する。図 9 (A) および図 9 (B) に示される半導体装置は、下部に酸化物半導体以外の材料を用いた p 型トランジスタ 4 6 0 および n 型トランジスタ 4 6 4 を有し、上部に酸化物半導体を用いたトランジスタ 4 6 2 を有する。

【 0 1 3 9 】

酸化物半導体以外の材料を用いた p 型トランジスタ 4 6 0 および n 型トランジスタ 4 6 4 の構成は、先の実施の形態における p 型トランジスタ 1 6 0 やトランジスタ 2 6 0 などと同様である。また、酸化物半導体を用いたトランジスタ 4 6 2 の構成は、先の実施の形態における n 型トランジスタ 1 6 2 やトランジスタ 2 6 2 などと同様である。よって、トランジスタの各構成要素についても、先の実施の形態のトランジスタに準ずるものとなっている。詳細については、先の実施の形態を参酌することができる。

【0140】

なお、図 9 において、基板 4 0 0 は実施の形態 1 の基板 1 0 0 に、素子分離絶縁層 4 0 6 は実施の形態 1 の素子分離絶縁層 1 0 6 に、ゲート絶縁層 4 0 8 a は実施の形態 1 のゲート絶縁層 1 0 8 a に、ゲート電極 4 1 0 a は実施の形態 1 のゲート電極 1 1 0 a に、ゲート配線 4 1 0 b は実施の形態 1 のゲート配線 1 1 0 b に、不純物領域 4 1 4 は実施の形態 1 の不純物領域 1 1 4 に、チャネル形成領域 4 1 6 は実施の形態 1 のチャネル形成領域 1 1 6 に、サイドウォール絶縁層 4 1 8 は実施の形態 1 のサイドウォール絶縁層 1 1 8 に、高濃度不純物領域 4 2 0 は実施の形態 1 の高濃度不純物領域 1 2 0 に、金属化合物領域 4 2 4 は実施の形態 1 の金属化合物領域 1 2 4 に、層間絶縁層 4 2 6 は実施の形態 1 の層間絶縁層 1 2 6 に、層間絶縁層 4 2 8 は実施の形態 1 の層間絶縁層 1 2 8 に、ソース電極またはドレイン電極 4 3 0 a は実施の形態 1 のソース電極またはドレイン電極 1 3 0 a に、ソース電極またはドレイン電極 4 3 0 b は実施の形態 1 のソース電極またはドレイン電極 1 3 0 b に、ソース電極またはドレイン電極 4 3 0 c は実施の形態 2 の電極 1 3 0 e に、それぞれ対応する。

【0141】

また、絶縁層 4 3 2 は実施の形態 1 の絶縁層 1 3 2 に、電極 4 3 6 a は実施の形態 1 の電極 1 3 6 a に、電極 4 3 6 b は実施の形態 1 の電極 1 3 6 b に、ゲート電極 4 3 6 c は実施の形態 1 のゲート電極 1 3 6 c に、ゲート絶縁層 4 3 8 は実施の形態 1 のゲート絶縁層 1 3 8 に、酸化物半導体層 4 4 0 は実施の形態 1 の酸化物半導体層 1 4 0 に、ソース電極またはドレイン電極 4 4 2 a は実施の形態 1 のソース電極またはドレイン電極 1 4 2 a に、ソース電極またはドレイン電極 4 4 2 b は実施の形態 1 のソース電極またはドレイン電極 1 4 2 b に、保護絶縁層 4 4 4 は実施の形態 1 の保護絶縁層 1 4 4 に、層間絶縁層 4 4 6 は実施の形態 1 の層間絶縁層 1 4 6 に、電極 4 5 0 a は実施の形態 1 の電極 1 5 0 a に、電極 4 5 0 b は実施の形態 1 の電極 1 5 0 b に、電極 4 5 0 c は実施の形態 1 の電極 1 5 0 b に、電極 4 5 0 d は実施の形態 1 の電極 1 5 0 c に、電極 4 5 0 e は実施の形態 1 の電極 1 5 0 d に、絶縁層 4 5 2 は実施の形態 1 の絶縁層 1 5 2 に、電極 4 5 4 a は実施の形態 1 の電極 1 5 4 a に、電極 4 5 4 b は実施の形態 1 の電極 1 5 4 b に、電極 4 5 4 c は実施の形態 1 の電極 1 5 4 b に、電極 4 5 4 d は実施の形態 1 の電極 1 5 4 c に、それぞれ対応する。

【0142】

本実施の形態に係る半導体装置は、トランジスタ 4 6 2 のドレイン電極と、p 型トランジスタ 4 6 0 のゲート電極と、n 型トランジスタ 4 6 4 のゲート電極とが、相互に電気的に接続しているという点において、先の実施の形態に係る半導体装置とは異なっている（図 9 参照）。このような構成とすることで、CMOS インバータ回路の入力信号（INPUT）を一時的に保持させることが可能である。

【0143】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0144】

（実施の形態 4）

本実施の形態では、先の実施の形態で得られる半導体装置を搭載した電子機器の例について図 11 を用いて説明する。先の実施の形態で得られる半導体装置は、スイッチング特性の良い酸化物半導体を用いたトランジスタを有するので、各電子機器の消費電力を低減することができる。また、酸化物半導体の特性を利用した新たな半導体装置（例えば、メモ

10

20

30

40

50

リ素子など)が提供されるため、新たな構成の電子機器を提供することが可能である。なお、先の実施の形態に係る半導体装置は、単体、または集積化されて回路基板などに実装され、各電子機器の内部に搭載されることになる。

【0145】

半導体装置が組み込まれ集積化された集積回路は、先の実施の形態で説明した半導体装置以外に、抵抗、コンデンサ、コイルなどの各種回路素子を組み込んで構成されることが多い。集積回路の例としては、演算回路、変換回路、増幅回路、メモリ回路、これらの組み合わせに係る回路などを高度に集積化したものがある。MPUやCPUなどは、その最たるものといえよう。

【0146】

また、上記半導体装置を、表示装置のスイッチング素子などに用いることも可能である。この場合、同一の基板の上に、駆動回路を併せて設けるのが好適である。もちろん、表示装置の駆動回路のみに対して上記半導体装置を用いることもできる。

【0147】

図11(A)は、先の実施の形態に係る半導体装置を含むノート型のパーソナルコンピュータであり、本体301、筐体302、表示部303、キーボード304などによって構成されている。

【0148】

図11(B)は、先の実施の形態に係る半導体装置を含む携帯情報端末(PDA)であり、本体311には表示部313と、外部インターフェイス315と、操作ボタン314等が設けられている。また操作用の付属品としてスタイラス312がある。

【0149】

図11(C)には、先の実施の形態に係る半導体装置を含む電子ペーパーの一例として、電子書籍320を示す。電子書籍320は、筐体321および筐体323の2つの筐体で構成されている。筐体321および筐体323は、軸部337により一体とされており、該軸部337を軸として開閉動作を行うことができる。このような構成により、紙の書籍のように用いることが可能となる。

【0150】

筐体321には表示部325が組み込まれ、筐体323には表示部327が組み込まれている。表示部325および表示部327は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部(図11(C)では表示部325)に文章を表示し、左側の表示部(図11(C)では表示部327)に画像を表示することができる。

【0151】

また、図11(C)では、筐体321に操作部などを備えた例を示している。例えば、筐体321において、電源331、操作キー333、スピーカー335などを備えている。操作キー333により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍320は、電子辞書としての機能を持たせた構成としてもよい。

【0152】

また、電子書籍320は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0153】

なお、電子ペーパーは、情報を表示するものであればあらゆる分野に適用することが可能である。例えば、電子書籍以外にも、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示などに適用することができる。

10

20

30

40

50

【 0 1 5 4 】

図 1 1 (D) は、先の実施の形態に係る半導体装置を含む携帯電話機である。当該携帯電話機は、筐体 3 4 0 および筐体 3 4 1 の二つの筐体で構成されている。筐体 3 4 1 には、表示パネル 3 4 2、スピーカー 3 4 3、マイクロフォン 3 4 4、ポインティングデバイス 3 4 6、カメラ用レンズ 3 4 7、外部接続端子 3 4 8などを備えている。また、筐体 3 4 0 には、当該携帯電話機の充電を行う太陽電池セル 3 4 9、外部メモリスロット 3 5 0などを備えている。また、アンテナは筐体 3 4 1 内部に内蔵されている。

【 0 1 5 5 】

表示パネル 3 4 2 はタッチパネルを備えており、図 1 1 (D) には映像表示されている複数の操作キー 3 4 5 を点線で示している。なお、当該携帯電話は、太陽電池セル 3 4 9 で出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路を実装している。また、上記構成に加えて、非接触 IC チップ、小型記録装置などを内蔵した構成とすることもできる。

10

【 0 1 5 6 】

表示パネル 3 4 2 は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル 3 4 2 と同一面上にカメラ用レンズ 3 4 7 を備えているため、テレビ電話が可能である。スピーカー 3 4 3 およびマイクロフォン 3 4 4 は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体 3 4 0 と筐体 3 4 1 は、スライドし、図 1 1 (D) のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

20

【 0 1 5 7 】

外部接続端子 3 4 8 は A C アダプタや U S B ケーブルなどの各種ケーブルと接続可能であり、充電やパーソナルコンピュータなどとのデータ通信が可能である。また、外部メモリスロット 3 5 0 に記録媒体を挿入し、より大量のデータ保存および移動に対応できる。また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【 0 1 5 8 】

図 1 1 (E) は、先の実施の形態に係る半導体装置を含むデジタルカメラである。当該デジタルカメラは、本体 3 6 1、表示部 (A) 3 6 7、接眼部 3 6 3、操作スイッチ 3 6 4、表示部 (B) 3 6 5、バッテリー 3 6 6 などによって構成されている。

30

【 0 1 5 9 】

図 1 1 (F) は、先の実施の形態に係る半導体装置を含むテレビジョン装置である。テレビジョン装置 3 7 0 は、筐体 3 7 1 に表示部 3 7 3 が組み込まれている。表示部 3 7 3 により、映像を表示することが可能である。また、ここでは、スタンド 3 7 5 により筐体 3 7 1 を支持した構成を示している。

【 0 1 6 0 】

テレビジョン装置 3 7 0 の操作は、筐体 3 7 1 が備える操作スイッチや、別体のリモコン操作機 3 8 0 により行うことができる。リモコン操作機 3 8 0 が備える操作キー 3 7 9 により、チャンネルや音量の操作を行うことができ、表示部 3 7 3 に表示される映像を操作することができる。また、リモコン操作機 3 8 0 に、当該リモコン操作機 3 8 0 から出力する情報を表示する表示部 3 7 7 を設ける構成としてもよい。

40

【 0 1 6 1 】

なお、テレビジョン装置 3 7 0 は、受信機やモデムなどを備えた構成とするのが好適である。受信機により、一般のテレビ放送の受信を行うことができる。また、モデムを介して有線または無線による通信ネットワークに接続することにより、一方向 (送信者から受信者) または双方向 (送信者と受信者間、あるいは受信者間同士など) の情報通信を行うことが可能である。

【 0 1 6 2 】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる

50

【符号の説明】

【 0 1 6 3 】

1 0 0	基板	
1 0 2	保護層	
1 0 4	半導体領域	
1 0 6	素子分離絶縁層	
1 0 8 a	ゲート絶縁層	
1 0 8 b	ゲート絶縁層	
1 1 0 a	ゲート電極	
1 1 0 b	ゲート配線	10
1 1 0 c	配線	
1 1 2	絶縁層	
1 1 4	不純物領域	
1 1 6	チャネル形成領域	
1 1 8	サイドウォール絶縁層	
1 2 0	高濃度不純物領域	
1 2 2	金属層	
1 2 4	金属化合物領域	
1 2 6	層間絶縁層	
1 2 8	層間絶縁層	20
1 3 0 a	ソース電極またはドレイン電極	
1 3 0 b	ソース電極またはドレイン電極	
1 3 0 c	ソース電極またはドレイン電極	
1 3 0 d	ソース電極またはドレイン電極	
1 3 0 e	電極	
1 3 2	絶縁層	
1 3 4	導電層	
1 3 6 a	電極	
1 3 6 b	電極	
1 3 6 c	ゲート電極	30
1 3 6 d	電極	
1 3 6 e	電極	
1 3 6 f	ゲート電極	
1 3 8	ゲート絶縁層	
1 4 0	酸化物半導体層	
1 4 2 a	ソース電極またはドレイン電極	
1 4 2 b	ソース電極またはドレイン電極	
1 4 4	保護絶縁層	
1 4 6	層間絶縁層	
1 4 8	導電層	40
1 5 0 a	電極	
1 5 0 b	電極	
1 5 0 c	電極	
1 5 0 d	電極	
1 5 0 e	電極	
1 5 0 f	電極	
1 5 2	絶縁層	
1 5 4 a	電極	
1 5 4 b	電極	
1 5 4 c	電極	50

1 5 4 d	電極	
1 5 4 e	電極	
1 6 0	p 型トランジスタ	
1 6 2	n 型トランジスタ	
1 6 4	p 型トランジスタ	
1 6 6	n 型トランジスタ	
2 0 0	基板	
2 0 6	素子分離絶縁層	
2 0 8 a	ゲート絶縁層	
2 1 0 a	ゲート電極	10
2 1 4	不純物領域	
2 1 6	チャネル形成領域	
2 1 8	サイドウォール絶縁層	
2 2 0	高濃度不純物領域	
2 2 4	金属化合物領域	
2 2 6	層間絶縁層	
2 2 8	絶縁層	
2 3 0 a	ソース電極またはドレイン電極	
2 3 0 b	ソース電極またはドレイン電極	
2 3 0 c	電極	20
2 3 2	絶縁層	
2 3 6 a	電極	
2 3 6 b	電極	
2 3 6 c	ゲート電極	
2 3 8	ゲート絶縁層	
2 4 0	酸化物半導体層	
2 4 2 a	ソース電極またはドレイン電極	
2 4 2 b	ソース電極またはドレイン電極	
2 4 4	保護絶縁層	
2 4 6	層間絶縁層	30
2 5 0 a	電極	
2 5 0 b	電極	
2 5 0 c	電極	
2 5 0 d	電極	
2 5 0 e	電極	
2 5 2	絶縁層	
2 5 4 a	電極	
2 5 4 b	電極	
2 5 4 c	電極	
2 5 4 d	電極	40
2 6 0	トランジスタ	
2 6 2	トランジスタ	
3 0 1	本体	
3 0 2	筐体	
3 0 3	表示部	
3 0 4	キーボード	
3 1 1	本体	
3 1 2	スタイラス	
3 1 3	表示部	
3 1 4	操作ボタン	50

3 1 5	外部インターフェイス	
3 2 0	電子書籍	
3 2 1	筐体	
3 2 3	筐体	
3 2 5	表示部	
3 2 7	表示部	
3 3 1	電源	
3 3 3	操作キー	
3 3 5	スピーカー	
3 3 7	軸部	10
3 4 0	筐体	
3 4 1	筐体	
3 4 2	表示パネル	
3 4 3	スピーカー	
3 4 4	マイクロフォン	
3 4 5	操作キー	
3 4 6	ポインティングデバイス	
3 4 7	カメラ用レンズ	
3 4 8	外部接続端子	
3 4 9	太陽電池セル	20
3 5 0	外部メモリスロット	
3 6 1	本体	
3 6 3	接眼部	
3 6 4	操作スイッチ	
3 6 5	表示部 (B)	
3 6 6	バッテリー	
3 6 7	表示部 (A)	
3 7 0	テレビジョン装置	
3 7 1	筐体	
3 7 3	表示部	30
3 7 5	スタンド	
3 7 7	表示部	
3 7 9	操作キー	
3 8 0	リモコン操作機	
4 0 0	基板	
4 0 6	素子分離絶縁層	
4 0 8 a	ゲート絶縁層	
4 1 0 a	ゲート電極	
4 1 0 b	ゲート配線	
4 1 4	不純物領域	40
4 1 6	チャネル形成領域	
4 1 8	サイドウォール絶縁層	
4 2 0	高濃度不純物領域	
4 2 4	金属化合物領域	
4 2 6	層間絶縁層	
4 2 8	層間絶縁層	
4 3 0 a	ソース電極またはドレイン電極	
4 3 0 b	ソース電極またはドレイン電極	
4 3 0 c	ソース電極またはドレイン電極	
4 3 2	絶縁層	50

- 4 3 6 a 電極
- 4 3 6 b 電極
- 4 3 6 c ゲート電極
- 4 3 8 ゲート絶縁層
- 4 4 0 酸化物半導体層
- 4 4 2 a ソース電極またはドレイン電極
- 4 4 2 b ソース電極またはドレイン電極
- 4 4 4 保護絶縁層
- 4 4 6 層間絶縁層
- 4 5 0 a 電極
- 4 5 0 b 電極
- 4 5 0 c 電極
- 4 5 0 d 電極
- 4 5 0 e 電極
- 4 5 2 絶縁層
- 4 5 4 a 電極
- 4 5 4 b 電極
- 4 5 4 c 電極
- 4 5 4 d 電極
- 4 6 0 p型トランジスタ
- 4 6 2 トランジスタ
- 4 6 4 n型トランジスタ

10

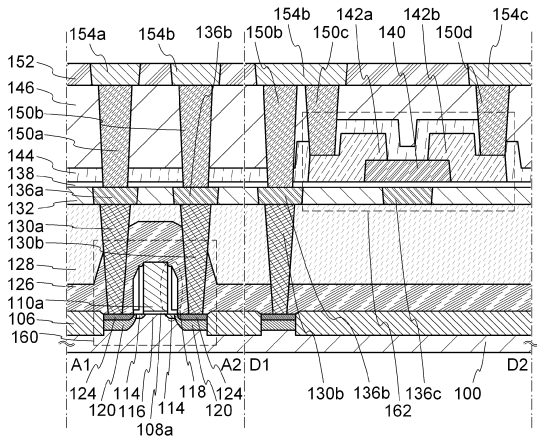
20

【図面】

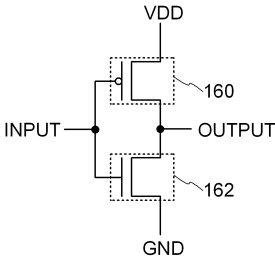
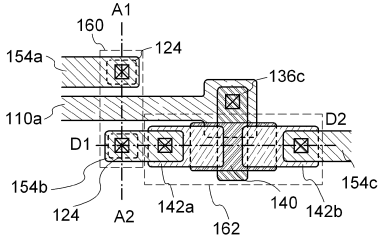
【図 1】

【図 2】

(A)



(B)

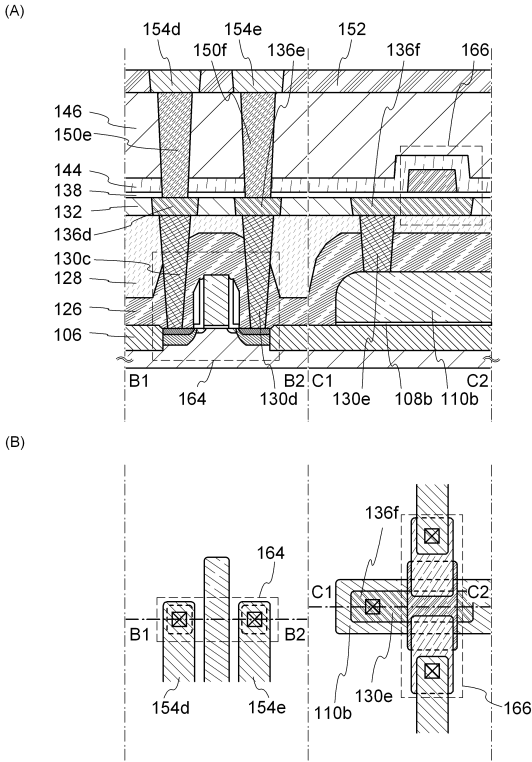


30

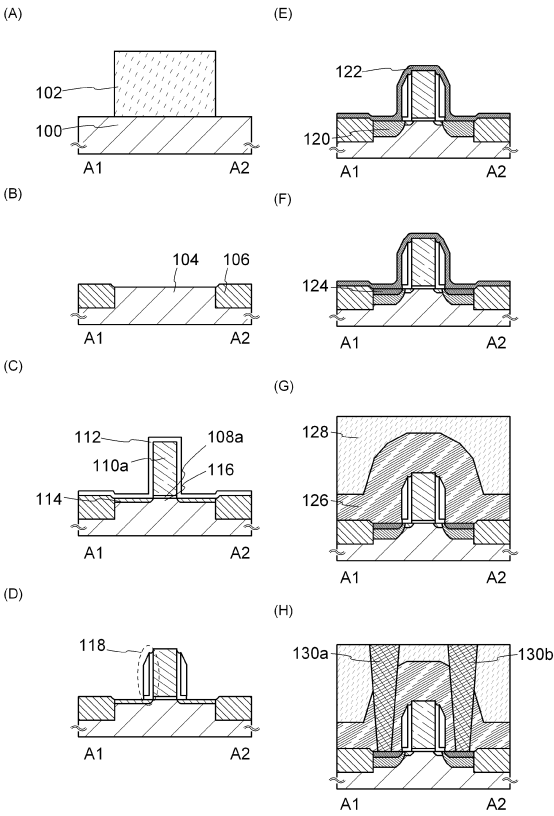
40

50

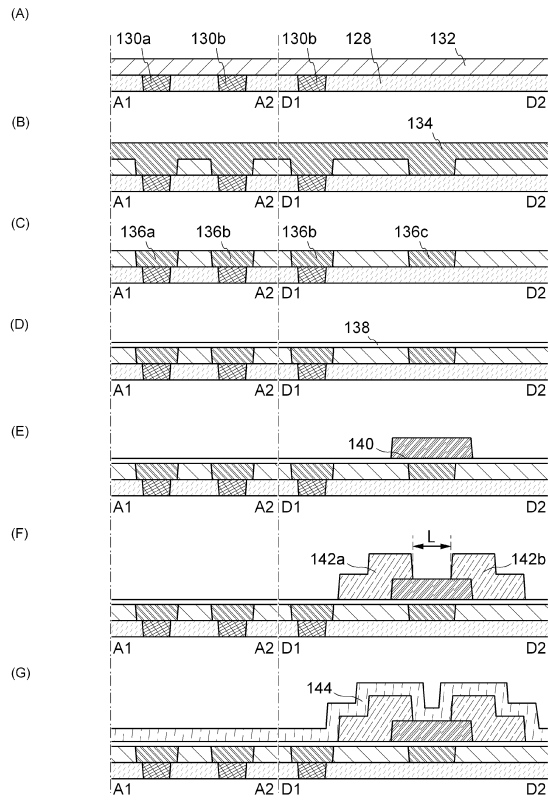
【図 3】



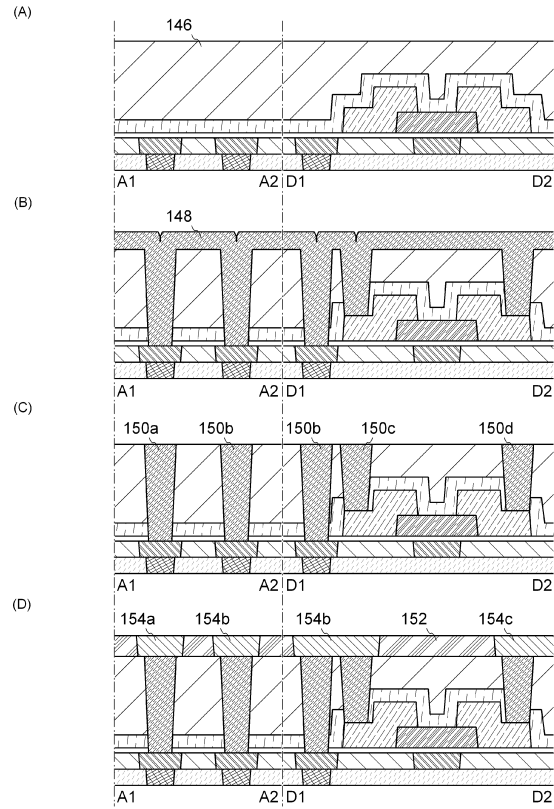
【図 4】



【図 5】



【図 6】



10

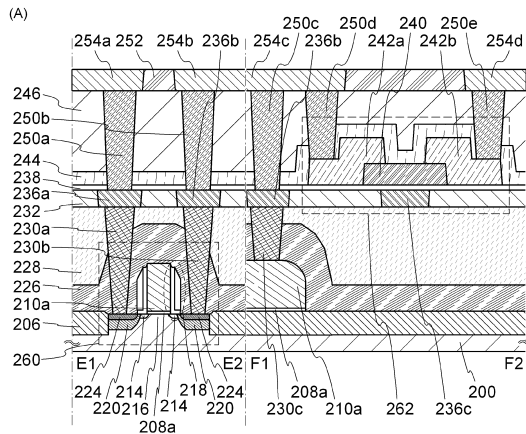
20

30

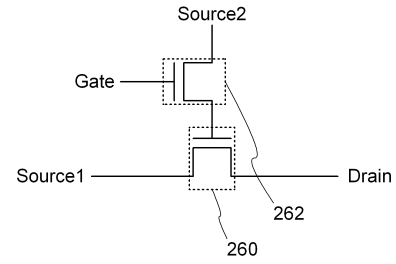
40

50

【圖 7】

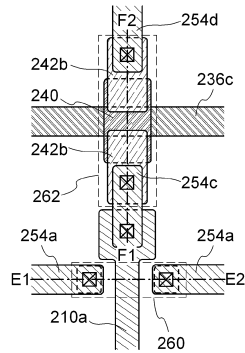


【圖 8】



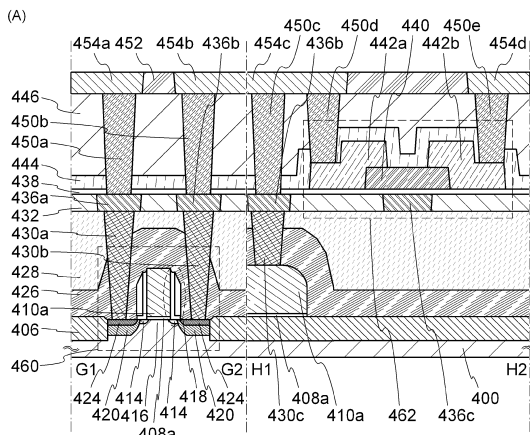
10

(B)

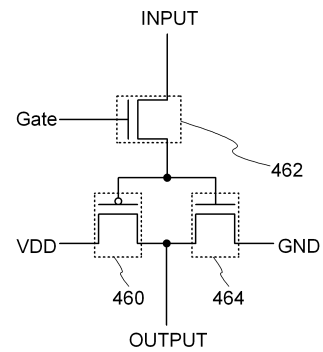


20

【圖 9】

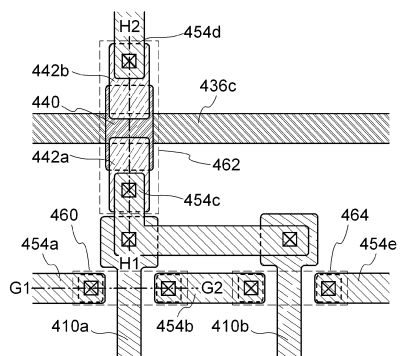


【 図 1 0 】



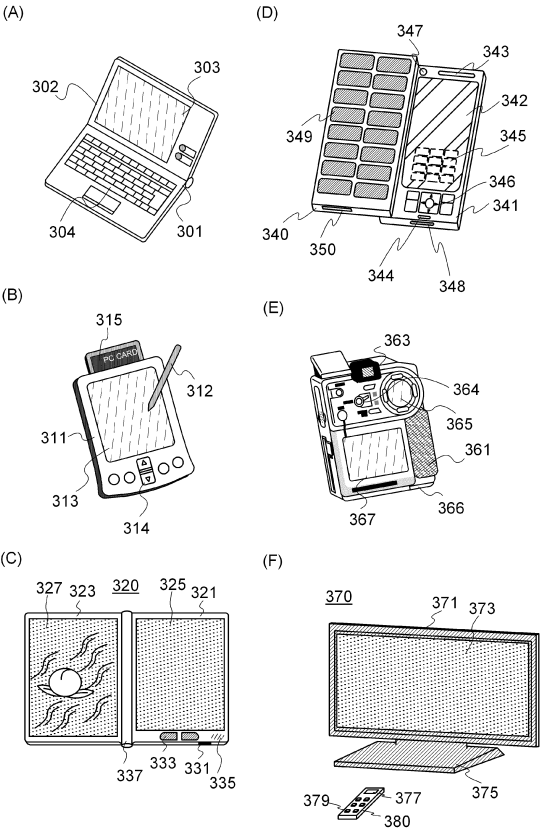
30

(B)



40

【 図 1 1 】



10

20

30

40

50

フロントページの続き

(51)国際特許分類	F I			
<i>H 1 0 B</i> 12/00 (2023.01)	<i>H 1 0 B</i>	12/00	8 0 1	
<i>H 1 0 B</i> 41/70 (2023.01)	<i>H 1 0 B</i>	41/70		
<i>H 1 0 B</i> 99/00 (2023.01)	<i>H 1 0 B</i>	99/00	4 4 1	

(56)参考文献 特開 2 0 0 9 - 1 3 5 3 5 0 (J P , A)
 特開 2 0 0 9 - 2 3 9 1 9 6 (J P , A)
 特開 2 0 0 9 - 7 6 8 7 9 (J P , A)
 特開 2 0 0 8 - 2 1 8 7 8 6 (J P , A)

(58)調査した分野	(Int.Cl. , D B 名)
	H 0 1 L 2 1 / 8 2 3 4
	H 0 1 L 2 7 / 0 8 8
	H 0 1 L 2 1 / 8 2 3 8
	H 0 1 L 2 7 / 0 9 2
	H 0 1 L 2 9 / 7 8 6
	H 1 0 B 1 2 / 0 0
	H 1 0 B 4 1 / 7 0
	H 1 0 B 9 9 / 0 0