



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0072345
(43) 공개일자 2025년05월23일

(51) 국제특허분류(Int. Cl.)
H03F 3/10 (2006.01) H03F 1/02 (2006.01)
(52) CPC특허분류
H03F 3/10 (2013.01)
H03F 1/0222 (2013.01)
(21) 출원번호 10-2023-0159405
(22) 출원일자 2023년11월16일
심사청구일자 2023년11월16일

(71) 출원인
한국기술교육대학교 산학협력단
충청남도 천안시 동남구 병천면 충절로 1600 (한국기술교육대학교내)
(72) 발명자
김중팔
경기도 화성시 동탄순환대로27길 45, 621동 802호 (영천동, 동탄역 센트럴 예미지)
(74) 대리인
특허법인 무한

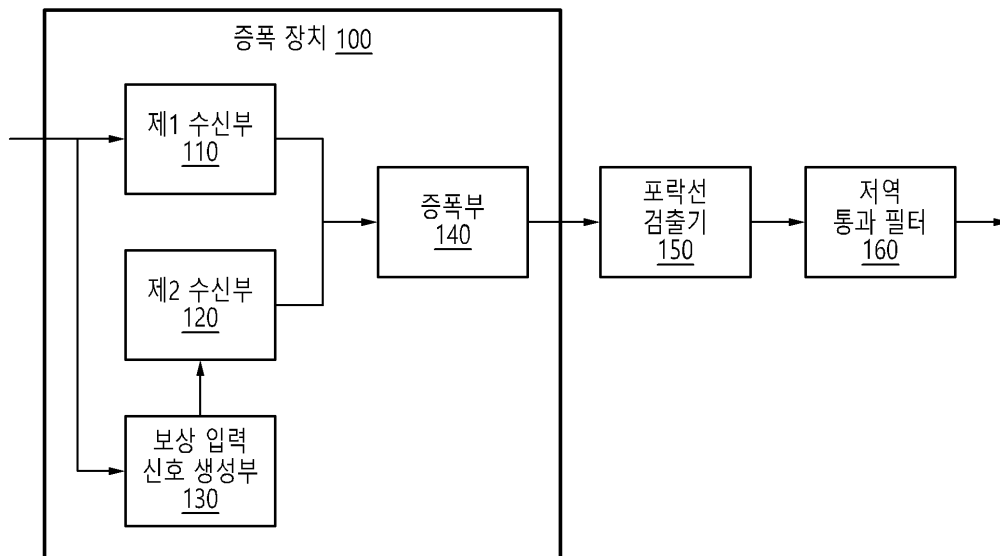
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 신호 증폭 장치

(57) 요약

신호를 증폭하기 위한 신호 증폭 장치가 개시된다. 신호 증폭 장치는 입력 신호를 수신하는 제1 신호 수신부, 클리핑 값에 기초하여 입력 신호를 클리핑하는 것에 의해 입력 신호의 극값이 클리핑된 신호인 보상 입력 신호를 생성하는 보상 입력 신호 생성부, 보상 입력 신호를 수신하는 제2 신호 수신부 및 입력 신호와 보상 입력 신호 간의 차이에 대응하는 신호를 증폭하여 증폭된 신호를 생성하는 증폭부를 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류
H03F 2200/99 (2013.01)

명세서

청구범위

청구항 1

신호를 증폭하기 위한 신호 증폭 장치에 있어서,

입력 신호를 수신하는 제1 신호 수신부;

클리핑 값에 기초하여 상기 입력 신호를 클리핑하는 것에 의해 상기 입력 신호의 극값이 클리핑된 신호인 보상 입력 신호를 생성하는 보상 입력 신호 생성부;

상기 보상 입력 신호를 수신하는 제2 신호 수신부; 및

상기 입력 신호와 상기 보상 입력 신호 간의 차이에 대응하는 신호를 증폭하여 증폭된 신호를 생성하는 증폭부를 포함하는 신호 증폭 장치.

청구항 2

제1항에 있어서,

상기 보상 입력 신호 생성부는,

상기 입력 신호의 극댓값을 제1 클리핑 값의 크기로 클리핑하는 것에 의해 상기 보상 입력 신호를 생성하고,

상기 증폭부의 입력 단에서 상기 입력 신호와 상기 보상 입력 신호는 결합하여 상기 입력 신호와 상기 보상 입력 신호 간의 차이에 대응하는 신호가 상기 증폭부에 입력되는 것인,

신호 증폭 장치.

청구항 3

제2항에 있어서,

상기 보상 입력 신호 생성부는,

상기 입력 신호가 입력되는 입력 단자;

일단에 상기 입력 신호가 입력되는 회로 소자;

일단이 상기 회로 소자의 타단에 연결되고, 타단에 제1 바이어스 값의 전압 신호가 입력되는 제1 다이오드; 및

상기 제1 다이오드의 일단 및 상기 회로 소자의 타단에 연결되고, 상기 클리핑된 입력 신호를 출력하는 출력 단자를 포함하고,

상기 회로 소자는, 저항, 아날로그 버퍼 또는 소스 팔로워(source follower)인 것인,

신호 증폭 장치.

청구항 4

제1항에 있어서,

상기 보상 입력 신호 생성부는,

저항 및 제2 다이오드를 기초로 상기 입력 신호의 극솟값을 제2 클리핑 값의 크기로 클리핑하는 것에 의해 상기 보상 입력 신호를 생성하고,

상기 증폭부의 입력 단에서 상기 입력 신호와 상기 보상 입력 신호는 결합하여 상기 입력 신호와 상기 보상 입력 신호 간의 차이에 대응하는 신호가 상기 증폭부에 입력되는 것인,

신호 증폭 장치.

청구항 5

제3항에 있어서,

상기 보상 입력 신호 생성부는,

상기 입력 신호가 입력되는 입력 단자;

일단에 상기 입력 신호가 입력되는 회로 소자;

일단이 상기 회로 소자의 타단에 연결되고, 타단에 상기 제2 바이어스 값의 전압 신호가 입력되는 제2 다이오드; 및

상기 제2 다이오드의 일단 및 상기 회로 소자의 타단에 연결되고, 상기 클리핑된 입력 신호를 출력하는 출력 단자를 포함하고,

상기 회로 소자는, 저항, 아날로그 버퍼 또는 소스 팔로워인 것인,

신호 증폭 장치.

청구항 6

제1항에 있어서,

상기 보상 입력 신호 생성부는,

저항 및 제1 다이오드를 기초로 상기 입력 신호의 극댓값을 제1 클리핑 값의 크기 및 저항 및 제2 다이오드를 기초로 상기 입력 신호의 극솟값을 제2 클리핑 값의 크기로 클리핑하는 것에 의해 상기 보상 입력 신호를 생성하고,

상기 증폭부의 입력 단에서 상기 입력 신호와 상기 보상 입력 신호는 결합하여 상기 입력 신호와 상기 보상 입력 신호 간의 차이에 대응하는 신호가 상기 증폭부에 입력되는 것인,

신호 증폭 장치.

청구항 7

제6항에 있어서,

상기 보상 입력 신호 생성부는,

상기 입력 신호가 입력되는 입력 단자;

일단에 상기 입력 신호가 입력되는 회로 소자;

일단이 상기 회로 소자의 타단에 연결되고, 타단에 제1 바이어스 값의 전압 신호가 입력되는 제1 다이오드;

일단이 상기 회로 소자의 타단에 연결되고, 타단에 제2 바이어스 값의 전압 신호가 입력되는 제2 다이오드; 및

상기 제1 다이오드의 일단, 상기 제2 다이오드의 일단 및 상기 회로 소자의 타단에 연결되고, 상기 클리핑된 입력 신호를 출력하는 출력 단자를 포함하고,

상기 회로 소자는, 저항, 아날로그 버퍼 또는 소스 팔로워인 것인,

신호 증폭 장치.

청구항 8

제1항에 있어서,

상기 증폭된 신호의 포락선을 검출하기 위한 포락선 검출기; 및

상기 포락선 검출기의 출력단에 연결되고, 상기 포락선 검출기의 출력 신호에서 차단 주파수 이상의 주파수 대역 성분을 필터링하는 저역 통과 필터(low pass filter)

를 더 포함하는 신호 증폭 장치.

발명의 설명

기술 분야

- [0001] 아래 개시는 신호를 증폭하기 위한 신호 증폭 장치에 관한 것이다.
- [0002] 본 특허출원은 과학기술정보통신부의 '전자약기술평가사업'의 연구결과로 도출된 결과물이다. 상기 연구사업의 정보는 다음과 같다.
- [0003] [과제고유번호] 2022M3E5E90822161231282099340102
- [0004] [부처명] 과학기술정보통신부
- [0005] [연구관리전문기관] 한국연구재단
- [0006] [연구사업명] 전자약기술평가사업
- [0007] [연구과제명] (공동1) 이식형 개인 맞춤형 전자약을 위한 초소형 집적회로 시스템
- [0008] [주관기관] 한국기술교육대학교
- [0009] [연구기간] 2022-04-01 ~ 2024-12-31

배경 기술

- [0010] 신호 증폭 장치는 입력 신호를 증폭할 수 있다. 신호 증폭 장치는 동작 전압의 크기 범위 안에서 입력된 신호를 증폭시킬 수 있다. 증폭된 신호가 동작 전압의 크기보다 큰 경우, 증폭된 신호는 동작 전압의 크기로 포화될 수 있다. 큰 신호를 고배율로 증폭하는 경우, 증폭된 신호는 동작 전압으로 포화되어 증폭기에 입력된 신호의 크기를 구분하지 못할 수 있다.

발명의 내용

과제의 해결 수단

- [0011] 일 실시예에 따른 신호를 증폭하기 위한 신호 증폭 장치는, 입력 신호를 수신하는 제1 신호 수신부, 클리핑 값에 기초하여 상기 입력 신호를 클리핑하는 것에 의해 상기 입력 신호의 극값이 클리핑된 신호인 보상 입력 신호를 생성하는 보상 입력 신호 생성부, 상기 보상 입력 신호를 수신하는 제2 신호 수신부 및 상기 입력 신호와 상기 보상 입력 신호 간의 차이에 대응하는 신호를 증폭하여 증폭된 신호를 생성하는 증폭부를 포함할 수 있다.
- [0012] 상기 보상 입력 신호 생성부는, 상기 입력 신호의 극값값을 제1 클리핑 값의 크기로 클리핑하는 것에 의해 상기 보상 입력 신호를 생성하고, 상기 증폭부의 입력 단에서 상기 입력 신호와 상기 보상 입력 신호는 결합하여 상기 입력 신호와 상기 보상 입력 신호 간의 차이에 대응하는 신호가 상기 증폭부에 입력되는 것일 수 있다.
- [0013] 상기 보상 입력 신호 생성부는, 상기 입력 신호가 입력되는 입력 단자; 일단에 상기 입력 신호가 입력되는 회로 소자, 일단이 상기 회로 소자의 타단에 연결되고, 타단에 상기 제1 바이어스 값의 전압 신호가 입력되는 제1 다이오드 및 상기 제1 다이오드의 일단 및 상기 회로 소자의 타단에 연결되고, 상기 클리핑된 입력 신호를 출력하는 출력 단자를 포함할 수 있다.
- [0014] 상기 보상 입력 신호 생성부는, 저항 및 제2 다이오드를 기초로 상기 입력 신호의 극값값을 제2 클리핑 값의 크기로 클리핑하는 것에 의해 상기 보상 입력 신호를 생성하고, 상기 증폭부의 입력 단에서 상기 입력 신호와 상기 보상 입력 신호는 결합하여 상기 입력 신호와 상기 보상 입력 신호 간의 차이에 대응하는 신호가 상기 증폭부에 입력되는 것일 수 있다.
- [0015] 상기 보상 입력 신호 생성부는, 상기 입력 신호가 입력되는 입력 단자, 일단에 상기 입력 신호가 입력되는 회로 소자 일단이 상기 회로 소자의 타단에 연결되고, 타단에 상기 제2 바이어스 값의 전압 신호가 입력되는 제2 다이오드 및 상기 제2 다이오드의 일단 및 상기 회로 소자의 타단에 연결되고, 상기 클리핑된 입력 신호를 출력하는 출력 단자를 포함할 수 있다.

[0016] 상기 보상 입력 신호 생성부는, 저항 및 제1 다이오드를 기초로 상기 입력 신호의 극댓값을 제1 클리핑 값의 크기 및 저항 및 제2 다이오드를 기초로 상기 입력 신호의 극솟값을 제2 클리핑 값의 크기로 클리핑하는 것에 의해 상기 보상 입력 신호를 생성하고, 상기 증폭부의 입력 단에서 상기 입력 신호와 상기 보상 입력 신호는 결합하여 상기 입력 신호와 상기 보상 입력 신호 간의 차이에 대응하는 신호가 상기 증폭부에 입력되는 것일 수 있다.

[0017] 상기 보상 입력 신호 생성부는, 상기 입력 신호가 입력되는 입력 단자, 일단에 상기 입력 신호가 입력되는 회로 소자, 일단이 상기 회로 소자의 타단에 연결되고, 타단에 상기 제1 바이어스 값의 전압 신호가 입력되는 제1 다이오드 일단이 상기 회로 소자의 타단에 연결되고, 타단에 상기 제2 바이어스 값의 전압 신호가 입력되는 제2 다이오드 및 상기 제1 다이오드의 일단, 상기 제2 다이오드의 일단 및 상기 회로 소자의 타단에 연결되고, 상기 클리핑된 입력 신호를 출력하는 출력 단자를 포함할 수 있다.

도면의 간단한 설명

[0018] 도 1은 일 실시예에 따른 신호 증폭 장치의 구성들을 설명하기 위한 블록도이다.

도 2는 일 실시예에 따른 신호 증폭 장치의 회로의 구성들을 설명하기 위한 도면이다.

도 3a, 도 3b 및 도 3c는 일 실시예에 따른 보상 입력 신호 생성부를 설명하기 위한 도면들이다.

도 4는 일 실시예에 따른 입력 신호와 보상 입력 신호의 차이에 대응하는 신호가 생성되는 것을 설명하기 위한 도면이다.

도 5a 및 도 5b는 일 실시예에 따른 포락선 검출기의 회로의 구성들을 설명하기 위한 도면들이다.

도 6은 일 실시예에 따른 포락선 검출기에 의해 검출된 신호의 포락선을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0019] 실시예들에 대한 특정한 구조적 또는 기능적 설명들은 단지 예시를 위한 목적으로 개시된 것으로서, 다양한 형태로 변경되어 구현될 수 있다. 따라서, 실제 구현되는 형태는 개시된 특정 실시예로만 한정되는 것이 아니며, 본 명세서의 범위는 실시예들로 설명한 기술적 사상에 포함되는 변경, 균등물, 또는 대체물을 포함한다.

[0020] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 이런 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 해석되어야 한다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.

[0021] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다.

[0022] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 문서에서, "A 또는 B", "A 및 B 중 적어도 하나", "A 또는 B 중 적어도 하나", "A, B 또는 C", "A, B 및 C 중 적어도 하나", 및 "A, B, 또는 C 중 적어도 하나"와 같은 문구들 각각은 그 문구들 중 해당하는 문구에 함께 나열된 항목들 중 어느 하나, 또는 그들의 모든 가능한 조합을 포함할 수 있다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 설명된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0023] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 해당 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0024] 본 문서에서 사용되는 '~부'라는 용어는 소프트웨어 또는 FPGA 또는 ASIC과 같은 하드웨어 구성요소를 의미하며, '~부'는 어떤 역할들을 수행한다. 그렇지만, '~부'는 소프트웨어 또는 하드웨어에 한정되는 의미는 아니다. '~부'는 어드레싱할 수 있는 저장 매체에 있도록 구성될 수도 있고 하나 또는 그 이상의 프로세서들을 재생시키도록 구성될 수도 있다.

- [0025] 큰 신호를 고배율로 증폭하는 경우, 증폭 신호는 증폭기의 동작 전압의 크기로 포화될 수 있다. 동작 전압의 크기로 포화된 증폭 신호로부터 입력 신호의 크기를 구분할 수 없을 수 있다. 예를 들어, 물체의 임피던스를 측정하기 위해 전류원, 측정 대상 임피던스 및 증폭기를 병렬로 연결 할 수 있다. 전류원에서 증폭기로 흐르는 전류가 큰 신호이고 큰 신호를 고배율로 증폭하는 경우, 증폭기로부터 출력되는 증폭 신호는 증폭기의 동작 전압의 크기로 포화될 수 있다. 포화된 증폭 신호로부터 입력 신호의 크기를 구분할 수 없고, 전류원에 연결된 물체의 임피던스는 정확히 측정될 수 없다.
- [0026] 이하, 실시예들을 첨부된 도면들을 참조하여 상세하게 설명한다. 첨부 도면을 참조하여 설명함에 있어, 도면 부호에 관계없이 동일한 구성 요소는 동일한 참조 부호를 부여하고, 이에 대한 중복되는 설명은 생략하기로 한다.
- [0027] 도 1은 일 실시예에 따른 신호 증폭 장치의 구성들을 설명하기 위한 블록도이다.
- [0028] 도 1을 참조하면, 신호 증폭 장치(100)는 제1 수신부(110), 제2 수신부(120), 보상 입력 신호 생성부(130) 및 증폭부(140)를 포함할 수 있다. 포락선 검출기(150) 및 저역 통과 필터(160)는 신호 증폭 장치(100)에 연결될 수 있다. 신호 증폭 장치(100)는 입력 신호의 극값이 클리핑된 보상 입력 신호를 생성하고, 입력 신호와 보상 입력 신호 간의 차이에 대응하는 신호를 생성하는 장치이다. 일 실시예에 따른 제1 신호 수신부(110)는 입력 신호를 수신할 수 있다. 예를 들어, 제1 신호 수신부(110)는 차동 신호를 입력 신호로 수신할 수 있고 차동 신호를 입력 받기 위하여 입력 단자들(예: 도2의 입력 단자들(111, 112))을 가질 수 있다. 일 실시예에 따른 보상 입력 신호 생성부(130)는 클리핑 값에 기초하여 입력 신호를 클리핑하여 입력 신호의 극값이 클리핑된 신호인 보상 입력 신호를 생성할 수 있다. 예를 들어, 보상 입력 신호 생성부(130)는 미리 정의된 바이어스 값(예: 도 3a의 V_{th1})에 기초하여 입력 전압의 극댓값이 클리핑된 보상 입력 신호를 생성할 수 있다. 일 실시예에 따른 제2 신호 수신부(120)는 보상 입력 신호를 수신할 수 있다. 예를 들어, 제2 신호 수신부(120)는 차동 입력 신호에 대한 보상 입력 신호를 수신할 수 있고, 차동 입력 신호를 수신하기 위한 입력 단자(예: 도 2의 입력 단자(121))와 입력 단자(예: 도 2의 입력 단자(122))를 가질 수 있다. 일 실시예에 따른 증폭부(140)는 입력 신호와 보상 입력 신호에 대응하는 신호를 결합한 신호에 기초하여 증폭된 신호를 생성할 수 있다. 예를 들어, 증폭부(140)는 입력 신호와 보상 입력 신호가 반전된 신호를 결합한 신호를 기초로 증폭된 신호를 생성할 수 있다. 일 실시예에 따른 포락선 검출기(150)는 신호 증폭 장치(100)의 출력단에 연결될 수 있다. 포락선은 양의(또는 음의) 피크가 반복적으로 빠른 빈도를 가지고 출현하는 신호에서 연속하는 양의(또는 음의) 피크점을 이은 곡선이다. 포락선 검출기(150)는 신호 증폭 장치(100)에서 출력된 증폭된 신호에 대한 포락선을 검출할 수 있다. 일 실시예에서, 저역 통과 필터(160)는 포락선 검출기(150)의 출력단에 연결 될 수 있다. 저역 통과 필터(160)는 입력된 신호에 대하여 차단 주파수 이상의 주파수 대역 성분을 필터링할 수 있다. 예를 들어, 저역 통과 필터(160) 포락선 검출기(150)의 출력단에서 출력된 신호에 대하여 차단 주파수 이상의 주파수 대역 성분을 제거할 수 있다.
- [0029] 도 2는 일 실시예에 따른 신호 증폭 장치의 회로의 구성들을 설명하기 위한 도면이다.
- [0030] 도 2를 참조하면, 제1 수신부(110)는 차동 입력 신호(예: INP, INN)(210)를 입력 받을 수 있다. 제1 수신부(110)는 차동 입력 신호(210)를 입력 받기 위한 입력 단자(111) 및 입력 단자(112)를 가질 수 있다. 입력 단자(111)를 통해 입력 신호 INP가 입력되고 입력 단자(112)를 통해 입력 신호 INN이 입력될 수 있다. 일 실시예에 따른 보상 입력 신호 생성부(130)는 차동 입력 신호(210)를 입력 받아 보상 입력 신호(220)를 생성할 수 있다.
- 예를 들어, 보상 입력 신호 생성부(130)는 차동 입력 신호(210)를 입력 받아, 보상 입력 신호(예: INN_c , INP_c)(220)를 출력할 수 있다. 보상 입력 신호 생성부(130)가 보상 입력 신호(220)를 생성하는 것은 도 3a, 도 3b 및 도 3c에서 보다 자세히 설명하도록 한다.
- [0031] 일 실시예에 따른 제2 수신부(120)는 보상 입력 신호(220)를 입력 받을 수 있다. 제2 수신부(120)는 보상 입력 신호(220)를 입력 받을 수 있는 입력 단자(121) 및 입력 단자(122)를 가질 수 있다. 제1 수신부(110) 및 제2 수신부(120)가 입력 받은 각 신호가 증폭부(140)의 입력단에서 결합되도록 제1 수신부(110) 및 제2 수신부(120)의 출력단이 연결될 수 있다. 예를 들어, 제1 수신부(110)의 입력 단자(111)에 대한 출력 노드(mp)와 제2수신부(120)의 입력 단자(121)에 대한 출력 노드(mp)가 연결되고, 제1수신부(110)의 입력 단자(112)에 대한 출력 노드(mn)와 제2 수신부(120)의 입력 단자(122)에 대한 출력 노드(mn)가 연결될 수 있다. 출력 노드(mp)로부터 신호 INP 및 신호 INN_c 가 결합한 신호 및 출력 노드(mn)로부터 신호 INN 및 신호 INP_c 가 결합한 신호가 증폭부(140)

에 입력될 수 있다.

[0032] 일 실시예에 따른 증폭부(140)는 차동 입력 신호(210) 및 보상 입력 신호(220)를 기초로 증폭 신호(예: OUTN, OUTP)(예: 230)를 생성할 수 있다. 증폭부(140)는 증폭 신호(230)를 생성하기 위하여 증폭기(AMP)를 포함할 수 있다. 증폭부(140)가 출력 신호(230)를 생성하는 것은 도 4에서 설명하도록 한다.

[0033] 도 3a, 도 3b 및 도 3c는 일 실시예에 따른 보상 입력 신호 생성부를 설명하기 위한 도면들이다. 일 실시예에 따른 도 3a, 도 3b 및 도 3c에 도시된 클리핑 값의 전압 신호는 다이오드의 포워드 바이어스(forward bias) 전압(V_f)를 고려하여 결정될 수 있다. 다이오드 양극에 인가되는 전압이 다이오드 음극에 인가되는 전압보다 포워드 바이어스 전압(V_f)보다 큰 경우, 다이오드는 ON상태가 될 수 있다. 예를 들어, 포워드 바이어스 전압(V_f)은 0.7V, 다이오드 음극에 인가된 전압이 0.5V일 수 있다. 다이오드 양극에 인가된 전압이 1.2V 이상인 경우, 다이오드는 ON상태가 될 수 있고, 다이오드의 양극에서 음극으로 다이오드 전류가 흐를 수 있다.

[0034] 일 실시예에 따른 다이오드는 금속 산화물 반도체(metal-oxide semiconductor; MOS)로 대체될 수 있다. 예를 들어, 다이오드는 P-형 금속 산화물 반도체(p-type metal-oxide semiconductor; PMOS)로 대체될 수 있고, P-형 금속 산화물 반도체의 게이트 단자와 드레인 단자가 연결되어 다이오드의 음극 단자가 되고 소스단자가 다이오드의 양극 단자가 될 수 있다.

[0035] 일 실시예에 따른 도 3a, 3b 및 3c의 저항 R_1 은 아날로그 버퍼 또는 소스 팔로워로 대체될 수 있다. 예를 들어, 아날로그 버퍼는 OP-AMP에 단위

[0036] 이득 음성 피드백(unit gain negative feedback)회로를 적용하여 구현될 수 있다. 저항 R_1 은 소스 팔로워(source follower)로 대체될 수 있다. 소스 팔로워는 직류 신호의 레벨(DC level)을 쉬프트(shift) 시키고 교류 신호를 증폭물 1에 근접하게 증폭시킬 수 있다.

[0037] 도 3a를 참조하면, 보상 입력 신호 생성부(320)는 입력 신호(310)에 대한 보상 입력 신호(330)를 생성할 수 있다. 예를 들어, 보상 입력 신호 생성부(320)는 입력 신호(310)의 극댓값을 제1 클리핑 값(V_{clip1})의 크기로 클리핑하여 보상 입력 신호(330)를 생성할 수 있다. 보상 입력 신호 생성부(320)는 회로 소자 및 다이오드를 포함하는 회로일 수 있고, 회로 소자는 저항, 아날로그 버퍼 또는 소스 팔로워일 수 있다. 일 실시예에 따른 보상 입력 신호 생성부(320)는 제1 다이오드의 일단, 회로 소자의 타단에 연결된 출력 단자를 통해 보상 입력 신호(330)를 출력할 수 있다. 예를 들어, 입력 신호(310)는 저항의 (예: 도 3a의 R_1)의 일단으로 입력되고,

저항의 타단과 제1 다이오드(예: 도 3a의 D_1)의 일단이 연결된 출력단을 통해 보상 입력 신호(330)가 출력될 수 있다. 제1 다이오드(예: 도 3a의 D_1)의 타단으로 제1 바이어스 값의 전압 신호 (예: 도 3a의 V_{th1})가 인가될 수 있다. 보상 입력 신호 생성부(320)에 제1 클리핑 값의 전압 신호(V_{clip1}) 보다 큰 입력 신호(310)가 입력되면, 제1 다이오드는 ON상태가 되고 제1 클리핑 값의 전압 신호(V_{clip1})로 제한된 보상 입력 신호(330)를 출력할 수 있다. 보상 입력 신호 생성부(320)에 제1 클리핑 값의 전압 신호(V_{clip1})보다 작은 전압 신호가 인가되면 제1 다이오드에 역방향 전압이 인가되어 제1 다이오드는 OFF 상태가 되고 입력 신호(310)가 그대로 출력될 수 있다.

[0038] 일 실시예에 따르면, 제1 다이오드의 포워드 바이어스 전압이 V_f 이고 제1 바이어스 값이 V_{th1} 일 경우, 도 3a에 표기된 클리핑 전압 V_{clip1} 은 ($V_{th1} + V_f$)일 수 있다.

[0039] 예를 들어, 제1 다이오드의 포워드 바이어스 전압(V_f)이 0.7V이고 제1 바이어스 값(V_{th1})이 0.5V일 수 있다. 입력 신호(310)로서 1.2 V 이상의 신호가 입력되는 경우, 제1 다이오드는 ON상태가 되고 출력 신호(330)로서 1.2V 이상의 값을 출력하지 못하고 1.2V로의 값으로 클리핑될 수 있다.

[0040] 도 3b를 참조하면, 보상 입력 신호 생성부(340)는 입력 신호(310)에 대한 보상 입력 신호(350)를 생성할 수 있다. 예를 들어, 보상 입력 신호 생성부(340)는 입력 신호(310)의 극솟값을 제2 클리핑 값(V_{clip2})의 크기로 클리핑하여 보상 입력 신호를 생성할 수 있다. 보상 입력 신호 생성부(340)는 회로 소자 및 다이오드를 포함하는 회로일 수 있다. 회로 소자는 저항, 아날로그 버퍼 또는 소스 팔로워일 수 있다. 예를 들어, 일단에 입력 신

호(310)가 입력되는 저항(예: 도3b의 R_1), 일단이 저항의 타단에 연결되고 타단에 제2 바이어스 값의 전압 신호(예: 도3b의 V_{th2})가 입력되는 제2 다이오드(예: 도3b의 D_2)를 포함하는 회로일 수 있다. 일

실시예에서, 입력 신호(310)는 저항의 (예: 도3b의 R_1)의 일단으로 입력되고, 보상 입력 신호(350)는 저항의 타단과 제2 다이오드(예: 도3b의 D_2)의 일단이 연결된 출력단을 통해 출력될 수 있다. 예를 들어, 제2 다이오드의 타단으로 제2 바이어스 값의 전압 신호 (예: 도3b의 V_{th2})가 인가될 수 있다. 보상 입력 신호 생성부(340)에 제2 클리핑 값의 전압 신호(V_{clip2})보다 작은 입력 신호(310)가 인가되면, 제2 다이오드는 ON상태가 되고 출력 전압 신호를 제2 클리핑 값의 전압 신호(V_{clip2})로 제한된 보상 입력 신호(350)를 출력할 수 있다. 보상 입력 신호 생성부(340)에 제2 클리핑 값의 전압 신호(V_{clip2})보다 큰 전압 신호가 인가되면 제2 다이오드에 역방향 전압이 인가되어 제2 다이오드는 OFF 상태가 되고 입력 신호(310)가 그대로 출력될 수 있다.

[0041] 일 실시예에 따르면, 제2 다이오드의 포워드 바이어스 전압이 V_f 이고 제2 바이어스 값이 V_{th2} 일 경우, 도 3b에 표기된 클리핑 전압 V_{clip2} 은 $(V_{th2} - V_f)$ 일 수 있다.

[0042] 예를 들어, 제2 다이오드의 포워드 바이어스 전압(V_f)은 0.7V이고 제2 바이어스 값(V_{th2})은 1.3V일 수 있다. 입력 신호(310)로서 0.6V 이하의 신호가 입력되는 경우, 제2 다이오드는 ON상태가 되고 출력 신호(330)로서 0.6V이하의 값을 출력하지 못하고 0.6V의 값으로 클리핑될 수 있다.

[0043] 도 3c를 참조하면, 보상 입력 신호 생성부(360)는 입력 신호(310)에 대한 보상 입력 신호(370)를 생성할 수 있다. 예를 들어, 보상 입력 신호 생성부(360)는 입력 신호의 극댓값을 제1 클리핑 값(V_{clip1})의 크기 및 극솟값을 제2 클리핑 값(V_{clip2})의 크기로 클리핑하여 보상 입력 신호를 생성할 수 있다. 보상 입력 신호 생성부(360)는 회로 소자, 제1 다이오드 및 제2 다이오드를 포함하는 회로일 수 있고 회로 소자는 저항, 아날로그 버

퍼 또는 소스 팔로워일 수 있다. 예를 들어, 일단에 입력 신호(310)가 입력되는 저항(예: 도3c의 R_1), 일단이 저항의 타단에 연결되고 타단에 제1 바이어스 값의 전압 신호(예: 도3c의 V_{th1})가 입력되는 제1 다이오드(예: 도3c의 D_1) 일단이 저항의 타단에 연결되고 타단에 제2 바이어스 값의 전압 신호(예: 도3c의

V_{th2})가 입력되는 제2 다이오드(예: 도3c의 D_2)를 포함하는 회로일 수 있다. 일 실시예에 따른 보상 입력 신호 생성부(360)는 제1 다이오드의 일단, 제2 다이오드의 일단 및 저항의 타단에 연결된 출력 단자를 보상 입력 신호(370)를 출력할 수 있다. 예를 들어, 입력 신호(310)는 저항의 (예: 도3c의 R_1)의 타단으로 입력되

고, 보상 입력 신호(370)는 저항의 일단, 제1 다이오드(예: 도 3c의 D_1)의 일단 및 제2 다이오드(예: 도3c의 D_2)의 일단이 연결된 출력단을 통해 출력될 수 있다. 제1 다이오드의 타단으로 제1 바이어스 값의 전압 신호 (예: 도3c의 V_{th1}) 및 제2 다이오드의 타단으로 제2 바이어스 값의 전압 신호(예: 도3c의 V_{th2})가 인가될 수 있다.

[0044] 제1 다이오드 및 제2 다이오드의 포워드 바이어스 전압이 V_f , 제1 바이어스 값이 V_{th1} , 제2 바이어스 값이 V_{th2} 일 경우, 도 3c에 표기된 제1 클리핑 전압 V_{clip1} 은 $(V_{th1} + V_f)$ 이고 제2 클리핑 전압 V_{clip2} 은 $(V_{th2} - V_f)$ 일 수 있다. 예를 들어, 제1 다이오드 및 제2 다이오드의 포워드 바이어스 전압이 0.7V, 제1 바이어스 값이 0.5V, 제2 바이어스 값이 1.3V 일 경우, 도 3c에 표기된 제1 클리핑 전압 V_{clip1} 은 1.2V이고 제2 클리핑 전압 V_{clip2} 은 0.6V일 수 있다.

[0045] 입력 신호(310)로서 1.2V 이상의 신호가 입력되는 경우, 제1 다이오드가 ON상태가 되어 출력 신호(330)로서 1.2V이상의 값을 출력하지 못하고 1.2V의 값으로 클리핑될 수 있다. 또한, 입력 신호(310)로서 0.6V 이하의 신호가 입력되는 경우, 제2 다이오드가 ON상태가 되어 출력 신호(330)로서 0.6V이하의 값을 출력하지 못하고 1.2V의 값으로 클리핑될 수 있다.

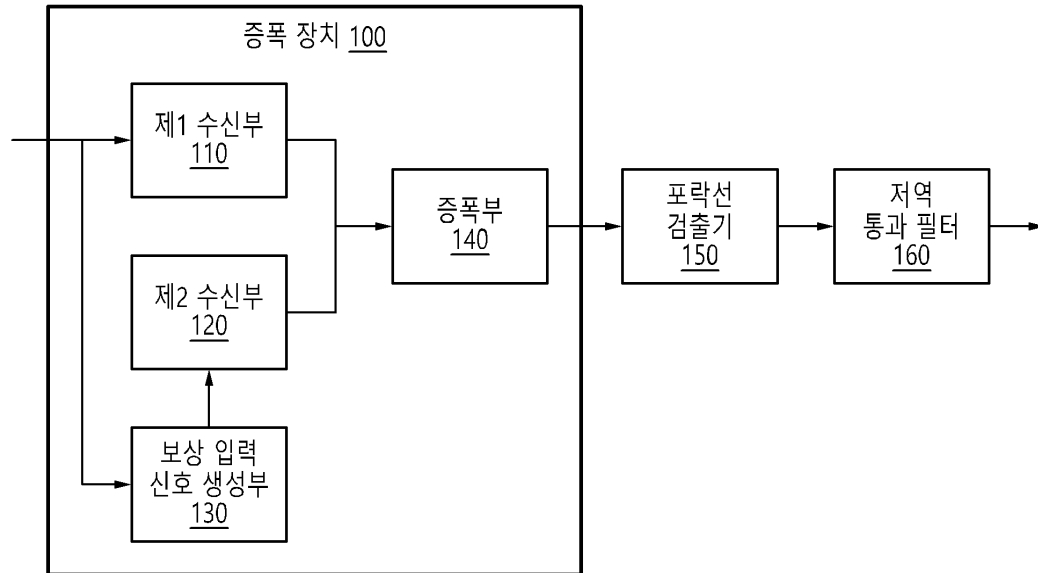
- [0046] 도 4는 일 실시예에 따른 입력 신호와 보상 입력 신호의 차이에 대응하는 신호가 생성되는 것을 설명하기 위한 도면이다.
- [0047] 도 4를 참조하면, 그래프(410)는 입력 신호(예: 도 3a의 입력 신호(310))에 대한 그래프, 그래프(420)는 보상 입력 신호(예: 도 3c의 보상 입력 신호(310))에 대한 그래프, 그래프(430)는 입력 신호와 보상 입력 신호 간의 차이에 대응하는 신호(이하, 증폭기 입력 신호라 한다)에 대한 그래프이다. 그래프 상에서 세로축은 전압을 나타내고 VDD 및 VSS는 증폭기(예: 도 2의 증폭부(140)의 AMP)의 동작 전압이다. Vclip1 및 Vclip2는 각각 보상 입력 신호 생성부(예: 도 1의 보상 입력 신호 생성부(130))의 제1 클리핑 값, 제2 클리핑 값이다. Vcom은 차동 입력 신호(예: 도 2의 차동 입력 신호(210))에 대한 공통모드 전압이다. 일 실시예에 따른 증폭기 입력 신호(430)는 증폭부(예: 도 1의 증폭부(140))의 입력 단에서 입력 신호와 보상 입력 신호 간의 차이에 대응하는 신호를 기초로 생성될 수 있다. 예를 들어 증폭기 입력 신호(430)는 증폭부의 입력 단에서 입력 신호와 보상 입력 신호가 반전된 신호가 결합되어 생성될 수 있다. 반전된 보상 입력 신호와 입력 신호를 결합하기 위하여 제1 수신부(예: 도 1의 제1 수신부(110))의 양극 출력 단자(미도시)는 제2 수신부(예: 도 1의 제2 수신부(120))의 음극 출력 단자(미도시)와 연결되고 제1 수신부의 음극 출력 단자(미도시)는 제2 수신부(120)의 양극 출력 단자(미도시)와 연결될 수 있다. 증폭기 입력 신호(430)는 증폭부에 입력되어 증폭될 수 있다.
- [0048] 도 5a 및 도 5b는 일 실시예에 따른 포락선 검출기의 회로의 구성들을 설명하기 위한 도면이다. 포락선 검출기(예: 도 1의 포락선 검출기(150))는 증폭된 신호로부터 포락선을 검출할 수 있다. 예를 들어, 포락선 검출기는 증폭기 입력 신호(예: 도 4의 증폭기 입력 신호(430))가 증폭된 신호에 포함된 극값에 대한 포락선을 검출할 수 있다. 포락선 검출기는 신호 증폭 장치(예: 도 1의 신호 증폭 장치(100))의 출력단에 연결될 수 있다.
- [0049] 도 5a를 참조하면, p-타입 포락선 검출기(510)는 증폭 장치로부터 출력된 신호를 입력 받아 포락선을 검출할 수 있다. p-타입 포락선 검출기(510)는 증폭기(AMP), 커패시터(Cenv), 저항(Renv) 및 스위치(SW)를 포함할 수 있다. 증폭기의 입력 단자(511)는 증폭 장치의 출력 단자와 연결되고, 입력 단자(512)는 커패시터, 저항 및 스위치의 일단과 연결될 수 있다. 커패시터의 일단은 증폭기의 입력 단자(512), 저항 및 스위치의 일단과 연결되고 타단은 접지될 수 있다. 저항의 일단은 증폭기의 입력 단자(512), 커패시터 및 스위치 일단과 연결되고 타단은 접지될 수 있다. 스위치의 일단은 증폭기의 입력 단자(512), 커패시터 및 저항의 일단과 연결되고 타단은 동작 전압 VDD가 인가될 수 있다. 스위치의 타단과 증폭기의 출력 단자가 연결되어 스위치가 ON이 되는 경우, 검출된 포락선은 증폭기의 입력 단자(512), 커패시터, 저항 및 스위치의 일단에 연결된 출력 단자(미도시)를 통해 출력될 수 있다.
- [0050] 도 5b를 참조하면, n-타입 포락선 검출기(520)는 증폭 장치의 출력 단자로부터 출력된 신호를 입력 받아 포락선을 검출할 수 있다. n-타입 포락선 검출기(520)는 증폭기(AMP), 커패시터(Cenv), 저항(Renv) 및 스위치(SW)를 포함할 수 있다. 증폭기의 입력 단자(514)는 증폭 장치(예: 도 2의 증폭 장치(100))의 출력 단자와 연결되고, 입력 단자(513)는 커패시터, 저항 및 스위치의 일단과 연결될 수 있다. 커패시터의 일단은 증폭기의 입력 단자(513), 저항 및 스위치의 일단과 연결되고 타단은 동작 전압 VDD가 인가될 수 있다. 저항의 일단은 증폭기의 입력 단자(513), 커패시터 및 스위치의 일단과 연결되고 타단은 동작 전압 VDD가 인가될 수 있다. 스위치의 일단은 증폭기(AMP)의 입력 단자(513), 커패시터 및 저항의 일단과 연결되고 타단은 접지될 수 있다. 스위치의 일단과 증폭기의 출력 단자가 연결되어 스위치가 ON이 되는 경우, 검출된 포락선은 증폭기의 입력 단자(513), 커패시터, 저항 및 스위치의 일단에 연결된 출력 단자(미도시)를 통해 출력될 수 있다.
- [0051] 도 6은 일 실시예에 따른 포락선 검출기에 의해 검출된 신호의 포락선을 설명하기 위한 도면이다. 도 6을 참조하면, 그래프(610)는 증폭된 신호에 대한 그래프이다. 그래프 상에서 세로축은 전압을 나타내며 VDD 및 VSS는 포락선 검출기에 포함된 증폭기의 동작 전압이고, Vcom은 공통 모드 전압이다.
- [0052] 일 실시예에 따른 그래프(620)는 p-타입 포락선 검출기(예: 도 5a의 포락선 검출기(510))에 의하여 검출된 포락선이다. p-타입 포락선 검출기는 증폭 신호에서 공통 모드 전압 Vcom보다 큰 증폭 신호에 대한 포락선을 생성할 수 있다. 일 실시예에 따른 그래프(630)는 n-타입 포락선 검출기(예: 도 5b의 포락선 검출기(520))에 의하여 검출된 포락선이다. n-타입 포락선 검출기는 증폭 신호에서 공통 모드 전압 Vcom보다 작은 증폭 신호에 대한 포락선을 생성할 수 있다. 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 이를 기초로 다양한 기술적 수정 및 변형을 적용할 수 있다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[0053]

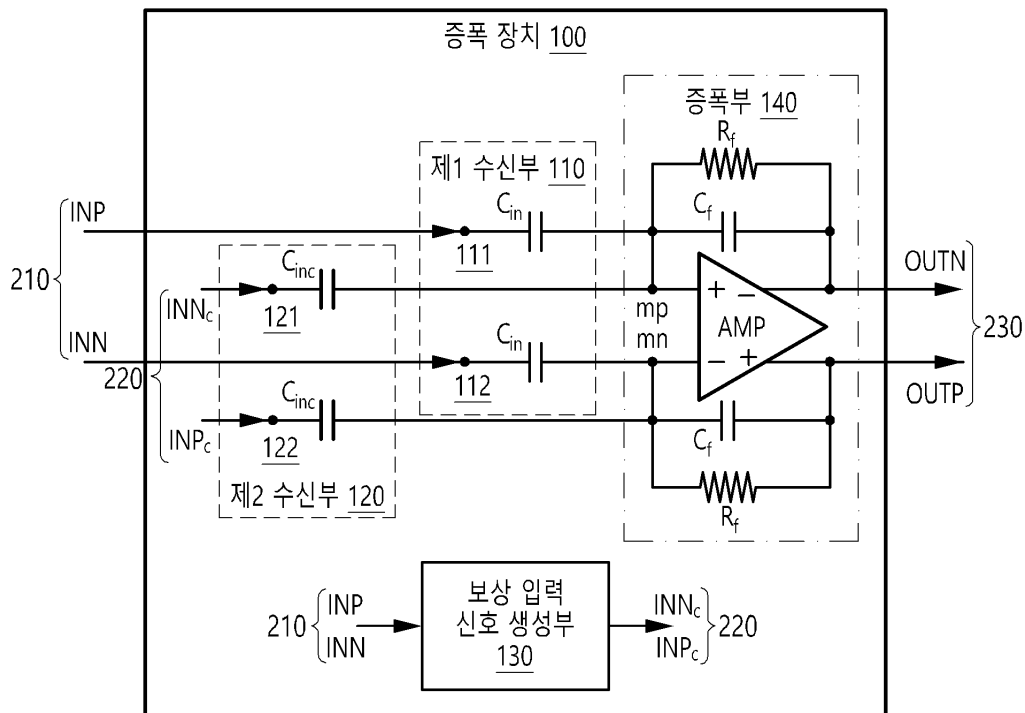
그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

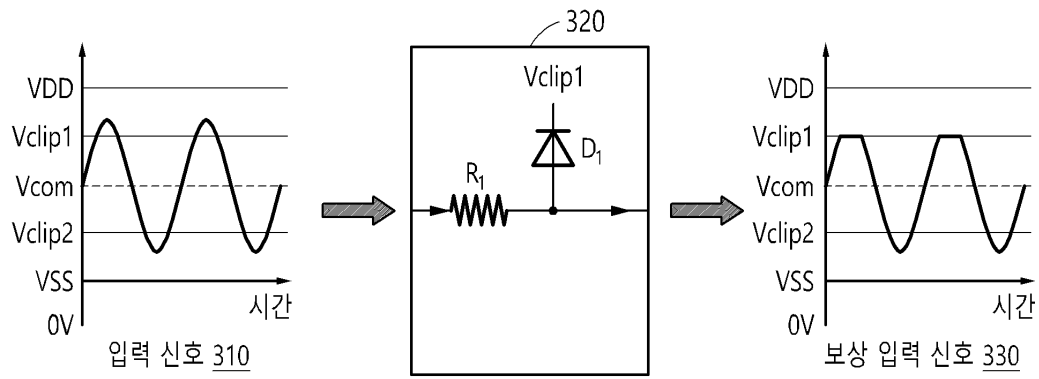
도면1



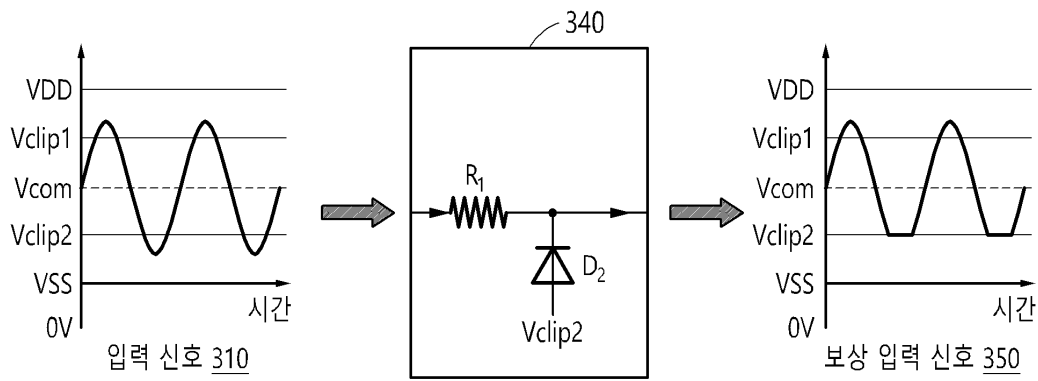
도면2



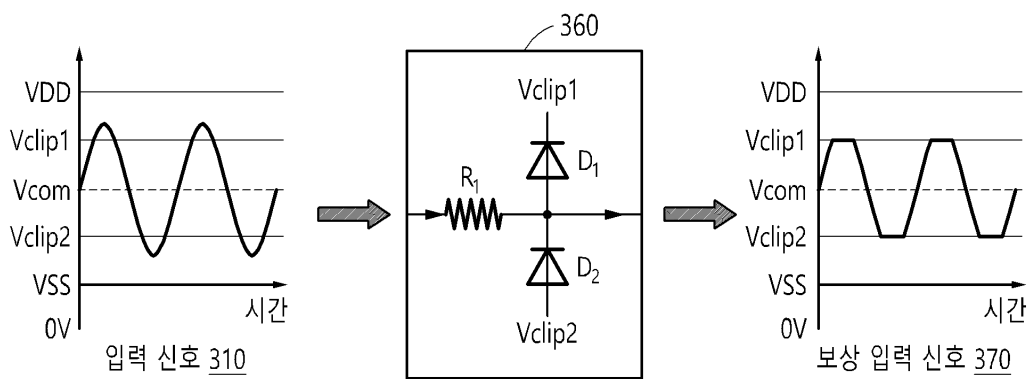
도면3a



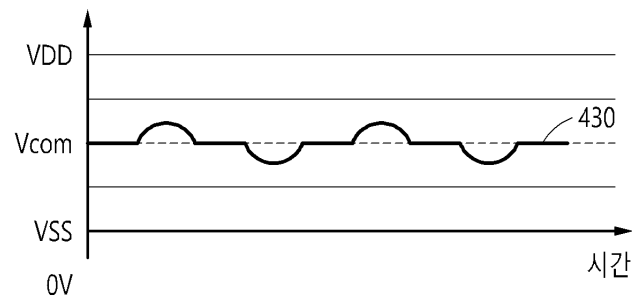
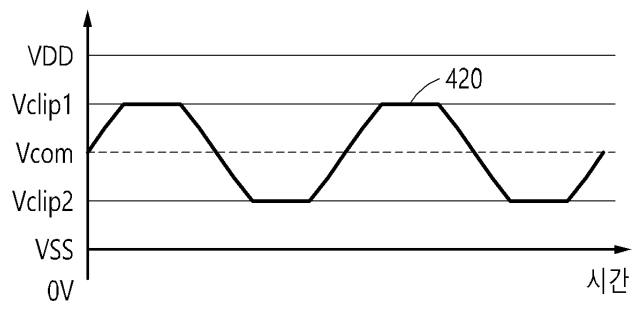
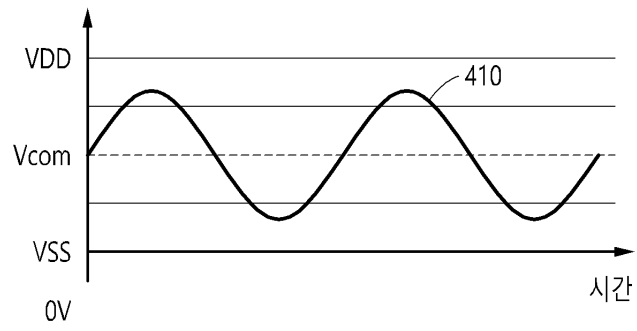
도면3b



도면3c

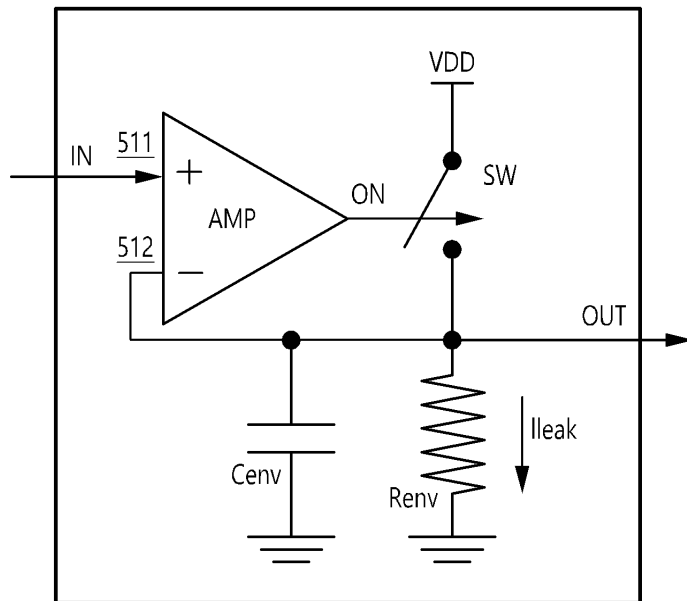


도면4



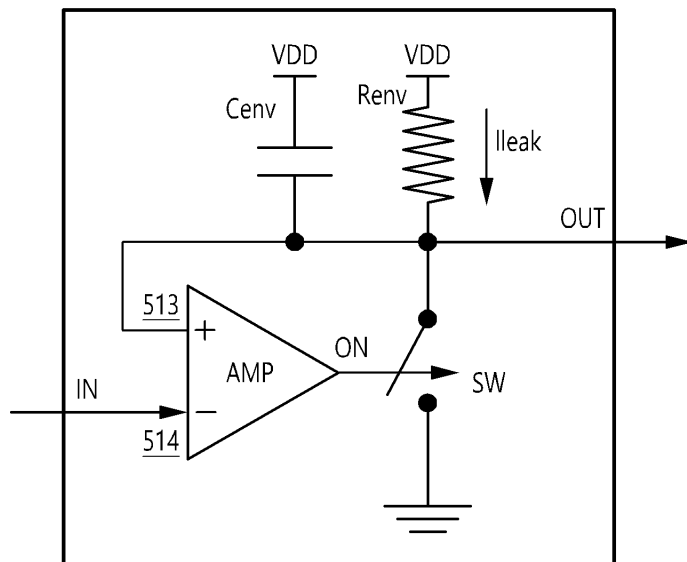
도면5a

510



도면5b

520



도면6

