

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6445878号  
(P6445878)

(45) 発行日 平成30年12月26日 (2018.12.26)

(24) 登録日 平成30年12月7日 (2018.12.7)

|                                |                      |
|--------------------------------|----------------------|
| (51) Int. Cl.                  | F I                  |
| <b>G 0 5 F 1/56 (2006.01)</b>  | G 0 5 F 1/56 3 2 0 C |
| <b>H 0 1 L 33/00 (2010.01)</b> | H 0 1 L 33/00 J      |
| <b>H 0 5 B 37/02 (2006.01)</b> | H 0 5 B 37/02 J      |
|                                | H 0 5 B 37/02 K      |

請求項の数 9 (全 17 頁)

|           |                               |           |                     |
|-----------|-------------------------------|-----------|---------------------|
| (21) 出願番号 | 特願2015-13369 (P2015-13369)    | (73) 特許権者 | 000191238           |
| (22) 出願日  | 平成27年1月27日 (2015.1.27)        |           | 新日本無線株式会社           |
| (65) 公開番号 | 特開2016-139247 (P2016-139247A) |           | 東京都中央区日本橋横山町3番10号   |
| (43) 公開日  | 平成28年8月4日 (2016.8.4)          | (74) 代理人  | 100083194           |
| 審査請求日     | 平成29年12月5日 (2017.12.5)        |           | 弁理士 長尾 常明           |
|           |                               | (72) 発明者  | 横田 猛昭               |
|           |                               |           | 埼玉県ふじみ野市福岡2丁目1番1号 新 |
|           |                               |           | 日本無線株式会社 川越製作所内     |
|           |                               | 審査官       | 遠藤 尊志               |

最終頁に続く

(54) 【発明の名称】 定電流駆動回路

(57) 【特許請求の範囲】

【請求項1】

第1の電源端子に接続される第1の端子と、前記第1の電源端子に接続される第2の端子と、前記第2の端子と第1のノードとの間に接続された電流設定用の第1の抵抗と、第2の電源端子との間に負荷が接続される出力端子と、該出力端子と前記第1のノードとの間に接続された出力トランジスタと、前記第1のノードの電圧が前記第1の端子を基準端子とする電圧源で設定される基準電圧と等しくなるように前記出力トランジスタを制御する第1のエラーアンプと、を備える定電流駆動本体回路を有し、前記第1の端子と前記第2の端子との間に第1のESD保護素子が接続されるようにした定電流駆動回路において、

前記第1の端子の電圧と前記第2の端子の電圧に所定の差分が生じたとき前記出力トランジスタの出力電流が減少するように前記出力トランジスタを制御する過電流保護回路を設けたことを特徴とする定電流駆動回路。

【請求項2】

第1の電源端子に接続される第1の端子と、前記第1の電源端子と第1のノードとの間に接続された電流設定用の第1の抵抗と、第2の電源端子との間に負荷が接続される出力端子と、該出力端子と前記第1のノードとの間に接続された出力トランジスタと、前記第1のノードの電圧が前記第1の端子を基準端子とする電圧源で設定される基準電圧と等しくなるように前記出力トランジスタを制御する第1のエラーアンプと、を備える定電流駆動本体回路を有し、前記第1の端子と前記第1のノードとの間に第2のESD保護素子が

接続されるようにした定電流駆動回路において、

前記第 1 の端子の電圧と前記第 1 のノードの電圧に所定の差分が生じたとき前記出力トランジスタの出力電流が減少するように前記出力トランジスタを制御する過電流保護回路を設けたことを特徴とする定電流駆動回路。

【請求項 3】

請求項 1 又は 2 に記載の定電流駆動回路において、

前記過電流保護回路は、前記第 1 の端子が前記第 1 の電源端子からオープン状態になったとき該オープン状態を示す検出信号を出力する端子オープン検出回路と、該端子オープン検出回路が前記検出信号を出力するときに前記出力トランジスタの出力電流を低減する保護回路と、からなることを特徴とする定電流駆動回路。

10

【請求項 4】

請求項 1 に記載の定電流駆動回路において、

前記過電流保護回路は、前記第 1 の端子が前記第 1 の電源端子からオープン状態になったとき該オープン状態を示す検出信号を出力する端子オープン検出回路と、該端子オープン検出回路が前記検出信号を出力するときに前記出力トランジスタの出力電流を低減する保護回路とからなり、

前記端子オープン検出回路は、前記第 1 の端子の電圧を検出する第 1 のトランジスタと、前記第 2 の端子の電圧を検出する第 2 のトランジスタとを備え、前記第 1 の端子の電圧と前記第 2 の端子の電圧に所定の差分が生じているとき前記検出信号を出力することを特徴とする定電流駆動回路。

20

【請求項 5】

請求項 3 に記載の定電流駆動回路において、

前記端子オープン検出回路は、前記第 1 の端子の電圧を検出する第 1 のトランジスタと、前記第 1 のノードの電圧を検出する第 2 のトランジスタとを備え、前記第 1 の端子の電圧と前記第 1 のノードの電圧に所定の差分が生じているとき前記検出信号を出力することを特徴とする定電流駆動回路。

【請求項 6】

請求項 3、4 又は 5 に記載の定電流駆動回路において、

前記保護回路は、前記第 1 のノードと前記第 1 のエラーアンプの一方の入力端子との間に接続され、且つ前記端子オープン検出回路が前記検出信号を出力することにより電圧が発生する第 2 の抵抗からなり、該第 2 の抵抗に発生する該電圧により前記第 1 のエラーアンプが前記出力トランジスタを前記出力電流を低減するよう制御することを特徴とする定電流駆動回路。

30

【請求項 7】

請求項 3、4 又は 5 に記載の定電流駆動回路において、

前記保護回路は、前記出力トランジスタとゲートおよびドレインが共通接続された保護用トランジスタと、該保護用トランジスタのソースと前記第 1 のノードとの間に接続された第 3 の抵抗と、前記第 3 の抵抗に生ずる電圧が所定の電圧となるように前記出力トランジスタおよび前記保護用トランジスタのゲートを制御する第 2 のエラーアンプとを備え、

40

前記端子オープン検出回路が前記検出信号を出力することにより、前記第 2 のエラーアンプが前記出力トランジスタの前記出力電流および前記保護用トランジスタに流れる電流を減少させることを特徴とする定電流駆動回路。

【請求項 8】

請求項 3、4 又は 5 に記載の定電流駆動回路において、

前記保護回路は、前記出力トランジスタのゲート・ソース間に接続され、且つ前記端子オープン検出回路が前記検出信号を出力することにより導通する第 3 のトランジスタからなることを特徴とする定電流駆動回路。

【請求項 9】

請求項 3 乃至 8 のいずれか 1 つに記載の定電流駆動回路において、

50

前記出力端子の電圧が所定値を超えたとき検出信号を出力する電圧監視回路を備え、  
該電圧監視回路が前記検出信号を出力すると、前記端子オープン検出回路が前記出力信号を出すことを特徴とする定電流駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体集積回路で構成される定電流駆動回路に関し、特に外部電源端子に接続される半導体集積回路の内部電源端子がオープン状態になっている時に出力トランジスタに過電流が流れることを防止する過電流保護回路を備えた定電流駆動回路に関するものである。

10

【背景技術】

【0002】

図8に従来の定電流駆動回路を示す。この回路は、LED等の負荷に定電流を供給する駆動回路である。基準電圧源V1、オペアンプからなる電圧出力型のエラーアンプA1、NMOSの出力トランジスタMN01、出力電流設定用の抵抗R1、およびESD保護用のダイオードD1、D2により定電流駆動本体回路10が構成される。P1は回路GND端子、P2はパワーGND端子であり、外部の低電圧電源端子GNDに接続される。P3は出力端子であり、この出力端子P3と外部の高電圧電源端子(VDD)との間に、定電流駆動されるLED等の負荷が接続される。端子P1～P3は半導体集積回路に設けられる。N1は電流設定用のノードである。

20

【0003】

ダイオードD2は回路GND端子P1が正極となり電流設定用のノードN1が負極となるようなESD(静電気放電: Electro-Static Discharge)が印加されたときオンし、ダイオードD1はオープンした回路GND端子P1が正極となりパワーGND端子P2が負極となるようなESDが印加されたときオンし、いずれもESDから回路や素子を保護する。

【0004】

また、基準電圧源V2、オペアンプからなる電圧出力型のエラーアンプA2、過電流検出用のNMOSTランジスタMN02、および過電流検出用の抵抗R3は、過電流保護用の保護回路40Bを構成する。

30

【0005】

エラーアンプA1、A2の出力は乗算部41に入力している。この乗算部41は2個の入力電圧のうち、低い方の電圧を優先して取り出し、トランジスタMN01、MN02のゲートに入力する。

【0006】

定電流駆動本体回路10では、エラーアンプA1の非反転入力端子に基準電圧源V1が接続され、エラーアンプA1により出力トランジスタMN01が駆動される。出力トランジスタMN01は、そのドレインが出力端子P3へ、ソースが電流設定用のノードN1へ接続され、出力端子P3から電流設定用のノードN1へ流れる電流を制御する。また、エラーアンプA1の反転入力端子には、出力トランジスタMN01のソース電圧、即ち電流設定用のノードN1の電圧が入力される。この結果、エラーアンプA1は出力トランジスタMN01を介して負帰還動作し、電流設定用のノードN1は基準電圧源V1と同等の電圧に制御される。

40

【0007】

そして、電流設定用のノードN1とパワーGND端子P2との間に接続された電流設定用の抵抗R1により、出力端子P3からは、一定電流(シンク電流)が出力される。このときの出力電流IOUTは、基準電圧源V1の電圧をV1、抵抗R1の抵抗値をR1とすると、

$$IOUT = V1 / R1$$

(1)

50

で決まる値に設定される。

#### 【0008】

保護回路40Bでは、トランジスタMN02がトランジスタMN01と同様にエラーアンプA1によって駆動される。トランジスタMN02には抵抗R3が接続され、そのトランジスタMN02と抵抗R3の直列回路は、出力トランジスタMN01と同様に、出力端子P3と電流設定用のノードN1との間に挿入されている。ここで、トランジスタMN02の素子サイズは、トランジスタMN01に対して極めて小さく設定される。このため、出力端子P3を流れる出力電流IOUTは、その大部分がトランジスタMN01へ流れる。

#### 【0009】

しかし、トランジスタMN02はそのゲートが出力トランジスタMN01と共通に接続され、エラーアンプA1により駆動されているため、トランジスタMN02にはトランジスタMN01のドレイン電流、即ち出力電流IOUTに応じた電流が流れ、その抵抗R3の両端には出力電流IOUTに応じた電圧が発生する。

#### 【0010】

そして、エラーアンプA2には、電流設定用のノードN1を基準にして、基準電圧V2と抵抗R3の両端に発生した電圧の差電圧が入力され、その出力はエラーアンプA1と同様、トランジスタMN01とトランジスタMN02のゲートへ接続される。

#### 【0011】

これにより、トランジスタMN02の電流が増加し、抵抗R3の両端電圧が基準電圧源V2の電圧を超えると、エラーアンプA2の出力電圧が低下するので、乗算部41によってそのエラーアンプA2の出力電圧が優先されて、トランジスタMN01、MN02のゲート電圧が引き下げられ、トランジスタMN01、MN02のドレイン電流、即ち出力電流IOUTが減少する。以上のような動作により、出力端子P3からの出力電流IOUTが一定値を超えないように制御される。

#### 【0012】

このように、出力電流IOUTが一定値まで増加した場合に保護回路40Bが働き、過電流による出力トランジスタMN01の破壊が防止される。出力電流IOUTの増加は、電流設定用の抵抗R1を推奨値外の低抵抗値に設定した場合や、電流設定用のノードN1がGNDと短絡した場合等に発生する。

#### 【0013】

ところで、上記した正常動作時、エラーアンプA1等の各回路の電流は、回路GND端子P1とパワーGND端子P2を介して外部のGNDへ流れる。ここで異常状態として、回路GND端子P1がGNDへ接続されずオープンとなった場合、エラーアンプA1の動作電流等の回路電流により、回路GND端子P1の電圧は上昇する。

#### 【0014】

通常、半導体集積回路内で上記した定電流駆動本体回路10を構成した場合には、回路GND端子P1に対し、電流設定用のノードN1やパワーGND端子P2との間にESD保護ダイオードD1、D2が接続される。このため、回路GND端子P1がオープンになると、これらのダイオードD1、D2が順方向へオンした時点で、回路GND端子P1の電圧上昇は停止する。このとき、回路GND端子P1の電圧は、正常動作時に比べてダイオードD1、D2の順方向電圧分だけ高い電圧に保持される。なお、ESD保護ダイオードD1、D2が無い場合は更に回路GND端子P1の電圧が上昇する。

#### 【0015】

以上のような異常状態は、回路GND端子P1とパワーGND端子P2が別々に設けられた場合において、回路GND端子P1の半田不良や基板パターン欠陥等によって起こり得る。なお、特許文献1には、半導体集積回路のGND端子や電源端子がオープン状態であることを検出する検出回路について明示されている。

#### 【先行技術文献】

#### 【特許文献】

10

20

30

40

50

【0016】

【特許文献1】特開2010-256064号公報

【発明の概要】

【発明が解決しようとする課題】

【0017】

ここで、回路GND端子P1がオープンとなった状態での定電流駆動本体回路10の動作を考えると、エラーアンプA1の非反転入力端子へ入力される電圧は、基準電圧源V1の電圧V1に回路GND端子P1の電圧上昇分が加算された電圧となる。この結果、電流設定用のノードN1も正常動作時に比べて回路GND端子P1の電圧上昇分だけ増加した電圧となる。このため、出力電流IOUTは基準電圧V1と電流設定用の抵抗R1によって設定した値(=V1/R1)より増大する問題が生じる。

10

【0018】

出力電流IOUTの増加量は回路GND端子P1の電圧上昇量に比例するが、前述の保護回路40Bが動作するまでの期間では出力電流IOUTが増加する恐れがある。即ち電流設定用の抵抗R1が正常動作可能な範囲の値に設定されている状態であっても、出力電流IOUTが予め設定した電流に比べ大きくなる状態となる。

【0019】

本発明の目的は、回路GND端子等の端子がオープンとなる状態において出力トランジスタの過電流を防止する過電流保護回路を最小限の回路追加で構成することである。

【課題を解決するための手段】

20

【0020】

上記目的を達成するために、請求項1にかかる発明は、第1の電源端子に接続される第1の端子と、前記第1の電源端子に接続される第2の端子と、前記第2の端子と第1のノードとの間に接続された電流設定用の第1の抵抗と、第2の電源端子との間に負荷が接続される出力端子と、該出力端子と前記第1のノードとの間に接続された出力トランジスタと、前記第1のノードの電圧が前記第1の端子を基準端子とする電圧源で設定される基準電圧と等しくなるように前記出力トランジスタを制御する第1のエラーアンプと、を備える定電流駆動本体回路を有し、前記第1の端子と前記第2の端子との間に第1のESD保護素子が接続されるようにした定電流駆動回路において、前記第1の端子の電圧と前記第2の端子の電圧に所定の差分が生じたとき前記出力トランジスタの出力電流が減少するように前記出力トランジスタを制御する過電流保護回路を設けたことを特徴とする。

30

【0021】

請求項2にかかる発明は、第1の電源端子に接続される第1の端子と、前記第1の電源端子と第1のノードとの間に接続された電流設定用の第1の抵抗と、第2の電源端子との間に負荷が接続される出力端子と、該出力端子と前記第1のノードとの間に接続された出力トランジスタと、前記第1のノードの電圧が前記第1の端子を基準端子とする電圧源で設定される基準電圧と等しくなるように前記出力トランジスタを制御する第1のエラーアンプと、を備える定電流駆動本体回路を有し、前記第1の端子と前記第1のノードとの間に第2のESD保護素子が接続されるようにした定電流駆動回路において、前記第1の端子の電圧と前記第1のノードの電圧に所定の差分が生じたとき前記出力トランジスタの出力電流が減少するように前記出力トランジスタを制御する過電流保護回路を設けたことを特徴とする。

40

【0022】

請求項3にかかる発明は、請求項1又は2に記載の定電流駆動回路において、前記過電流保護回路は、前記第1の端子が前記第1の電源端子からオープン状態になったとき該オープン状態を示す検出信号を出力する端子オープン検出回路と、該端子オープン検出回路が前記検出信号を出力するときに前記出力トランジスタの出力電流を低減する保護回路と、からなることを特徴とする。

【0023】

請求項4にかかる発明は、請求項1に記載の定電流駆動回路において、前記過電流保護

50

回路は、前記第1の端子が前記第1の電源端子からオープン状態になったとき該オープン状態を示す検出信号を出力する端子オープン検出回路と、該端子オープン検出回路が前記検出信号を出力するときに前記出力トランジスタの出力電流を低減する保護回路とからなり、前記端子オープン検出回路は、前記第1の端子の電圧を検出する第1のトランジスタと、前記第2の端子の電圧を検出する第2のトランジスタとを備え、前記第1の端子の電圧と前記第2の端子の電圧に所定の差分が生じているとき前記検出信号を出力することを特徴とする。

#### 【0024】

請求項5にかかる発明は、請求項3に記載の定電流駆動回路において、前記端子オープン検出回路は、前記第1の端子の電圧を検出する第1のトランジスタと、前記第1のノードの電圧を検出する第2のトランジスタとを備え、前記第1の端子の電圧と前記第1のノードの電圧に所定の差分が生じているとき前記検出信号を出力することを特徴とする。

10

#### 【0025】

請求項6にかかる発明は、請求項3、4又は5に記載の定電流駆動回路において、前記保護回路は、前記第1のノードと前記第1のエラーアンプの一方の入力端子との間に接続され、且つ前記端子オープン検出回路が前記検出信号を出力することにより電圧が発生する第2の抵抗からなり、該第2の抵抗に発生する該電圧により前記第1のエラーアンプが前記出力トランジスタを前記出力電流を低減するよう制御することを特徴とする。

#### 【0026】

20

請求項7にかかる発明は、請求項3、4又は5に記載の定電流駆動回路において、前記保護回路は、前記出力トランジスタとゲートおよびドレインが共通接続された保護用トランジスタと、該保護用トランジスタのソースと前記第1のノードとの間に接続された第3の抵抗と、前記第3の抵抗に生ずる電圧が所定の電圧となるように前記出力トランジスタおよび前記保護用トランジスタのゲートを制御する第2のエラーアンプとを備え、前記端子オープン検出回路が前記検出信号を出力することにより、前記第2のエラーアンプが前記出力トランジスタの前記出力電流および前記保護用トランジスタに流れる電流を減少させることを特徴とする。

#### 【0027】

請求項8にかかる発明は、請求項3、4又は5に記載の定電流駆動回路において、前記保護回路は、前記出力トランジスタのゲート・ソース間に接続され、且つ前記端子オープン検出回路が前記検出信号を出力することにより導通する第3のトランジスタからなることを特徴とする。

30

#### 【0028】

請求項9にかかる発明は、請求項3乃至8のいずれか1つに記載の定電流駆動回路において、前記出力端子の電圧が所定値を超えたとき検出信号を出力する電圧監視回路を備え、該電圧監視回路が前記検出信号を出力すると、前記端子オープン検出回路が前記出力信号を出すことを特徴とする。

#### 【発明の効果】

40

#### 【0029】

本発明によれば、第1の端子が第1の電源端子に接続されないオープン状態になったとき、出力トランジスタへ過電流が流れることを防止することを、最小限の回路追加で実現することができる。

#### 【図面の簡単な説明】

#### 【0030】

【図1】本発明の第1の実施例の定電流駆動回路の回路図である。

【図2】本発明の第2の実施例の定電流駆動回路の回路図である。

【図3】本発明の第3の実施例の定電流駆動回路の回路図である。

【図4】本発明の第4の実施例の定電流駆動回路の回路図である。

50

【図 5】本発明の第 5 の実施例の定電流駆動回路の回路図である。

【図 6】本発明の第 6 の実施例の定電流駆動回路の回路図である。

【図 7】本発明の第 7 の実施例の定電流駆動回路の回路図である。

【図 8】従来の定電流駆動回路の回路図である。

【発明を実施するための形態】

【0031】

＜第 1 の実施例＞

図 1 に本発明の第 1 の実施例の定電流駆動回路を示す。本実施の定電流駆動回路は、定電流駆動本体回路 10 と端子オープン検出回路 20 と保護回路 30 とで構成される。定電流駆動本体回路 10 は、エラーアンプ A1、出力トランジスタ MN01、基準電圧源 V1、電流設定用の抵抗 R1、ESD 保護ダイオード D1、D2、回路 GND 端子 P1、パワー GND 端子 P2、出力端子 P3 を備える。端子オープン検出回路 20 は、基準電流源 I1、NMOS トランジスタ MN1～MN3、PMOS トランジスタ MP1～MP3 を備える。保護回路 30 は抵抗 R2 で構成される。

10

【0032】

端子オープン検出回路 20 において、トランジスタ MN1～MN3 は電流源 I1 の電流を折り返すカレントミラーを構成し、トランジスタ MP1、MP2 はトランジスタ MN1 のドレイン電流を折り返すカレントミラーを構成する。

【0033】

トランジスタ MN1、MN2、MN3 の素子サイズは同じに設定されている。トランジスタ MP1、MP2 の素子サイズは、トランジスタ MP2 がトランジスタ MP1 に対して大きくなるように、例えば 1：2 に設定されている。トランジスタ MP3 は、トランジスタ MP2 と MN2 のドレイン電流の差分が所定値になることによりゲート電圧が低下して、ドレイン電流を検出信号として出力する。

20

【0034】

ここでは、請求項に記載の「第 1 のトランジスタ」はトランジスタ MN1、MN3、MP1、MP2 で構成され、「第 2 のトランジスタ」はトランジスタ MN2 で構成されている。

【0035】

保護回路 30 としての抵抗 R2 は、電流設定用のノード N1 とエラーアンプ A1 の反転入力端子との間に接続され、端子オープン検出回路 20 からの検出信号がそこに流れると電圧が発生し、エラーアンプ A1 の反転入力端子の電圧を上昇させる。

30

【0036】

さて、回路 GND 端子 P1 が GND に正常に接続されている状態では、トランジスタ MN1、MN2、MN3 のドレイン電流は電流源 I1 の電流 I1 となる。トランジスタ MP1 のドレイン電流は I1 であるがトランジスタ MP2 のドレイン電流は 2I1 となる。よって、トランジスタ MP2 と MN2 の共通ドレイン電圧は、中点電圧である  $VDD/2$  よりも大幅に高くなり、トランジスタ MP3 はそのゲート電圧が高くなってオフしている。

【0037】

このため、トランジスタ MP3 にドレイン電流は流れず、即ち検出電流は発生せず、電流設定用のノード N1 の電圧がそのままエラーアンプ A1 の反転入力端子に入力し、出力トランジスタ MN01 は出力電流 IOUT が前記した式 (1) で示される定電流となるように、制御される。

40

【0038】

一方、回路 GND 端子 P1 がオープンとなりその端子 P1 の電圧が上昇した場合、図 8 の従来回路で説明したのと同様に、エラーアンプ A1 の非反転入力端子の電圧が基準電圧源 V1 の電圧 V1 よりも ESD 保護ダイオード D1、D2 の順方向電圧分だけ上昇し、これによって出力トランジスタ MN01 の出力電流 IOUT が増大する。

【0039】

しかし、この回路 GND 端子 P1 のオープン状態は、以下に述べるように、端子オープ

50

ン検出回路20によって検出され、出力トランジスタMN01の電流IOUTの増大が抑制される。

【0040】

端子オープン検出回路20において、トランジスタMN1, MN3のゲートおよびソースの電圧は、回路GND端子P1の電圧上昇と共に上昇するが、トランジスタMN1, MN3へ流れる電流は基準電流源I1により制限されているため電流I1からの変化は無い。また、トランジスタMN1のドレイン電流により駆動されているトランジスタMP1, MP2の電流にも、変化は無い。

【0041】

ところが、トランジスタMN2は、そのソース電圧がパワーGND端子P2を通じてGND電位を保持しているのに対し、ゲート電圧が回路GND端子P1の電位上昇と共に上昇するので、ゲート・ソース間電圧が大きくなってドレイン電流が増加する。このため、トランジスタMP2, MN2の共通ドレイン電圧、即ちトランジスタMP3のゲート電圧が引き下げられ、そのトランジスタMP3にドレイン電流が流れる。このようにして、回路GND端子P1がオープンしていることを示す検出信号(ドレイン電流)が出力する。

10

【0042】

そして、トランジスタMP3のドレイン電流は、抵抗R2および電流設定用の抵抗R1を流れ、さらにパワーGND端子P2を通じてGNDへ流れる。このため、エラーアンプA1の反転入力端子電圧が上昇する。

【0043】

20

この結果、エラーアンプA1の出力電圧、即ち出力トランジスタMN01のゲート電圧が引き下げられ、MOSトランジスタMN01は、そのドレイン電流である出力電流IOUTの増加を抑制する。

【0044】

なお、上記実施例では、トランジスタMP1, MP2の素子サイズを1:2に設定することで正常動作時にトランジスタMP3がオフになるようにしたが、これに限られるものではない。例えば、トランジスタMP1, MP2の素子サイズは1:1に設定し、トランジスタMN1, MN3の素子サイズも1:1に設定する。そして、トランジスタMN3, MN2の素子サイズを2:1に設定する。これによっても、正常動作時にトランジスタMP2, MN2の共通ドレイン電圧を高くしてトランジスタMP3をオフに制御し、回路GND端子P1がオープンになったときにトランジスタMP3を導通させて、トランジスタMP3に検出電流が流れるようにすることができる。

30

【0045】

以上から第1の実施例の定電流駆動回路によれば、回路GND端子P1のオープン時に出力トランジスタMN01の出力電流IOUTが過電流になることを防止することができる。

【0046】

<第2の実施例>

図2に本発明の第2の実施例の定電流駆動回路を示す。定電流駆動本体回路10と端子オープン検出回路20は、前述の第1の実施例の定電流駆動回路と同じである。本実施例は、保護回路30に代えて保護回路40を新たに構成している。この保護回路40は、図8の従来回路で説明した保護回路40Bと類似であるが、トランジスタMN02と抵抗R3の共通接続点とエラーアンプA2の反転入力端子との間に新たに抵抗R4を接続し、その反転入力端子に端子オープン検出回路20のトランジスタMP3のドレインを接続して構成している点が異なっている。

40

【0047】

さて、回路GND端子P1がGNDに正常に接続されているときは、端子オープン検出回路20のトランジスタMP3からドレイン電流は流れず、電流設定用のノードN1の電圧がそのままエラーアンプA1の反転入力端子に入力する。このため、出力トランジスタMN01は出力電流IOUTが前記した式(1)で示される定電流となるように、制御さ

50



れる。

#### 【0048】

また、保護回路40では、図8の従来回路で説明した保護回路40Bと同様に、出力電流IOUTが増大したときに、抵抗R3に流れる電流が増大してトランジスタMN02のソース電圧が上昇し、その電圧が抵抗R4を経由してエラーアンプA2の反転入力端子に印加するので、その反転入力端子の電圧を上昇させる。これにより、出力トランジスタMN01のゲート電圧が低下し、その出力電流IOUTが減少する。

#### 【0049】

一方、回路GND端子P1がオープンとなり端子P1の電圧が上昇した場合は、第1の実施例で説明したのと同様に、エラーアンプA1の非反転入力端子の電圧が電圧源V1の電圧よりもESD保護ダイオードD1、D2の順方向電圧分だけ上昇し、これによって出力トランジスタMN01の出力電流IOUTが増大する。

10

#### 【0050】

しかし、この回路GND端子P1のオープンは、以下に述べるように、端子オープン検出回路20によって検出され、その検出結果に応じて保護回路40により、出力トランジスタMN01の電流IOUTの増大が抑制される。

#### 【0051】

即ち端子オープン検出回路20によって端子P1のオープンの検出されると、端子オープン検出回路20のトランジスタMP3にドレイン電流が流れ、この電流が抵抗R4、R3、R1を経由してパワーGND端子P2からGNDに流れるので、エラーアンプA2の反転入力端子の電圧が上昇し、そのエラーアンプA2の出力電圧が低下する。これによって、トランジスタMN01、MN02のゲート電圧が低下し、出力電流IOUTの増大が抑制される。

20

#### 【0052】

本実施例の定電流駆動回路によれば、回路GND端子P1オープン時の端子P1の電圧上昇を検出し、出力トランジスタMN01に過電流が流れることを防止し、損失増加による破壊等を回避することができ、第1の実施例の定電流駆動回路と同様の効果が得られる。

#### 【0053】

ところで、第1の実施例の定電流駆動回路では、端子オープン検出回路20の出力をエラーアンプA1の反転入力端子へ直接接続していたため、正常動作時の定電流駆動本体回路10の出力電流設定値へ悪影響を及ぼす恐れがあった。そこで、上述のようにトランジスタMP1、2の素子サイズ比あるいはトランジスタMN2、MN3の素子サイズ比を適宜設定することで、正常動作時に定電流駆動本体回路10に与える影響を低減していた。

30

#### 【0054】

しかし、端子オープン検出回路20のトランジスタMP3のオフ時リーク電流が増加した場合には、この問題に対処できない。

#### 【0055】

そこで第2の実施例の定電流駆動回路では、端子オープン検出回路20の出力を正常動作に影響を与えないエラーアンプA2の反転入力端子へ接続する構成としている。これによれば、トランジスタMP3のオフ時リーク電流が増加した場合、保護回路40の動作に影響を与える恐れはあるものの、より高精度が求められる正常動作時の定電流駆動本体回路10の出力電流IOUTの設定精度への影響は無くなる。

40

#### 【0056】

<第3の実施例>

図3に本発明の第3の実施例の定電流駆動回路を示す。10Aは定電流駆動本体回路であり、第1および第2の実施例の定電流駆動本体回路10とは、定電流制御用のエラーアンプとして、電流出力型(Gmアンプ形式)のエラーアンプA3を使用している点が異なっている。20Aは端子オープン検出回路であり、第1および第2の実施例で説明した端子オープン検出回路20とは、トランジスタMP2、MN2の共通ドレインから検出信号

50

を取り出す点と、トランジスタMN1のソースをパワーGND端子P2に接続した点が異なっている。

【0057】

なお、トランジスタMN1、MN3は同じ素子サイズ、トランジスタMP1、MP2も同じ素子サイズであるが、トランジスタMN1、MN2の素子サイズは、1：2である。ここでは、請求項に記載の「第1のトランジスタ」はトランジスタMN2、MN3で構成され、「第2のトランジスタ」はトランジスタMN1、MP1、MP2で構成されている。

【0058】

50は端子オープン検出回路20の出力で制御されるトランジスタMN4からなる保護回路であり、出力トランジスタMN01のゲート・ソース間に接続されている。このトランジスタMN4は請求項に記載の「第3のトランジスタ」を構成する。

10

【0059】

さて、回路GND端子P1がGNDに正常に接続されているときは、端子オープン検出回路20Aでは、トランジスタMP2に電流I1が流れ、トランジスタMN2にその2倍の電流2I1が流れるので、トランジスタMP2、MN2の共通ドレインの電圧が低下し、保護回路50のトランジスタMN4はオフしている。このため、出力トランジスタMN01は出力電流IOUTが前記した式(1)で示される定電流となるように、制御される。

【0060】

20

一方、回路GND端子P1がオープンとなり端子P1の電圧が上昇した場合は、第1の実施例で説明したのと同様に、エラーアンプA3の非反転入力端子の電圧が基準電圧源V1の電圧V1よりもESD保護ダイオードD1、D2の順方向電圧分だけ上昇し、これによって出力トランジスタMN01の出力電流IOUTが増大する。

【0061】

しかし、この回路GND端子P1のオープンは、以下に述べるように、端子オープン検出回路20Aによって検出され、その検出結果に応じて保護回路50により、出力トランジスタMN01のゲート・ソース間が短絡され出力電流IOUTが遮断される。

【0062】

回路GND端子P1がオープンになると、トランジスタMN1～MN3のゲート電位が上昇する。このとき、トランジスタMN2、MN3の動作は正常動作時から変化しない。一方、トランジスタMN1は、そのソース電位がパワーGND端子P2を介してGND電位に固定されているため、ゲート・ソース間電圧が増大し、ドレイン電流が増加する。これにより、トランジスタMP1、MP2のドレイン電流も増加し、トランジスタMP2のドレイン電流がトランジスタMN2のドレイン電流を上回ると、トランジスタMN4はそのゲート電圧が上昇するためオン状態となる。この結果、出力トランジスタMN01のゲート・ソース間電圧がほぼ0Vとなり、出力トランジスタMN01はオフする。

30

【0063】

このとき、エラーアンプA3としてGmアンプを使用しているので、トランジスタMN4がオンとなっても、エラーアンプA3からそのトランジスタMN4に流れる電流が規制される。このエラーアンプA3を使用せず、第1および第2の実施例のような電圧出力型のエラーアンプA1を使用する場合は、トランジスタMN4に過大な電流が流れるが、これを防止できる。ただし、電圧出力型のエラーアンプA1の出力インピーダンスを大きくした場合には、トランジスタMN4に流れる電流を規制できるので、そのエラーアンプA1をそのまま使用することができる。

40

【0064】

ここで、第1および第2の実施例の定電流駆動回路では、GND端子P1オープン時の出力トランジスタMN01のゲート電圧をエラーアンプA1やエラーアンプA2が出力しており、回路構成上、各エラーアンプA1、A2の出力電圧は電圧上昇した回路GND端子P1の電位より低い電圧にはならない。よって、第1および第2の実施例では、出力ト

50

ランジスタMN01のゲート・ソース間電圧を0Vにすることができない動作条件が存在する。例えば、第1および第2の実施例において、回路GND端子P1の電位上昇の検出条件（オープンを検出条件）を1V上昇時とした場合、出力トランジスタMN01のゲート電圧を1V以下に下げることができない。

#### 【0065】

これに対し第3の実施例の定電流駆動回路は、トランジスタMN4によって出力トランジスタMN01のゲート・ソース間電圧を0Vにすることが可能であるので、回路GND端子P1の電位上昇時に出力トランジスタMN01を確実にオフ状態とすることができる。

#### 【0066】

以上のように第3の実施例の定電流駆動回路では、回路GND端子P1がオープンとなるような異常状態発生時に出力トランジスタMN01をオフにし、出力電流IOUTをゼロにすることができる。また、端子オープン検出回路20Aの検出電圧そのものに依らず、出力トランジスタMN01をオフにすることが可能となるため、出力トランジスタMN01をより広いGND電位検出条件で保護することができる。

#### 【0067】

なお、回路GND端子P1のオープン等異常状態発生時には、出力トランジスタMN01に過電流が流れることを防止することを目的として、その出力電流IOUTをゼロにすることが回路構成上理想であるが、出力電流IOUTをゼロにすることが最善ではないアプリケーションも存在する。

#### 【0068】

例えば、定電流駆動回路の負荷としてLEDを接続し、その光源を車載ヘッドライトや非常時誘導灯として使用した場合、回路上異常状態が発生しても負荷LEDに電流を流し続け、光源としての役割を維持することが求められる。このような場合、異常状態発生時に出力電流IOUTをゼロにするのではなく、第3の実施例と異なって、回路が故障しない範囲で電流を出力し続ける動作の方が好適である。

#### 【0069】

<第4の実施例>

図4に第4の実施例の定電流駆動回路を示す。20Bは端子オープン検出回路であり、トランジスタMN1のソースが電流設定ノードN1に接続されている点が、図3の第3の実施例の端子オープン検出回路20Aと異なる。ここでは、請求項に記載の「第1のトランジスタ」はトランジスタMN2、MN3で構成され、「第2のトランジスタ」はトランジスタMN1、MP1、MP2で構成されている。

#### 【0070】

40Aは保護回路であり、エラーアンプA4として電流出力型（Gmアンプ形式）を使用した点と、そのエラーアンプA4の反転入力端子をトランジスタMN02のソースに直接接続した点が、第2の実施例の過電流保護回路40と異なる。

#### 【0071】

また、本実施例では、第3の実施例と同様に、出力トランジスタMN01のゲート・ソース間にトランジスタMN4からなる保護回路50を接続しているため、そのトランジスタMN4がオンする時の電流を規制するために、エラーアンプA3、A4に電流出力型を使用している。

#### 【0072】

本実施例では、端子オープン検出回路20BのトランジスタMN1のソースを電流設定ノードN1に接続しているので、出力トランジスタMN01、電流設定用の抵抗R1、パワーGND端子等が半導体集積回路に外付けされる場合にも適用できる。

#### 【0073】

さて、回路GND端子P1がGNDに正常に接続されているときは、端子オープン検出回路20Bでは、トランジスタMN2、MN3のソース電圧はGNDであるので、それらのドレインは電流I1を引き込むが、トランジスタMN1はソース電圧はV1と高くなる

10

20

30

40

50

のでオフする。このため、トランジスタMP1, MP2がオフして、トランジスタMP2, MN2の共通ドレインの電圧は低下している。よって、トランジスタMN4はオフしている。このため、出力トランジスタMN01は出力電流IOUTが前記した式(1)で示される定電流となるように、制御される。また、過電流が発生したときは、それが抵抗R3により検出されてエラーアンプA4の出力電流が低下し、トランジスタMN01のゲート電圧を低下させて、出力電流IOUTの増大を規制する。

#### 【0074】

一方、回路GND端子P1がオープンとなり端子P1の電圧が上昇した場合は、第3の実施例で説明したのと同様に、エラーアンプA3の非反転入力端子の電圧が基準電圧源V1の電圧V1よりもESD保護ダイオードD2の順方向電圧分だけ上昇し、これによって出力トランジスタMN01の出力電流IOUTが増大する。

10

#### 【0075】

しかし、この回路GND端子P1のオープンは、以下に述べるように、端子オープン検出回路20Bによって検出され、その検出結果に応じて保護回路50により、出力トランジスタMN01のゲート・ソース間が短絡され出力電流IOUTが遮断される。また、保護回路40Aによっても、出力電流IOUTの増大が規制される。

#### 【0076】

まず、回路GND端子P1がオープンとなり、エラーアンプA3の非反転入力端子の電圧が上昇すると、電流設定ノードN1の電圧を引き上げる方向へ負帰還動作が働く。このため、出力トランジスタMN01のドレイン電流が増加するため、保護回路40Aによる過電流保護がかかり、出力トランジスタMN01のドレイン電流は減少する。すると、電流設定ノードN1の電圧も同様に低下するため、端子オープン検出回路20BのトランジスタMN1のソース電位も低下する。

20

#### 【0077】

そして、電流設定ノードN1の電圧低下によりトランジスタMN1はそのゲート・ソース間電圧が上昇し、ドレイン電流が増加する。同時にカレントミラーを構成しているトランジスタMP1, MP2のドレイン電流が増加し、トランジスタMP2のドレイン電流がトランジスタMN2のドレイン電流を上回ると、トランジスタMN4はそのゲート電圧が上昇するためオン状態となる。これにより、出力トランジスタMN01のゲート・ソース間電圧が減少し、出力電流は更に低減又はゼロとなる。

30

#### 【0078】

また、回路GND端子P1の電位が上昇したとき、出力トランジスタMN01のドレイン電流、即ち出力電流IOUTが増加すると、出力端子P3に接続された負荷(抵抗やLED等)の電圧降下により、出力端子P3の端子電圧が低下する。出力端子P3の電圧低下は、出力トランジスタMN01のドレイン・ソース間電圧低下となるため、出力トランジスタMN01の電流駆動能力が低下し、出力電流IOUTの減少と共に電流設定ノードN1の電圧が低下する。

#### 【0079】

このように、保護回路40Aが無い場合においても、電流設定ノードN1の電圧が相対的に低下し、端子オープン検出回路20Bが回路GND端子P1のオープンを検出する。

40

#### 【0080】

また前述のように、端子オープン検出回路20Bの検出動作により出力電流IOUTが低減されると、電流設定ノードN1の電位も同様に低下する。このとき、トランジスタMN1は、回路GND端子P1のオープンによる端子P1の電位上昇と共にそのゲート電圧が上昇し、電流設定ノードN1の電位低下によってソース電位が降下する状態となるので、回路GND端子P1のオープンをより検出しやすい動作状態となる。以上の動作は正帰還動作であるため、一度、端子オープン検出回路20Bがオープンを検出すると、出力トランジスタMN01のオフ状態を確実に保持することができる。

#### 【0081】

以上のように、本実施例によれば、回路GND端子P1がオープンとなるような異常状

50

態発生時に、出力電流  $I_{OUT}$  をゼロにし且つその状態を確実に保持することができる。また、本実施例においても、第1～第3の実施例と同様に、トランジスタ  $MP1$ 、 $MP2$  やトランジスタ  $MN1$ 、 $MN2$  の素子サイズ比を変えることで、端子オープン検出回路  $20B$  の検出電圧を任意の値に設定可能である。また、本実施例は電流設定ノード  $N1$  を回路  $GND$  端子  $P1$  のオープンの検出ノードとすることで、出力トランジスタ  $MN01$ 、電流設定用の抵抗  $R1$ 、パワー  $GND$  端子  $P2$  が半導体集積回路に内蔵されない場合にも適用可能で、上記効果が得られる。

#### 【0082】

<第5の実施例>

図5に第5の実施例の定電流駆動回路を示す。本実施例は、第1の実施例において、ダイオード  $D1$  を削除し、ダイオード  $D2$  のカソードを電流設定用のノード  $N1$  に接続し、電流設定用の抵抗  $R1$  を電流設定用のノード  $N1$  と  $GND$  との間に接続したものである。また、端子オープン検出回路  $20B$  は、第4の実施例の端子オープン検出回路  $20B$  を使用している。本実施例でも、端子オープン検出回路  $20B$  のトランジスタ  $MN1$  のソースを電流設定用のノード  $N1$  に接続しているので、出力トランジスタ  $MN01$ 、電流設定用の抵抗  $R1$ 、パワー  $GND$  端子等が半導体集積回路に外付けされる場合にも適用できる。

#### 【0083】

本実施例では、端子オープン検出回路  $20B$  は第4の実施例と同様に動作し、保護回路  $30$  は第1の実施例と同様に動作する。

#### 【0084】

なお、第2の実施例についても、本実施例と同様に、端子オープン検出回路  $20B$  を使用し、ダイオード  $D1$  を削除し、ダイオード  $D2$  のカソードを電流設定用のノード  $N1$  に接続し、電流設定用の抵抗  $R1$  を電流設定用のノード  $N1$  と  $GND$  との間に接続するように変形することで、同様に動作する。

#### 【0085】

<第6の実施例>

図6に第6の実施例の定電流駆動回路を示す。本実施例の定電流駆動回路は、第1の実施例で説明した定電流駆動本体回路  $10$  と端子オープン検出回路  $20$  を備えるが、さらに、出力端子  $P3$  の電圧を監視するための電圧監視回路  $60$  を備える。

#### 【0086】

この電圧監視回路  $60$  は、電圧源  $V3$  の電圧  $V3$  がゲートに入力する  $PMOS$  トランジスタ  $MP4$  とそのトランジスタ  $MP4$  のソースと出力端子  $P3$  の間に接続した抵抗  $R5$  とからなり、トランジスタ  $MP4$  のドレインは端子オープン検出回路  $20$  のトランジスタ  $MP1$ 、 $MP2$  のゲートに接続されている。

#### 【0087】

さて、回路  $GND$  端子  $P1$  が  $GND$  に正常に接続されていて、出力端子  $P3$  の電圧が正常電圧であるときは、出力トランジスタ  $MN01$  は出力電流  $I_{OUT}$  が前記した式(1)で示される定電流となるように、制御される。

#### 【0088】

また、トランジスタ  $MP4$  は、ゲートへ電圧  $V3$  が印加されるので、そのソース電圧が「 $V3 + V_{gs4}$ 」にクランプされる。 $V_{gs4}$  はトランジスタ  $MP4$  のゲート・ソース間電圧である。そして、出力端子  $P3$  とトランジスタ  $MP4$  のソースクランプ電圧との差電圧に応じて抵抗  $R5$  に流れる電流、即ちトランジスタ  $MP4$  のドレイン電流が変化し、出力端子  $P3$  の端子電圧が高い時ほどそのドレイン電流が増加する。トランジスタ  $MP4$  のドレイン電流は、端子オープン検出回路  $20$  のトランジスタ  $MP1$ 、 $MP2$  のゲートに入力する。

#### 【0089】

このため、出力端子  $P3$  の電圧が正常値より高い時は、トランジスタ  $MP1$ 、 $MP2$  はそのゲート電圧が上昇し、それらのドレイン電流は減少する。そして、トランジスタ  $MP3$  はトランジスタ  $MP2$  のドレイン電流減少によってそのゲート電圧が低下するので、そ

のドレイン電流が増加する。この結果、エラーアンプA 1の反転入力端子の電圧が上昇し、出力トランジスタMN 0 1のゲート電圧が引き下げられ、出力電流I O U Tの増加が抑制される。

#### 【0090】

これにより、出力端子P 3の電圧が正常値よりも高いときは、出力トランジスタMN 0 1の損失が小さくなるように、出力電流I O U Tの増加が抑制される。また、トランジスタMP 4のゲート電圧V 3や保護電圧設定用の抵抗R 5の値を変えることで、出力端子P 3の規制すべき電位上昇の検出電圧を任意の値へ設定できる。

#### 【0091】

一方、回路GND端子P 1がオープンとなり端子P 1の電圧が上昇した場合の動作は、第1の実施例の定電流駆動回路の動作と同じである。ただし、このときは、トランジスタMP 4のゲートに加わる電圧が電圧源V 3の電圧V 3にオンしたダイオードD 1、D 2の順方向電圧が加算された電圧となるので、トランジスタMP 4のソースのクランプ電圧がその順方向電圧分だけ大きくなるが、出力端子P 3の電圧監視動作に大きな影響はない。

#### 【0092】

なお、この第6の実施例の定電流駆動回路は、電圧監視回路60を第1の実施例の定電流駆動回路に付加したものであるが、第2、第3の実施例の定電流駆動回路にも同様に電圧監視回路60を付加して第6の実施例の定電流駆動回路と同様な作用効果を得ることができる。

#### 【0093】

<第7の実施例>

図7に第7の実施例の定電流駆動回路を示す。本実施例は、第5の実施例の定電流駆動回路に、第6の定電流駆動回路の電圧監視回路60を追加したものである。ここでは、電圧監視回路60のトランジスタMP 4のドレインを端子オープン検出回路20BのトランジスタMP 2、MN 2の共通接続点に接続している。

#### 【0094】

本実施例においても、出力端子P 3の電圧が正常値より高い時は、端子オープン検出回路20Bの出力電圧が高くなり、エラーアンプA 1の反転入力端子の電圧が上昇し、出力トランジスタMN 0 1のゲート電圧が引き下げられ、出力電流I O U Tの増加が抑制される。

#### 【0095】

なお、この第7の実施例の定電流駆動回路は、電圧監視回路60を第5の実施例の定電流駆動回路に付加したものであるが、第4の実施例の定電流駆動回路にも同様に電圧監視回路60を付加して第7の実施例の定電流駆動回路と同様な作用効果を得ることができる。

#### 【符号の説明】

#### 【0096】

- 10, 10A: 定電流駆動本体回路
- 20, 20A, 20B: 端子オープン検出回路
- 30: 保護回路
- 40, 40A, 40B: 保護回路、41: 乗算部
- 50: 保護回路
- 60: 電圧監視回路

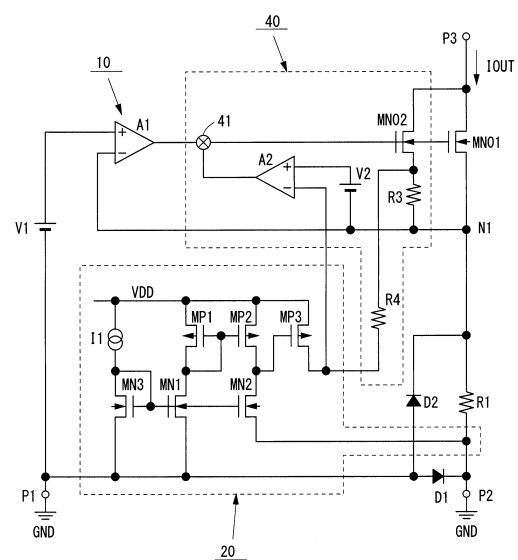
10

20

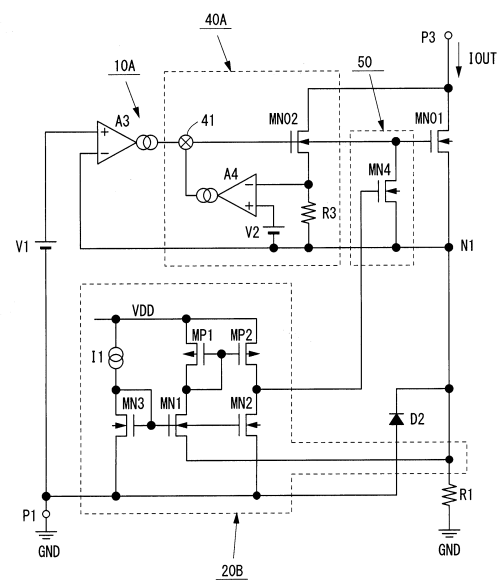
30

40

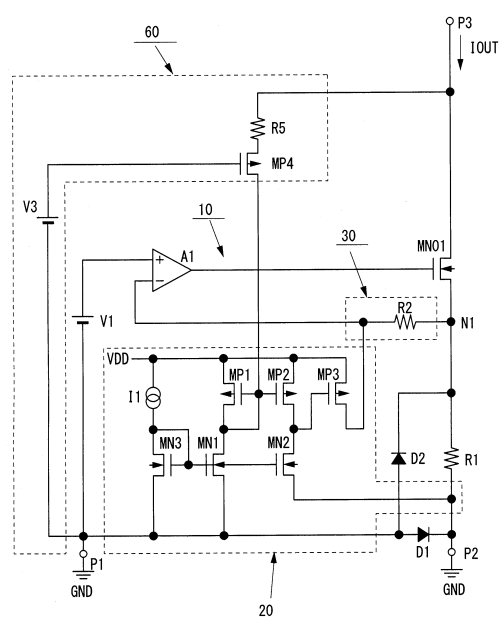
【図 2】



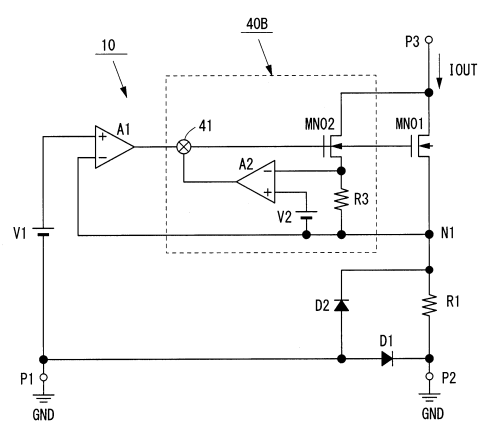
【図 4】



【図 6】



【図 8】





---

フロントページの続き

- (56)参考文献 特開2014-215733 (JP, A)  
特開昭64-041646 (JP, A)  
特開2009-010477 (JP, A)  
特開2009-133815 (JP, A)  
特開2010-256064 (JP, A)  
特開2001-244418 (JP, A)  
特開2013-030573 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G05F 1/445, 1/56, 1/613, 1/618  
H05B 37/00-39/10  
H01L 33/00