



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0101716
(43) 공개일자 2012년09월14일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
G02F 1/1368 (2006.01)
(21) 출원번호 10-2012-7018792
(22) 출원일자(국제) 2010년11월26일
심사청구일자 없음
(85) 번역문제출일자 2012년07월17일
(86) 국제출원번호 PCT/JP2010/071624
(87) 국제공개번호 WO 2011/077926
국제공개일자 2011년06월30일
(30) 우선권주장
JP-P-2009-292630 2009년12월24일 일본(JP)

(71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
교야마 준
일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
황의만

전체 청구항 수 : 총 29 항

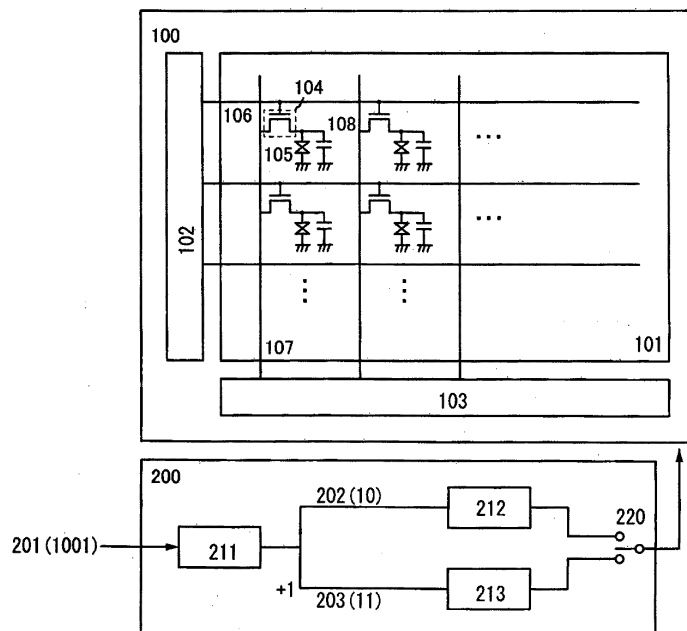
(54) 발명의 명칭 표시 장치 및 전자 기기

(57) 요약

본 발명은, 표시 장치에 있어서 다계조 표시를 실현하는 것을 목적으로 한다.

트랜지스터 및 표시 소자를 가지는 화소가 매트릭스 형상으로 배치된 화소부와, 상기 트랜지스터의 게이트에 전기적으로 접속된 게이트 드라이버와, 상기 트랜지스터의 소스 또는 드레인에 전기적으로 접속된 소스 드라이버와, 상기 소스 드라이버에 신호를 출력하는 데이터 처리 회로를 가지고, 상기 트랜지스터는 산화물 반도체를 이용하고, 상기 데이터 처리 회로는 입력되는 m 비트의 디지털 데이터 중, n 비트의 디지털 데이터(m, n 은 모두 정의 정수이고, $m > n$)를 전압 계조에 이용하고, $(m - n)$ 비트의 디지털 데이터를 시간 계조에 이용하는 표시 장치이다.

대표도



특허청구의 범위

청구항 1

표시 장치에 있어서,
트랜지스터 및 표시 소자를 가지는 화소가 매트릭스 형상으로 배치된 화소부,
상기 트랜지스터의 게이트에 전기적으로 접속된 게이트 드라이버,
상기 트랜지스터의 소스 또는 드레인에 전기적으로 접속된 소스 드라이버, 및
상기 소스 드라이버에 신호를 출력하는 데이터 처리 회로를 가지고,
상기 트랜지스터는 산화물 반도체를 이용하는 채널 형성 영역을 가지며,
상기 데이터 처리 회로는, 입력되는 m 비트의 디지털 데이터 중, n 비트(m, n 은 모두 정의 정수이고, $m > n$)의 디지털 데이터를 전압 계조에 이용하고, $(m-n)$ 비트의 디지털 데이터를 시간 계조에 이용하여 신호를 출력하도록 구성되는, 표시 장치.

청구항 2

제 1 항에 있어서,
시간 계조를 위해 하나의 프레임 기간은 $(m-n)$ 개의 서브프레임 기간들로 분할되는, 표시 장치.

청구항 3

제 1 항에 있어서,
상기 소스 드라이버는 $(2^n + 1)$ 개 이하의 전압 레벨을 출력하는, 표시 장치.

청구항 4

제 1 항에 있어서,
상기 트랜지스터는 이동도가 $10 \text{ cm}^2/\text{Vs}$ 이상인, 표시 장치.

청구항 5

제 1 항에 있어서,
상기 트랜지스터는 기판 위에 형성되고,
상기 트랜지스터는 $1 \text{ aA}/\mu\text{m}$ 이하의 오프(off-state) 전류를 가지는, 표시 장치.

청구항 6

제 1 항에 있어서,
상기 표시 소자는 액정 소자인, 표시 장치.

청구항 7

제 1 항에 따른 표시 장치를 포함하는 전자 기기에 있어서,

상기 전자 기기는 휴대형 유기기(game machine), 디지털 카메라, 텔레비전 수상기, 컴퓨터, 전자 페이퍼, 및 디지털 포토 프레임으로 이루어지는 그룹으로부터 선택되는, 전자 기기.

청구항 8

표시 장치에 있어서,

트랜지스터 및 표시 소자를 가지는 화소가 매트릭스 형상으로 배치된 화소부,

상기 트랜지스터의 게이트에 전기적으로 접속된 게이트 드라이버,

상기 트랜지스터의 소스 또는 드레인에 전기적으로 접속된 소스 드라이버, 및

상기 소스 드라이버에 신호를 출력하는 데이터 처리 회로를 가지고,

상기 트랜지스터는, 진성 또는 실질적으로 진성인 산화물 반도체를 이용하는 채널 형성 영역을 가지며,

상기 데이터 처리 회로는, 입력되는 m 비트의 디지털 데이터 중, n 비트(m, n 은 모두 정의 정수이고, $m > n$)의 디지털 데이터를 전압 계조에 이용하고, $(m-n)$ 비트의 디지털 데이터를 시간 계조에 이용하여 신호를 출력하도록 구성되는, 표시 장치.

청구항 9

제 8 항에 있어서,

진성 또는 실질적으로 진성인 산화물 반도체의 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만인, 표시 장치.

청구항 10

제 8 항에 있어서,

시간 계조를 위해 하나의 프레임 기간은 $(m-n)$ 개의 서브프레임 기간들로 분할되는, 표시 장치.

청구항 11

제 8 항에 있어서,

상기 소스 드라이버는 $(2^n + 1)$ 개 이하의 전압 레벨을 출력하는, 표시 장치.

청구항 12

제 8 항에 있어서,

상기 트랜지스터는 이동도가 $10 \text{ cm}^2 / \text{Vs}$ 이상인, 표시 장치.

청구항 13

제 8 항에 있어서,

상기 트랜지스터는 기판 위에 형성되고,

상기 트랜지스터는 $1 \text{ aA}/\mu\text{m}$ 이하의 오프(off-state) 전류를 가지는, 표시 장치.

청구항 14

제 8 항에 있어서,

상기 표시 소자는 액정 소자인, 표시 장치.

청구항 15

제 8 항에 따른 표시 장치를 포함하는 전자 기기에 있어서,

상기 전자 기기는 휴대형 유기기, 디지털 카메라, 텔레비전 수상기, 컴퓨터, 전자 페이퍼, 및 디지털 포토 프레임으로 이루어지는 그룹으로부터 선택되는, 전자 기기.

청구항 16

표시 장치에 있어서,

트랜지스터 및 표시 소자를 가지는 화소가 매트릭스 형상으로 배치된 화소부,

상기 트랜지스터의 게이트에 전기적으로 접속된 게이트 드라이버,

상기 트랜지스터의 소스 또는 드레인에 전기적으로 접속된 소스 드라이버, 및

상기 소스 드라이버에 신호를 출력하는 데이터 처리 회로를 가지고,

상기 트랜지스터는, 산화물 반도체를 이용하고 있고, 또한 오프 전류가 $1 \text{ aA}/\mu\text{m}$ 이하인 채널 형성 영역을 가지며,

상기 데이터 처리 회로는, 입력되는 m 비트의 디지털 데이터 중, n 비트(m, n 은 모두 정의 정수이고, $m > n$)의 디지털 데이터를 전압 계조에 관련된 데이터로서 처리하고, $(m-n)$ 비트의 디지털 데이터를 시간 계조에 관련된 데이터로서 처리하도록 구성되는, 표시 장치.

청구항 17

제 16 항에 있어서,

상기 산화물 반도체의 캐리어 농도는 $1 \times 10^{14}/\text{cm}^3$ 미만인, 표시 장치.

청구항 18

제 16 항에 있어서,

시간 계조를 위해 하나의 프레임 기간은 $(m-n)$ 개의 서브프레임 기간들로 분할되는, 표시 장치.

청구항 19

제 16 항에 있어서,

상기 소스 드라이버는 (2^n+1) 개 이하의 전압 레벨을 출력하는, 표시 장치.

청구항 20

제 16 항에 있어서,

상기 트랜지스터는 이동도가 $10 \text{ cm}^2/\text{Vs}$ 이상인, 표시 장치.

청구항 21

제 16 항에 있어서,

상기 표시 소자는 액정 소자인, 표시 장치.

청구항 22

제 16 항에 따른 표시 장치를 포함하는 전자 기기에 있어서,

상기 전자 기기는 휴대형 유기기, 디지털 카메라, 텔레비전 수상기, 컴퓨터, 전자 페이퍼, 및 디지털 포토 프레임으로 이루어지는 그룹으로부터 선택되는, 전자 기기.

청구항 23

표시 장치에 있어서,

트랜지스터 및 표시 소자를 가지는 화소가 매트릭스 형상으로 배치된 화소부,

상기 트랜지스터의 게이트에 전기적으로 접속된 게이트 드라이버,

상기 트랜지스터의 소스 또는 드레인에 전기적으로 접속된 소스 드라이버, 및

데이터 처리 회로를 가지고,

상기 트랜지스터는, 산화물 반도체를 이용하는 채널 형성 영역을 가지며,

상기 데이터 처리 회로는 입력되는 m 비트의 디지털 데이터 중, n 비트(m, n 은 모두 정의 정수이고, $m > n$)의 디지털 데이터에 기초한 $(n-1)$ 개의 전압 레벨 중 상기 소스 드라이버로부터 출력될 2개의 전압 레벨을 선택하도록 구성되고,

상기 데이터 처리 회로는 하나의 프레임 기간에서의 하나의 화소에 관한 2^{m-n} 개의 디지털 데이터를 상기 소스 드라이버에 출력하도록 구성되며, 상기 2^{m-n} 개의 디지털 데이터 각각은 상기 2개의 전압 레벨에 해당하는 2개의 디지털 데이터 중 어느 하나로부터 선택되는, 표시 장치.

청구항 24

제 23 항에 있어서,

하나의 프레임 기간은 $(m-n)$ 개의 서브프레임 기간들로 분할되는, 표시 장치.

청구항 25

제 23 항에 있어서,

상기 소스 드라이버는 (2^n+1) 개 이하의 전압 레벨을 출력하는, 표시 장치.

청구항 26

제 23 항에 있어서,

상기 트랜지스터는 이동도가 $10 \text{ cm}^2/\text{Vs}$ 이상인, 표시 장치.

청구항 27

제 23 항에 있어서,

상기 트랜지스터는 기판 위에 형성되고,

상기 트랜지스터는 $1 \text{ aA}/\mu\text{m}$ 이하의 오프 전류를 가지는, 표시 장치.

청구항 28

제 23 항에 있어서,

상기 표시 소자는 액정 소자인, 표시 장치.

청구항 29

제 23 항에 따른 표시 장치를 포함하는 전자 기기에 있어서,

상기 전자 기기는 휴대형 유기기, 디지털 카메라, 텔레비전 수상기, 컴퓨터, 전자 페이퍼, 및 디지털 포토 프레임으로 이루어지는 그룹으로부터 선택되는, 전자 기기.

명세서

기술 분야

[0001] 본 발명의 기술 분야는, 표시 장치 및 그 구동 방법에 관한 것이다. 특히, 다계조 표시를 실현할 수 있는 표시 장치에 관한 것이다. 또한, 이 표시 장치를 구비하는 전자기기에 관한 것이다.

배경 기술

[0002] 표시 장치는, 아몰퍼스(amorphous) 실리콘 또는 폴리 실리콘을 이용한 트랜지스터로 구동하는 타입이 주류이다. 그러나, 이러한 표시 장치는 트랜지스터의 오프 전류의 영향에 의해, 다계조 표시를 실현하는 것이 곤란했다.

[0003] 표시 장치에서의 화소의 일례로서 트랜지스터(5001), 액정 소자(5002) 및 용량 소자(5003)를 구비하는 화소(5000)를 도 15에 나타낸다. 트랜지스터(5001)는 아몰퍼스 실리콘 트랜지스터 또는 폴리 실리콘 트랜지스터이다. 화소(5000)에 있어서, 트랜지스터(5001)로부터 액정 소자(5002) 및 용량 소자(5003)에 대하여, 화상 데이터를 기입하는 것에 의해, 액정 소자(5002)에 전계가 부여되어 화상 표시를 행하는 것이 가능하게 된다.

[0004] 그러나, 트랜지스터(5001)에 존재하는 오프 전류에 의해, 액정 소자(5002) 및 용량 소자(5003)에 축적된 전하는 방전하고, 그에 따라 화소의 전압도 변동하게 된다.

[0005] 화소(5000)에서, 트랜지스터(5001)의 오프 전류(i), 용량 소자(5003)의 보유 용량(C), 전압 변동(V) 및 보유 시간(T)은 $CV = iT$ 의 관계를 만족시킨다. 따라서, 트랜지스터(5001)의 오프 전류를 0.1 pA (p 는 10^{-12} 를 나타냄),

용량 소자(5003)의 정전 용량(C)을 0.1 pF, 1 프레임 기간을 16.6 ms로 하면, 1 프레임 기간 중의 화소의 전압 변동(V)을 다음과 같이 구할 수 있다.

[0006] $0.1[\text{pF}] \times V = 0.1[\text{pA}] \times 16.6[\text{ms}]$

[0007] $V = 16.6[\text{mV}]$

[0008] 이 표시 장치가 $256(= 2^8)$ 계조이며, 또한, 화소에 있어서의 액정 소자의 최대 구동 전압이 5 V인 것으로 한다. 이 경우, 1 계조분의 계조 전압은 약 20 mV이다. 즉, 앞의 계산에 의해 구한 화소의 전압 변동(V) = 16.6 mV는 대략 1 계조분의 계조 전압의 변동에 상당한다.

[0009] 또한, 표시 장치가 $1024(= 2^{10})$ 계조인 것으로 한다. 이 경우, 1 계조분의 계조 전압은 약 5 mV 이다. 따라서, 화소의 전압 변동(V) = 16.6 mV는 대략 4 계조분의 계조 전압의 변동에 상당하고, 오프 전류에 의한 전압 변동의 영향을 무시할 수 없다.

[0010] 특허문헌 1에는, 폴리 실리콘 트랜지스터를 이용한 표시 장치가 제안되어 있다.

선행기술문헌

특허문헌

[0011] (특허문헌 0001) 일본국 특개평 8-110530호 공보

발명의 내용

해결하려는 과제

[0012] 종래의 표시 장치에서는, 트랜지스터의 오프 전류에 의한 화소의 전압 변동이 크기 때문에, 다계조 표시를 실현하는 것이 곤란했다.

[0013] 이 문제를 감안하여, 본 발명의 일 양태는, 화소의 전압 변동을 저감함으로써, 다계조 표시를 실현하는 것을 목적의 하나로 한다.

[0014] 또한, 본 발명의 일 양태는, 화소를 구동하는 회로를 복잡하게 하지 않고, 다계조 표시를 실현하는 것을 목적의 하나로 한다.

과제의 해결 수단

[0015] 본 발명의 일 양태는, 산화물 반도체를 이용한 트랜지스터가 스위치 소자로서 화소에 배치된 표시 장치이다. 그리고, 산화물 반도체는 진성 또는 실질적으로 진성이며, 트랜지스터의 단위 채널폭당의 오프 전류는 100 aA/ μm 이하(a는 10^{-18} 을 나타냄), 바람직하게는 1 aA/ μm 이하, 더욱 바람직하게는 1 zA/ μm 이하(z는 10^{-21} 을 나타냄)이다. 또한, 본 명세서에서는, 「진성」이란 캐리어 농도가 $1 \times 10^{12}/\text{cm}^3$ 미만인 반도체 상태를 가리키고, 「실질적으로 진성」이란 캐리어 농도가 $1 \times 10^{12}/\text{cm}^3$ 이상 $1 \times 10^{14}/\text{cm}^3$ 미만인 반도체 상태를 가리키는 것으로 한다.

[0016] 즉, 본 발명의 일 양태는, 상술한 $CV = iT$ 의 관계를 고려하여, 화소의 전압 변동(V)을 저감하기 위해, 오프 전류(i)의 저감을 행하는 것이다.

[0017] 또한, 본 발명의 일 양태는, 입력되는 m 비트의 디지털 데이터 중, n 비트의 디지털 데이터는 전압 계조에 의해 계조를 표현하고, 나머지의 (m-n) 비트의 디지털 데이터는 시간 계조에 의해 계조를 표현하는 표시 장치이다. 즉, n 비트를 처리하는 소스 드라이버에 의해, m 비트의 계조 표시를 실현할 수 있는 것이다. 또한, m, n은 합계 정(正)의 정수이며, $m > n$ 로 한다.

발명의 효과

- [0018] 본 발명의 일 양태는, 트랜지스터의 오프 전류를 저감하여 화소의 전압 변동을 저감함으로써, 다계조 표시를 실현할 수 있다.
- [0019] 또한, 본 발명의 일 양태는, 데이터 처리의 방법으로서, 전압 계조와 시간 계조를 조합하여 이용함으로써, 소스 드라이버를 복잡하게 하지 않고, 다계조 표시를 실현할 수 있다.

도면의 간단한 설명

- [0020] 도 1은 표시 장치의 일례를 나타낸 도면.
- 도 2는 표시 장치의 일례를 나타낸 도면.
- 도 3은 계조 전압을 나타낸 도면.
- 도 4는 데이터 처리의 일례를 나타낸 도면.
- 도 5는 데이터 처리의 일례를 나타낸 도면.
- 도 6은 트랜지스터의 구조 및 그 제작 방법의 일례를 나타낸 도면.
- 도 7은 트랜지스터의 구조 및 그 제작 방법의 일례를 나타낸 도면.
- 도 8은 트랜지스터의 구조 및 그 제작 방법의 일례를 나타낸 도면.
- 도 9는 트랜지스터의 구조 및 그 제작 방법의 일례를 나타낸 도면.
- 도 10은 트랜지스터의 구조 및 그 제작 방법의 일례를 나타낸 도면.
- 도 11은 전자기기의 일례를 나타낸 도면.
- 도 12는 전자기기의 일례를 나타낸 도면.
- 도 13은 데이터 처리의 일례를 나타낸 도면.
- 도 14는 트랜지스터의 전기 특성을 나타낸 도면.
- 도 15는 표시 장치의 일례를 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 개시되는 발명의 실시형태에 대하여, 도면을 이용하여 설명한다. 단, 발명은 이하의 설명에 한정되지 않고, 그 발명의 취지 및 그 범위로부터 벗어나지 않고, 그 양태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.
- [0022] (실시형태 1)
- [0023] 먼저, 본 실시형태의 표시 장치의 구성에 대하여, 도 1을 이용하여 설명한다. 표시 장치는 표시부(100)를 가진다. 여기서, 표시 소자로서 액정 소자를 나타낸다.
- [0024] 표시부(100)는 화소부(101), 게이트 드라이버(102), 및 소스 드라이버(103)를 가진다. 화소부(101)에는 트랜지스터(104), 액정 소자(105), 및 용량 소자(108)를 가지는 화소가 매트릭스 형상으로 배치되어 있다. 또한, 게이트 드라이버(102) 및 소스 드라이버(103)는 화소부(101)와 동일 기판 위에 일체 형성되어 있어도 좋고, 다른 기판 위에 형성되어 있어도 좋다.
- [0025] 그리고, 트랜지스터(104)의 게이트는 배선(106)(게이트선이라고도 함)을 통하여 게이트 드라이버(102)에 전기적으로 접속되고, 트랜지스터(104)의 소스 또는 드레인의 한쪽은 배선(107)(소스선이라고도 함)을 통하여 소스 드

라이버(103)에 전기적으로 접속되고, 다른 한쪽은 액정 소자(105) 및 용량 소자(108)에 전기적으로 접속되어 있다.

[0026] 트랜지스터(104)는 액정 소자(105)와 배선(107)을 도통시키기 위한 스위치 소자로서 기능한다. 또한, 용량 소자(108)는 액정 소자(105)에 인가된 전압을 일정 기간 보유하는 기능을 가진다.

[0027] 각 화소에 있어서, 트랜지스터(104)의 오프 전류(i), 용량 소자(108)의 보유 용량(C), 전압 변동(V) 및 보유 시간(T)은 $CV = iT$ 의 관계를 만족시키기 때문에, 트랜지스터(104)의 오프 전류(i)를 저감함으로써, 트랜지스터(104)가 오프 상태에서의 전압 변동(V)을 저감할 수 있다.

[0028] 본 실시형태에서는, 산화물 반도체를 이용하여 트랜지스터(104)를 형성하는 것을 특징으로 하고 있다. 특히, 진성 또는 실질적으로 진성인 산화물 반도체를 이용함으로써, 트랜지스터(104)의 오프 전류는, 실온에서, 단위 채널폭(W)당, 100 aA/ μm 이하, 바람직하게는 1 aA/ μm 이하, 더욱 바람직하게는 10 zA/ μm 이하로 할 수 있다.

[0029] 예를 들면, 트랜지스터(104)의 오프 전류를 1 aA, 용량 소자(108)의 정전 용량을 0.1 pF, 1 프레임 기간을 16.6 ms로 하면, 상기의 관계식으로부터, 트랜지스터(104)의 오프 전류에 의한 화소의 전압 변동(V)을 다음과 같이 구할 수 있다.

$$[0030] \quad 0.1[\text{pF}] \times V = 1[\text{aA}] \times 16.6[\text{ms}]$$

$$[0031] \quad V = 16.6 \times 10^{-5} \text{ mV}$$

[0032] 여기서, 이 표시 장치가 256 계조이며, 또한, 화소에 있어서의 액정 소자의 최대 구동 전압이 5 V인 경우를 생각한다. 이 경우, 1 계조분의 계조 전압은 약 20 mV 이다. 즉, 여기서 구한 화소의 전압 변동(V) = 16.6×10^{-5} mV는, 1 계조분의 계조 전압인 20 mV에 비해 훨씬 작은 값이다. 또한 높은 계조를 표시하는 경우에도 전압 변동이 표시에 영향을 미치지 않는다.

[0033] 즉, 트랜지스터(104)의 오프 전류에 의한 화소의 전압 변동은, 실질적으로 제로로 간주할 수 있다.

[0034] 또한, 트랜지스터(104)의 오프 전류에 의한 화소의 전압 변동을 실질적으로 제로로 했기 때문에, 액정 소자(105)의 리크 전류에 의한 화소의 전압 변동을 고려한다. 일반적인 액정 소자의 리크 전류는 1 fA(f 는 10^{-15} 를 나타냄) 정도이기 때문에, 마찬가지로 계산하면, 전압 변동(V) = 0.166 mV가 된다. 이론상, 표시 장치가 약 30000 계조에 이르면 전압 변동이 표시에 영향을 미치지만, 인간의 시각 능력을 고려하면 문제없이 표시를 행할 수 있다. 따라서, 통상의 액정 소자에서는, 그 리크 전류는 문제가 되지 않는다.

[0035] 이상과 같이, 진성 또는 실질적으로 진성인 산화물 반도체를 이용한 채널 형성 영역을 가지는 트랜지스터를 화소에 형성함으로써, 트랜지스터의 오프 전류에 의한 화소의 전압 변동을 막을 수 있어, 화소의 계조 특성을 향상시키는 것이 가능하다.

[0036] 다음에, 본 실시형태에서의 산화물 반도체를 이용한 트랜지스터의 특징에 대하여, 상세하게 설명한다.

[0037] 본 실시형태에서의 트랜지스터에 이용하는 산화물 반도체는, 산화물 반도체를 이용한 트랜지스터의 전기 특성에 악영향을 주는 불순물이 매우 적은 레벨까지 저감된 것이며, 고순도화된 것인 것이 바람직하다. 전기 특성에 악영향을 주는 불순물의 대표예로서는, 수소를 들 수 있다. 수소는 산화물 반도체 중에서 캐리어의 공여체(도너)가 될 수 있는 불순물이며, 산화물 반도체 중에 수소가 다량으로 포함되어 있으면, 산화물 반도체가 N형 도전성을 갖게 된다. 그리고, N형 도전성을 갖는 산화물 반도체를 이용한 트랜지스터는, 온·오프비를 충분히 취할 수 없다. 따라서, 본 명세서에서의 「고순도의 산화물 반도체」는 산화물 반도체에서의 수소가 극력 저감되어 있는 것이며, 진성 또는 실질적으로 진성인 산화물 반도체를 가리킨다. 고순도의 산화물 반도체의 일례로서는, 캐리어 농도가 $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만, 또는 $6.0 \times 10^{10}/\text{cm}^3$ 미만인 산화물 반도체를 들 수 있다. 고순도의 산화물 반도체를 이용한 트랜지스터는, 예를 들면 실리콘을 이용한 반도체를 가지는 트랜지스터 등과 비교하여, 오프 전류가 매우 작다는 특징을 가지고 있다. 또한, 본 실시형태에서는, 고순도의 산화물 반도체를 이용한 트랜지스터는 n 채널형의 트랜지스터의 것으로서 이하에 설명한다.

[0038] 이와 같이, 산화물 반도체에 포함되는 수소를 철저히 제거함으로써 얻어지는 고순도의 산화물 반도체를 트랜지스터의 채널 형성 영역에 이용함으로써, 오프 전류값이 매우 작은 트랜지스터를 제공할 수 있다. 평가용 소

자(TEG라고도 부름)를 제작하여, 얻어진 오프 전류의 측정 결과에 대하여, 이하에 설명한다.

- [0039] TEG에는, $L/W = 3\mu\text{m}/50\mu\text{m}$ (막두께 $d: 30\text{ nm}$)의 트랜지스터를 200개 병렬로 접속하여 제작된 $L/W = 3\mu\text{m}/10000\mu\text{m}$ 의 박막 트랜지스터를 형성했다. 그 트랜지스터의 초기 특성을 도 14에 나타낸다. 트랜지스터의 초기 특성을 측정하기 위해, 기판 온도를 실온으로 하고, 소스-드레인간 전압(이하, 드레인 전압 또는 V_D 라고 함)을 10 V로 하고, 소스-게이트간 전압(게이트 전압 또는 V_G 라고 함)을 $-20\text{ V} \sim +20\text{ V}$ 까지 변화시켰을 때의 조건 하에서 소스-드레인 전류(이하, 드레인 전류 또는 I_D 라고 함)의 특성의 변화, 즉 V_G-I_D 특성을 측정했다. 여기에서, V_G-I_D 특성의 측정 결과를, V_G 가 $-20\text{ V} \sim +5\text{ V}$ 까지의 범위에서 나타낸다.
- [0040] 도 14에 나타낸 바와 같이, 채널폭(W)이 $10000\mu\text{m}$ 인 트랜지스터는 V_D 가 1 V 및 10 V의 어느 것에 있어서도, 오프 전류는 $1 \times 10^{-13}\text{ A}$ 이하로 되어 있고, 측정기(반도체 파라미터 애널리저, Agilent 4156C; Agilent Technologies Inc. 제조)의 분해능(100 fA) 이하로 되어 있다. 이 오프 전류값은 채널폭 $1\mu\text{m}$ 로 환산하면, $10\text{ aA}/\mu\text{m}$ 에 상당한다.
- [0041] 또한, 본 명세서에 있어서 오프 전류(리크 전류라고도 함)란, n 채널형의 트랜지스터의 스레숄드값(V_{th})이 정(正)인 경우, 실온에서 -20 V 이상 -5 V 이하의 범위의 임의의 게이트 전압을 인가했을 때에 n채널 트랜지스터의 소스-드레인간을 흐르는 전류를 가리킨다. 또한, 실온은 15°C 이상 25°C 이하로 한다. 본 명세서에 개시하는 산화물 반도체를 이용한 트랜지스터는, 실온에서, 단위 채널폭(W)당의 전류값이 $100\text{ aA}/\mu\text{m}$ 이하, 바람직하게는 $1\text{ aA}/\mu\text{m}$ 이하, 더욱 바람직하게는 $10\text{ zA}/\mu\text{m}$ 이하이다.
- [0042] 또한, 오프 전류와 드레인 전압과의 값을 알 수 있으면 옴의 법칙으로부터 트랜지스터가 오프 상태일 때의 저항값(오프 저항(R))을 산출할 수 있고, 채널 형성 영역의 단면적(A)과 채널 길이(L)를 알 수 있으면 $\rho = RA/L$ 의 식(R 은 오프 저항을 나타냄)으로부터 오프 저항율(ρ)을 산출할 수도 있다. 도 14로부터 구해진 오프 저항율은 $1 \times 10^9\ \Omega \cdot \text{m}$ 이상(또는 $1 \times 10^{10}\ \Omega \cdot \text{m}$ 이상)이었다. 여기서, 단면적(A)은 채널 형성 영역의 막두께를 d 라고 하고, 채널폭을 W 라고 할 때, $A = dW$ 로부터 산출할 수 있다. 또한, 일반적으로 반도체와 절연체의 저항율의 경계는 약 $1 \times 10^5\ \Omega \cdot \text{m}$ 이다. 즉, 본 발명의 일 양태에 관한 진성 또는 실질적으로 진성인 산화물 반도체를 이용한 트랜지스터는, 오프 상태에서 절연체와 동등한 저항율을 나타내는 것이다. 이것으로부터, 이 트랜지스터는 스위치 소자로서 이질의 효과를 가진다는 것을 이해할 수 있다.
- [0043] 또한, 산화물 반도체의 에너지 갭은 2 eV 이상, 바람직하게는 2.5 eV 이상, 보다 바람직하게는 3 eV 이상이다.
- [0044] 또한, 고순도의 산화물 반도체를 이용한 트랜지스터는 온도 특성이 양호하다. 대표적으로는, -25°C 에서 150°C 까지의 온도 범위에서의 트랜지스터의 전류 전압 특성에 있어서, 온 전류, 오프 전류, 전계 효과 이동도, 서브스레숄드값(S 값), 및 스레숄드 전압의 변동이 거의 없고, 온도에 의한 전류 전압 특성의 열화를 거의 볼 수 없다.
- [0045] 다음에, 산화물 반도체를 이용한 트랜지스터의 핫 캐리어 열화에 대하여 설명한다.
- [0046] 핫 캐리어 열화란, 고속으로 가속된 전자가 드레인 근방의 채널로부터 게이트 절연막 중에 주입되어 고정 전하가 되는 현상이나, 고속으로 가속된 전자가 게이트 절연막 계면에서 트랩 준위를 형성하는 현상으로 인한, 스레숄드 전압의 변동이나 게이트 리크 전류의 발생 등의 트랜지스터 특성의 열화가 생기는 것이다. 핫 캐리어 열화의 요인으로서, 채널 핫 일렉트론 주입(CHE 주입)과 드레인 애벌란시 핫 캐리어 주입(DAHC 주입)이 있다.
- [0047] 실리콘은 밴드 갭이 1.12 eV 로 작기 때문에, 애벌란시 항복에 의해 눈사태처럼 전자가 발생하기 쉽고, 게이트 절연막에의 장벽을 넘을 수 있을 정도로 고속으로 가속되는 전자수가 증가한다. 한편, 본 실시형태에 나타내는 산화물 반도체는, 밴드 갭이 3.15 eV 로 넓기 때문에, 애벌란시 항복이 생기기 어렵고, 실리콘과 비교하여 핫 캐리어 열화의 내성이 높다.
- [0048] 또한, 고내압 재료의 하나인 실리콘 카바이드의 밴드 갭과 산화물 반도체의 밴드 갭은 동등하지만, 산화물 반도체가 이동도가 약 2자리수 정도 실리콘 카바이드보다 작기 때문에, 전자가 가속되기 어렵고, 또한, 산화물 반도체로서, 인듐(In) 혹은 아연(Zn)을 포함하는 것을 이용하여, 게이트 절연막으로서 산화 실리콘을 이용한 경우에는, 이 산화물 반도체와 산화 실리콘 간의 장벽이, 실리콘 카바이드, 질화 갈륨, 실리콘보다 크기 때문에, 산화막에 주입되는 전자가 매우 적어, 실리콘 카바이드, 질화 갈륨, 실리콘보다 핫 캐리어 열화가 생기기 어렵고, 드레인 내압이 높다고 할 수 있다. 따라서, 채널로서 기능하는 산화물 반도체와 소스 전극 및 드레인 전극과의

사이에, 의도적으로 저농도 불순물 영역을 형성할 필요가 없고, 트랜지스터 구조가 매우 간단하게 되어, 제조 공정수를 저감할 수 있다.

- [0049] 이상과 같이, 산화물 반도체를 이용한 트랜지스터는 드레인 내압이 높고, 구체적으로는 100 V 이상, 바람직하게는 500 V 이상, 더 바람직하게는 1 kV 이상의 드레인 내압을 가지는 것이 가능하다.
- [0050] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0051] (실시형태 2)
- [0052] 본 실시형태에서는, 다계조 표시를 행하기 위한 구성의 일례에 대하여 설명한다.
- [0053] 다계조 표시를 행하는 능력은, 소스 드라이버에서의 디지털 데이터로부터 아날로그 데이터(계조 전압)에의 변환 능력에 크게 의존한다.
- [0054] 일반적으로, 소스 드라이버에서, 2 비트의 디지털 데이터를 처리하는 소스 드라이버의 경우, $2^2 = 4$ 계조의 표시를 행할 수 있고, 8 비트라면 $2^8 = 256$ 계조 표시를 행할 수 있고, 또한 m 비트라면 2^m 계조의 표시를 행할 수 있다.
- [0055] 그러나, 소스 드라이버의 능력을 높이기 위해서는, 소스 드라이버의 회로 구성이 복잡하게 되고, 또한 레이아웃 면적이 커진다.
- [0056] 따라서, 본 실시형태에서는, 소스 드라이버를 복잡하게 하지 않고, 다계조 표시를 행하는 구성에 대하여 설명한다.
- [0057] 본 실시형태에서는, 입력되는 m 비트의 디지털 데이터 중, n 비트의 디지털 데이터는 전압 계조에 의해 계조를 표현하고, 나머지의 (m-n) 비트의 디지털 데이터는 시간 계조에 의해 계조를 표현한다. 이와 같이 함으로써, n 비트분의 전압 계조를 행하는 소스 드라이버에 있어서, m 비트분의 계조를 표시하는 것이 가능하게 되어, 소스 드라이버를 복잡하게 하지 않고, 다계조 표시를 행할 수 있다. 또한, m, n은 모두 정의의 정수이며, 또한 $m > n$ 로 한다.
- [0058] 이하에, 전압 계조와 시간 계조를 조합하는 구성의 일례에 대하여 설명한다. 여기에서는, 4 비트($m = 4$)의 디지털 데이터가 입력되고, 그 중 2 비트의 디지털 데이터($n = 2$)를 전압 계조에 이용하고, 2 비트의 디지털 데이터($m-n = 2$)를 시간 계조에 이용하는 경우에 대하여 설명한다. 단, m 및 n은 한정되지 않는다.
- [0059] 먼저, 본 실시형태의 표시 장치의 구성에 대하여, 도 2를 이용하여 설명한다. 표시 장치는 표시부(100) 및 데이터 처리 회로(200)를 가진다.
- [0060] 표시부(100)는 도 1과 마찬가지로 설명을 생략한다.
- [0061] 데이터 처리 회로(200)는 입력되는 4 비트의 입력 디지털 데이터 중 2 비트분의 디지털 데이터를 이용하여, 전압 계조에 이용되는 2 비트의 디지털 데이터를 생성한다. 그리고, 4 비트의 입력 디지털 데이터 중 나머지 2 비트분의 데이터를 시간 계조에 의해 표현한다. 그리고, 전압 계조와 시간 계조를 조합한 신호(예를 들면, 디지털 데이터)를 소스 드라이버에 출력한다.
- [0062] 여기서, 본 실시형태에서의 표시 장치의 계조 표시 방법에 대하여, 도 3을 이용하여 설명한다. 입력되는 디지털 데이터는 4 비트이며, 16 계조의 정보를 가지고 있다. 전압 레벨(V_L)은 소스 드라이버에 입력되는 최저의 전압 레벨이며, 또한, 전압 레벨(V_H)은 소스 드라이버에 입력되는 최고의 전압 레벨이다.
- [0063] 본 실시형태에서는, 2 비트의 디지털 데이터가 전압 계조에 이용되기 때문에, 전압 레벨(V_H)과 전압 레벨(V_L)의 사이에, 서로 인접하는 전압 레벨이 거의 같아지도록 3개의 전압 레벨을 설정하여, 4 계조의 전압 레벨을 표현한다. 그 서로 인접하는 전압 레벨의 차이를 α 로 하고, $\alpha = (V_H - V_L)/4$ 로 한다.
- [0064] 따라서, 소스 드라이버가 출력하는 전압 레벨은 디지털 데이터가 (00)일 때는 V_L 이 되고, 디지털 데이터가 (01)일 때에는 $V_L + \alpha$ 가 되고, 디지털 데이터가 (10)일 때에는 $V_L + 2\alpha$ 가 되고, 디지털 데이터가 (11)일 때에는 $V_L + 3\alpha$ 가 된다.

- [0065] 이와 같이, 소스 드라이버가 출력할 수 있는 전압 레벨은, V_L , $(V_L + \alpha)$, $(V_L + 2\alpha)$, 및 $(V_L + 3\alpha)$ 의 4가지이다. 즉, m 비트의 디지털 데이터 중 n 비트분의 디지털 데이터를 전압 계조에 이용하는 경우, 소스 드라이버가 출력할 수 있는 전압 레벨은 2^n 가지이다.
- [0066] 따라서, 본 실시형태에서는, 표시 장치에 표시할 수 있는 계조수를 증가시키기 위해, 전압 계조에 시간 계조를 조합하는 방법을 이용한다. 이하에, 본 실시형태에서의 시간 계조의 방법을 설명한다.
- [0067] 먼저, 본 실시형태의 표시 장치는, 1 라인분의 화소를 동시에 구동하는, 소위 선 순차 구동 방법을 구현한다. 바꿔 말하면, 1 라인분의 화소에 동시에 아날로그 계조 전압을 기입한다. 화소부 중의 모든 화소에 아날로그 계조 전압을 기입하는 주기를 1 프레임 기간이라고 부른다.
- [0068] 그리고, 1 프레임 기간을 복수의 기간(서브 프레임 기간이라고 부름)으로 분할한다. 그리고, 각 서브 프레임 기간에 있어서, 선 순차 구동을 행하여, 모든 화소에 아날로그 계조 전압을 기입한다. 각 서브 프레임 기간에 기입된 아날로그 계조 전압의 평균값을 취하여, 이 평균값의 전압 레벨로 계조 표시를 행한다. 본 실시형태에서는, 1 프레임 기간을 4개의 서브 프레임 기간(제 1~제 4 서브 프레임 기간)으로 분할한다.
- [0069] 즉, 2 비트분을 시간 계조에 이용함으로써, 2 비트분의 디지털 데이터에 의해 전압 레벨의 차(α)를 거의 4 등분하여, 계조수를 증가시킬 수 있다. 따라서, m 비트의 디지털 데이터 중 $(m-n)$ 비트분의 디지털 데이터를 시간 계조에 이용하는 경우, 1 프레임 기간을 2^{m-n} 개의 서브 프레임 기간으로 분할한다.
- [0070] 그리고, 전압 계조에 시간 계조를 조합함으로써, V_L , $V_L + \alpha / 4$, $V_L + 2\alpha / 4$, $V_L + 3\alpha / 4$, $V_L + \alpha$, $V_L + 5\alpha / 4$, $V_L + 6\alpha / 4$, $V_L + 7\alpha / 4$, $V_L + 2\alpha$, $V_L + 9\alpha / 4$, $V_L + 10\alpha / 4$, $V_L + 11\alpha / 4$, $V_L + 3\alpha$ 의 전압 레벨에 해당하는 표시를 실현할 수 있다(도 3 참조).
- [0071] 이하에, 전압 계조와 시간 계조를 조합하여 데이터 처리를 행하는 방법의 일례를 나타낸다.
- [0072] 도 2에서, 데이터 처리 회로(200)에 디지털 데이터(201)가 입력된다. 본 실시형태에 있어서, 4 비트의 디지털 데이터(201)는 (1001)으로 한다. 입력된 디지털 데이터(201)는 메모리(211)에 기입된다.
- [0073] 그리고, 메모리(211)로부터 디지털 데이터(201)를 판독, 상위 2 비트의 디지털 데이터(10)를 디지털 데이터(202)로서 메모리(212)에 기입하고, 상위 2 비트의 1번째 비트에 1을 더한 (11)을 디지털 데이터(203)로서 메모리(213)에 기입한다.
- [0074] 그리고, 1 프레임 기간을 4 분할하여, 4개의 서브 프레임 기간(제 1 서브 프레임 기간(231), 제 2 서브 프레임 기간(232), 제 3 서브 프레임 기간(233), 및 제 4 서브 프레임 기간(234))에서의 디지털 데이터를, 하위 2 비트로부터 결정한다. 하위 2 비트의 디지털 데이터가 (01)일 때, 디지털 데이터(202)가 메모리(212)로부터 3회 판독되고, 디지털 데이터(203)가 메모리(213)로부터 1회 판독되고, 디지털 데이터(202) 및 디지털 데이터(203)는 스위치(220)를 통하여 표시부(100)의 소스 드라이버(103)에 출력된다. 디지털 데이터(202) 및 디지털 데이터(203)는 메모리(212)와 메모리(213)로부터 합계 4회 판독된다.
- [0075] 여기서, 디지털 데이터(203)의 판독 횟수는, 하위 2 비트의 수치에 의해 결정된다. 즉, (00)는 0회, (01)는 1회, (10)는 2회, (11)는 3회가 된다. 이 예에서는, (01)이므로 디지털 데이터(203)는 1회 판독하고, 나머지 3회는 디지털 데이터(202)를 판독한다.
- [0076] 그리고, 예를 들면, 제 1 서브 프레임 기간(231), 제 2 서브 프레임 기간(232), 및 제 3 서브 프레임 기간(233)에서 디지털 데이터(202)가 출력되고, 제 4 서브 프레임 기간(234)에서 디지털 데이터(203)가 출력된다. 이 경우, 제 1 ~ 제 4 서브 프레임 기간에서의 디지털 데이터는, 순차로 (10), (10), (10), (11)이 된다. 이것들을 소스 드라이버에 입력한다(도 4 참조). 또한, 이 순서는 상기에 한정되지 않는다.
- [0077] 소스 드라이버는, 제 1~제 4 서브 프레임 기간의 각각에 있어서, 디지털 데이터(10), (10), (10), 및 (11)에 따른 아날로그 계조 전압인 $(V_L + 2\alpha)$, $(V_L + 2\alpha)$, $(V_L + 2\alpha)$, 및 $(V_L + 3\alpha)$ 을 소정의 화소에 입력한다. 이 화소는 이들 아날로그 계조 전압의 평균값 240인 $(V_L + 9\alpha / 4)$ 의 전압 레벨로 계조 표시를 행한다(도 4, 도 5 참조).
- [0078] 또한, (0000)~(1111)의 어느 하나의 디지털 데이터(201)가 입력되는 경우에 대해서도, 같은 처리를 행하여, 계조 표시를 행할 수 있다(도 4 참조).

- [0079] 또한, 입력된 디지털 데이터(201)의 상위 비트의 디지털 데이터가 (11)과 같이, 모두 1인 경우는, 도 13에 나타낸 바와 같이, 서브 프레임 기간에 있어서 화소에 V_H 를 입력하도록 해도 좋다. V_H 를 이용함으로써 더욱 계조수를 늘릴 수 있다. 따라서, m 비트의 디지털 데이터 중 n 비트분의 디지털 데이터를 전압 계조에 이용하는 경우, 소스 드라이버를 출력할 수 있는 전압 레벨은 최대로 $(2n+1)$ 가지($(2n+1)$ 가지 이하)이다.
- [0080] 이와 같이, 전압 계조와 시간 계조를 조합함으로써, 2 비트를 처리하는 소스 드라이버에서 4 비트에 상당하는 계조 표시를 행할 수 있다. 즉, 소스 드라이버를 복잡하게 하지 않고, 다계조 표시를 행하는 것이 가능하게 된다. 따라서, 본 실시형태에 나타내는 디지털 처리 회로는, 입력된 m 비트의 디지털 데이터 중 n 비트분의 디지털 데이터에 기초하여, (2^n+1) 가지의 전압 레벨로부터, 소스 드라이버에서 출력되는 2개의 전압 레벨을 선택하고, 또한, 1 화소, 1 프레임 기간용으로 2^{m-n} 개의 디지털 데이터를 소스 드라이버에 출력한다. 여기서, 2^{m-n} 개의 디지털 데이터에는 각각 이 선택된 2개의 전압 레벨에 대응한 2개의 디지털 데이터 중 어느 것인가가 선택된다.
- [0081] 그러나, 본 실시형태의 데이터 처리에 의해 다계조화를 행하여도, 트랜지스터의 오프 전류가 크기 때문에 화소의 계조 특성이 낮은 경우는, 소망의 계조 표시를 행하는 것은 어렵다. 그 경우, 실시형태 1에 나타낸 산화물 반도체를 이용한 트랜지스터로 화소를 구성함으로써, 계조 특성이 향상되기 때문에, 데이터 처리에 의해 생성한 전압 레벨에서의 표시가 가능하게 된다.
- [0082] 또한, 본 실시형태의 데이터 처리를 행할 때, 화소에의 데이터 기입 시간이 길어지면 동작 속도가 늦어지는 경우가 있다. 본 실시형태에서와 같이 1 프레임 기간을 4 분할한 경우, 기입 시간을 4배로 하는 것이 요구된다. 그때, 산화물 반도체를 이용한 트랜지스터는 이동도가 $10 \text{ cm}^2/\text{Vs}$ 이상이므로, 기입 시간을 단축할 수 있다.
- [0083] 즉, 실시형태 1과 본 실시형태를 조합하는 것은 매우 유효하고, 다계조 표시 및 고속 동작을 실현할 수 있다.
- [0084] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0085] (실시형태 3)
- [0086] 본 실시형태에서는, 반도체 장치의 구조 및 그 제작 방법의 일례에 대하여 설명한다.
- [0087] 도 6(A)에, 반도체 장치의 평면 구조의 일례를 나타낸다. 또한, 도 6(B)은 반도체 장치의 단면 구조의 일례이며, 도 6(A)의 선 C1-C2에서의 단면을 나타낸다. 반도체 장치는 트랜지스터(410)를 가지고 있다.
- [0088] 트랜지스터(410)는 탑 게이트 구조의 박막 트랜지스터이며, 산화물 반도체층(412), 제 1 전극(소스 전극 및 드레인 전극의 한쪽)(415a), 제 2 전극(소스 전극 및 드레인 전극의 다른 한쪽)(415b), 게이트 절연층(402), 및 게이트 전극(411)을 가지고 있다.
- [0089] 또한, 트랜지스터(410)는 싱글 게이트 구조의 트랜지스터를 나타내고 있지만, 멀티 게이트 구조의 트랜지스터로 해도 좋다.
- [0090] 다음에, 도 7(A) 내지 도 7(E)을 이용하면서, 트랜지스터(410)를 제작하는 공정에 대하여 설명한다.
- [0091] 먼저, 기판(400) 위에 베이스막이 되는 절연층(407)을 형성한다.
- [0092] 기판(400)은, 적어도 후의 가열 처리에 견딜 수 있을 정도의 충분한 내열성을 가지고 있는 것이 필요하다. 후의 가열 처리의 온도가 높은 경우에는, 변형점이 730°C 이상의 것을 이용하면 좋다.
- [0093] 기판(400)의 구체예로서는, 유리 기판, 결정화 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판, 플라스틱 기판 등을 들 수 있다. 또한, 유리 기판의 구체적인 재료예로서는, 알루미늄 실리케이트 유리, 알루미늄 붕규산 유리, 바륨 붕규산 유리를 들 수 있다.
- [0094] 절연층(407)으로서, 산화 실리콘층, 산화 질화 실리콘층, 산화 알루미늄층, 또는 산화 질화 알루미늄층 등과 같은 산화물 절연층이 있는 단층 또는 적층하여 형성될 수 있다.
- [0095] 절연층(407)의 형성 방법으로서, 플라즈마 CVD법, 스퍼터링법 등을 이용할 수 있다. 특히, 스퍼터링법을 이용함으로써, 절연층(407) 중의 수소, 물, 수산기 또는 수산화물(이것들을 수소 등이라고 함)을 저감할 수 있다.
- [0096] 본 실시형태에 있어서는, 절연층(407)으로서 스퍼터링법에 의해 산화 실리콘층을 성막한다. 스퍼터링

가스로는, 산소 및 아르곤의 혼합 가스, 또는 산소 등을 이용할 수 있다. 또한, 스퍼터링 가스는, 수소 등이 제거되고, 또한 고순도의 산소를 포함하고 있는 것이 바람직하다. 또한, 타겟은 실리콘 또는 석영(바람직하게는 합성 석영)을 이용할 수 있다. 또한, 성막 시의 기판(400)은, 실온이어도 좋고, 가열되어 있어도 좋다.

- [0097] 절연층(407)의 성막 조건의 일례로서는, 타겟을 석영으로 하고, 기판 온도 108℃, 기판(400)과 타겟간의 거리(T-S간 거리라고도 함)를 60 mm, 압력 0.4 Pa, 고주파 전원 1.5 kW, 스퍼터링 가스를 산소 및 아르곤의 혼합 가스(산소 유량 25 sccm : 아르곤 유량 25 sccm = 1 : 1)로 한다. 또한, 절연층(407)의 막두께는 100 nm로 한다.
- [0098] 스퍼터링 가스는, 수소 등이 약 ppm 레벨, 바람직하게는 ppb 레벨의 농도까지 제거된 고순도 가스를 이용한다.
- [0099] 또한, 성막실 내의 잔류 수분을 제거함으로써, 절연층(407)에 수소 등이 포함되지 않게 하는 것이 바람직하다.
- [0100] 성막실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 이용하면 좋다. 예를 들면, 크라이오 펌프, 이온 펌프, 티탄 서블리메이션 펌프를 이용할 수 있다. 특히, 크라이오 펌프는, 성막실로부터 수소 등을 배기하는 효과가 높다. 따라서, 절연층(407) 중의 수소 등을 극력 저감할 수 있다. 또한, 배기 수단으로서 터보 펌프에 콜드 트랩을 조합하여 사용하는 것이 바람직하다.
- [0101] 스퍼터링법에는 스퍼터링용 전원에 고주파 전원을 이용하는 RF 스퍼터링법, 직류 전원을 이용하는 DC 스퍼터링법이 있고, 또한 펄스적으로 바이어스를 주는 펄스 DC 스퍼터링법이 있다. RF 스퍼터링법은 주로 절연막을 성막하는 경우에 이용되고, DC 스퍼터링법은 주로 금속막을 성막하는 경우에 이용된다.
- [0102] 또한, 다원 스퍼터링 장치를 이용해도 좋다. 다원 스퍼터링 장치는, 재료가 다른 복수의 타겟을 설치할 수 있고, 동일한 성막실에 있어서, 복수의 타겟을 동시 또는 따로 따로 스퍼터링할 수 있다. 예를 들면, 복수의 타겟을 동시에 스퍼터링함으로써, 복수의 재료로 이루어지는 막을 형성할 수 있다. 또한, 따로 따로 스퍼터링함으로써, 재료가 다른 복수의 막을 적층할 수 있다.
- [0103] 또한, 마그네트론 스퍼터링법을 이용하는 스퍼터링 장치를 이용해도 좋다. 이 스퍼터링 장치는, 성막실 내부에 자석 기구를 구비하고 있다. 또한, ECR 스퍼터링법을 이용하는 스퍼터링 장치를 이용해도 좋다. 이 스퍼터링 장치는, 마이크로파를 이용하여 발생시킨 플라즈마를 이용한다.
- [0104] 또한, 성막 방법으로서 리액티브 스퍼터링법을 이용해도 좋다. 이 스퍼터링법은, 성막 중에 타겟과 스퍼터링 가스를 화학 반응시켜, 그들의 화합물 박막을 형성하는 방법이다. 또한, 바이어스 스퍼터링법을 이용해도 좋다. 이 스퍼터링법은 성막 중에 기판에도 전압을 가하는 방법이다.
- [0105] 또한, 절연층(407)으로서 질화 실리콘층, 질화 산화 실리콘층, 질화 알루미늄층, 또는 질화 산화 알루미늄과 같은 질화물 절연층의 단층 또는 적층을 이용해도 좋다. 또한, 절연층(407)은 이 질화물 절연층과 산화물 절연층을 적층한 구조로 해도 좋다.
- [0106] 질화물 절연층과 산화물 절연층과의 적층은, 예를 들면 이하의 방법으로 형성한다. 먼저, 성막실에 고순도 질소를 포함하는 스퍼터링 가스를 도입하여, 실리콘 타겟을 이용하여 질화 실리콘층을 성막한다. 그 후, 스퍼터링 가스를 고순도 산소를 포함하는 것으로 전환하여, 산화 실리콘층을 성막한다. 또한, 상술한 바와 같이, 성막실 내의 잔류 수분을 제거하면서 질화 실리콘층이나 산화 실리콘층을 성막하는 것이 바람직하다. 또한, 성막 시에 기판을 가열해도 좋다.
- [0107] 다음에, 절연층(407) 위에 산화물 반도체층을 스퍼터링법에 의해 형성한다.
- [0108] 산화물 반도체층 중에 수소 등이 극력 포함되지 않게 하는 것이 바람직하다. 따라서, 성막의 전처리로서 절연층(407)이 형성된 기판(400)을 예비 가열하여, 기판(400)에 흡착한 수소 등을 이탈하여 배기하는 것이 바람직하다. 또한, 예비 가열은 스퍼터링 장치의 예비 가열실에서 행하면 좋다. 또한, 예비 가열실에 형성하는 배기 수단은 크라이오 펌프가 바람직하다. 단, 예비 가열은 생략해도 좋다.
- [0109] 또한, 성막의 전처리로서 아르곤 가스를 도입해 플라즈마를 발생시켜, 절연층(407)의 표면에 부착되어 있는 먼지를 제거하는 것도 바람직하다. 이 공정을 역스퍼터링이라고 부른다. 역스퍼터링이란, 타겟측에 전압을 인가하지 않고, 아르곤 분위기하에서 기판측에 고주파 전원을 이용하여 전압을 인가함으로써 플라즈마를 생성하여, 절연층(407)의 표면을 개질하는 방법이다. 또한, 아르곤 대신에 질소, 헬륨, 산소 등을 이용해도 좋다.
- [0110] 산화물 반도체층의 타겟으로서, 산화 아연을 주성분으로 하는 금속 산화물의 타겟을 이용할 수 있다. 예를 들면, 조성비로서 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1 [\text{mol}\%]$, 즉, $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5 [\text{atom}\%]$ 의 타겟을 이용할 수 있다. 또한, $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1 [\text{atom}\%]$, 또는 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2 [\text{atom}\%]$ 의 조성비를 가지는 타겟을 이

용할 수도 있다. 또한, SiO_2 를 2 중량% 이상 10 중량% 이하 포함하는 타겟을 이용할 수도 있다. 타겟에 있어서의 금속 산화물의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 충전율이 높은 타겟을 이용함으로써, 성막한 산화물 반도체층(412)을 치밀한 막으로 할 수 있다.

- [0111] 또한, 산화물 반도체층의 성막 시에는, 희가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희가스 및 산소 혼합 분위기하로 하면 좋다. 여기서, 산화물 반도체층을 성막할 때에 이용하는 스퍼터링 가스는, 수소 등이 ppm 레벨, 바람직하게는 ppb 레벨의 농도까지 제거된 고순도 가스를 이용한다.
- [0112] 또한, 성막실 내의 잔류 수분을 제거함으로써, 산화물 반도체층 중에 수소 등이 포함되지 않게 하는 것이 바람직하다. 상술한 바와 같이, 크라이오 펌프를 이용하여 성막실 내의 수소 등을 배기함으로써, 산화물 반도체층 중의 수소 등을 극력 저감할 수 있다. 또한, 성막시의 기판은 실온이어도 좋고, 400℃ 미만의 온도로 가열해도 좋다. 또한, 성막실을 감압 상태로 유지하는 것이 바람직하다.
- [0113] 산화물 반도체층의 성막 조건의 일례로서는, 타겟의 조성비를 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1[\text{mol}\%]$ 로 하고, 기판 온도를 실온, T-S간 거리를 110 mm, 압력 0.4 Pa, 직류(DC) 전원 0.5 kW, 스퍼터링 가스를 산소 및 아르곤의 혼합 가스(산소 유량 15 sccm : 아르곤 유량 30 sccm)로 한다. 또한, 펄스 직류(DC) 전원을 이용함으로써, 먼지의 발생을 저감하는 효과나, 막두께 분포를 균일하게 하는 효과를 얻는다. 산화물 반도체층의 막두께는, 2nm 이상 200 nm 이하(바람직하게는 5 nm 이상 30 nm 이하)로 한다. 또한, 적용하는 산화물 반도체의 재료에 따라 적절한 두께는 다르기 때문에, 재료에 따라 적절히 두께를 결정하면 좋다.
- [0114] 이상에서는, 산화물 반도체층으로서 인듐과 갈륨과 아연과 산소를 포함하는 화합물층(In-Ga-Zn-O라고도 함)을 이용했지만, 그 외에도, In-Sn-Ga-Zn-O, In-Sn-Zn-O, In-Al-Zn-O, Sn-Ga-Zn-O, Al-Ga-Zn-O, Sn-Al-Zn-O, In-Zn-O, Sn-Zn-O, Al-Zn-O, Zn-Mg-O, Sn-Mg-O, In-Mg-O, In-O, Sn-O, Zn-O 등을 이용할 수 있다. 또한, 상기 산화물 반도체층은 Si를 포함하고 있어도 좋다. 또한, 이러한 산화물 반도체층은 비정질이어도 좋고, 결정질이어도 좋다. 또는, 비단결정이어도 좋고, 단결정이어도 좋다.
- [0115] 또한, 산화물 반도체층으로서 $\text{InMO}_3(\text{ZnO})_m(m>0)$ 으로 표기되는 화합물층을 이용할 수도 있다. 여기서, M은, Ga, Al, Mn 및 Co로부터 선택된 하나 또는 복수의 금속 원소이다. 예를 들면, M으로서 Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co를 들 수 있다.
- [0116] 다음에, 산화물 반도체층을 제 1 포토리소그래피법을 통하여 에칭하고, 섬 형상의 산화물 반도체층(412)으로 가공한다(도 7(A) 참조). 또한, 가공에 이용하는 레지스트를 잉크젯법으로 형성해도 좋다. 레지스트를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.
- [0117] 또한, 레지스트를 다계조 포토마스크를 이용하여 형성해도 좋다. 다계조 포토마스크는 다단계의 광량(광강도)으로 노광을 행하는 것이 가능한 마스크이다. 다계조 포토마스크를 이용함으로써, 포토마스크수를 삭감할 수 있다.
- [0118] 또한, 산화물 반도체층의 에칭은 드라이 에칭이어도 웨트 에칭이어도 좋고, 양쪽 모두를 이용해도 좋다.
- [0119] 드라이 에칭을 행하는 경우, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma : 유도 결합형 플라즈마) 에칭법을 이용할 수 있다. 소망의 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일 형의 전극에 인가되는 전력량, 기관축의 전극에 인가되는 전력량, 기관축의 전극 온도 등)을 적절히 조절한다.
- [0120] 드라이 에칭에 이용하는 에칭 가스로서는, 염소를 포함하는 가스(염소계 가스, 예를 들면 염소, 염화 붕소, 염화 규소, 사염화 탄소 등)가 바람직하지만, 불소를 포함하는 가스(불소계 가스, 예를 들면 사불화 탄소, 불화 유황, 불화 질소, 트리플루오로메탄 등), 브롬화 수소, 산소, 또는 이들 가스에 헬륨이나 아르곤 등의 희가스를 첨가한 가스 등을 이용할 수도 있다.
- [0121] 웨트 에칭에 이용하는 에칭액으로서, 인산과 초산과 질산을 혼합한 용액, 암모니아과수(31 중량% 과산화 수소 : 28 중량% 암모니아 : 수 = 5 : 2 : 2) 등을 이용할 수 있다. 또한, ITO-07N(칸토 화학사(KANTO CHEMICAL CO., INC.)제)를 이용해도 좋다. 에칭의 조건(에칭액, 에칭 시간, 온도 등)에 대해서는, 산화물 반도체의 재료에 맞추어 적절히 조절하면 좋다.
- [0122] 또한, 웨트 에칭을 행하는 경우, 에칭액은 에칭된 재료와 함께 세정에 의해 제거된다. 그 제거된 재료를 포함하는 에칭액의 폐액을 정제하여, 포함되는 재료를 재이용해도 좋다. 이 에칭 후의 폐액으로부터 산화물 반도체층에 포함되는 재료(예를 들면, 인듐 등의 레어(rare) 메탈)를 회수하여 재이용함으로써, 자원을 효율적으로 활용

용할 수 있다.

- [0123] 본 실시형태에서는, 에칭액으로서 인산과 초산과 질산을 혼합한 용액을 이용한 습식 에칭법에 의해, 산화물 반도체층을 섬 형상의 산화물 반도체층(412)으로 가공한다.
- [0124] 다음에, 산화물 반도체층(412)에 제 1 가열 처리를 행한다. 제 1 가열 처리의 온도는, 400℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기판의 변형점 미만으로 한다. 여기에서는, 가열 처리 장치의 하나인 전기로에 기판을 도입하고, 산화물 반도체층에 대해서 질소 분위기하 450℃에서 1시간의 가열 처리를 행한다. 이 제 1 가열 처리에 의해 산화물 반도체층(412)으로부터 수소 등을 제거할 수 있다.
- [0125] 또한, 가열 처리 장치는 전기로에 한정하지 않고, 발열체(예를 들면 저항 발열체 등)로부터의 열전도 또는 열복사에 의해 가열을 행하는 장치를 이용해도 좋다. 예를 들면, GRTA(Gas Rapid Thermal Annealing) 장치, LRTA(Lamp Rapid Thermal Annealing) 장치 등의 RTA(Rapid Thermal Annealing) 장치를 이용할 수 있다.
- [0126] LRTA 장치는, 할로겐 램프, 메탈 헬라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의해 가열을 행하는 장치이다.
- [0127] GRTA 장치는, 고온의 가스를 이용하여 가열을 행하는 장치이다. 가스로서는, 불활성 가스(대표적으로는, 아르곤 등의 희가스) 또는 질소 가스를 이용할 수 있다.
- [0128] 예를 들면, GRTA 장치를 이용하여 제 1 가열 처리를 행하는 경우, 기판을 고온(예를 들면 650℃~700℃)의 불활성 가스 중에서 수 분간 가열한 후, 이 불활성 가스 중으로부터 취출하면 좋다. GRTA 장치를 이용함으로써, 단 시간에서의 고온 가열 처리가 가능하게 된다.
- [0129] 제 1 가열 처리 시의 분위기에는, 수소 등이 포함되지 않게 하는 것이 바람직하다. 또는, 가열 처리 장치 내에 도입하는 질소, 헬륨, 네온, 아르곤 등의 가스의 순도를, 바람직하게는 6N(99.9999%) 이상, 더욱 바람직하게는 7N(99.99999%) 이상, (즉 불순물 농도를 1 ppm 이하, 바람직하게는 0.1 ppm 이하)로 하는 것이 바람직하다.
- [0130] 또한, 제 1 가열 처리의 조건, 또는 산화물 반도체층(412)의 재료에 따라서는, 제 1 가열 처리에 의해 섬 형상의 산화물 반도체층(412)이 결정화하고, 미결정화 또는 다결정화하는 경우도 있다.
- [0131] 예를 들면, 산화물 반도체층(412)은 결정화율이 80% 이상의 미결정의 산화물 반도체층이 되는 경우도 있다. 단, 제 1 가열 처리를 행하여도 섬 형상의 산화물 반도체층(412)이 결정화하지 않고, 비정질의 산화물 반도체층이 되는 경우도 있다. 또한, 비정질의 산화물 반도체층 중에 미결정부(입경 1 nm 이상 20 nm 이하(대표적으로는 2nm 이상 4 nm 이하))가 혼재하는 산화물 반도체층이 되는 경우도 있다.
- [0132] 또한, 제 1 가열 처리는, 섬 형상의 산화물 반도체층으로 가공하기 전에 산화물 반도체층에 대하여 행하여도 좋다. 이 경우, 제 1 가열 처리 후에, 제 1 포토리소그래피 공정을 행하여, 섬 형상으로 가공한다.
- [0133] 또한, 제 1 가열 처리는, 후의 공정에서 행하여도 좋다. 예를 들면, 산화물 반도체층(412) 위에 소스 전극 및 드레인 전극을 형성한 후, 소스 전극 및 드레인 전극 위에 게이트 절연층을 형성한 후의 어느 것으로 행하여도 좋다.
- [0134] 제 1 가열 처리는 산화물 반도체층(412) 중으로부터 수소 등을 제거하는 것을 주된 목적으로 하고 있지만, 이 제 1 가열 처리 시에 산화물 반도체층(412) 중에 산소 결손이 생기게 될 우려가 있다. 따라서, 제 1 가열 처리 후에, 과잉의 산화 처리를 행하는 것이 바람직하다. 과잉의 산화 처리의 구체예로서는, 제 1 가열 처리 후에 연속하여, 산소 분위기 또는 질소 및 산소를 포함하는 분위기(예를 들어, 질소 : 산소의 체적비 = 4 : 1)에서의 가열 처리를 행하는 방법을 들 수 있다. 또한, 산소 분위기하에서의 플라즈마 처리를 행하는 방법을 이용할 수도 있다.
- [0135] 이상과 같이, 제 1 가열 처리에 의해, 산화물 반도체층으로부터 수소 등을 제거할 수 있다. 즉, 제 1 가열 처리는, 산화물 반도체층에 대한 탈수화, 탈수소화의 효과를 얻는다.
- [0136] 다음에, 절연층(407) 및 산화물 반도체층(412) 위에, 도전막을 형성한다.
- [0137] 도전막은 스퍼터링법이나 진공 증착법에 의해 형성하면 좋다. 도전막의 재료로서는, Al, Cu, Cr, Ta, Ti, Mo, W, Y 등의 금속 재료, 이 금속 재료를 성분으로 하는 합금 재료, 도전성을 가지는 금속 산화물 등을 들 수 있다. 또한, 예를 들면, 힐록이나 위스커의 발생을 방지하기 위해 Si, Ti, Ta, W, Mo, Cr, Nd, Sc, Y 등의 원소가 첨가된 Al 재료를 이용해도 좋고, 이 경우, 내열성을 향상시킬 수 있다. 도전성을 가지는 금속 산화물로

서는, 산화 인듐, 산화 주석, 산화 아연, 산화 인듐 산화 주석 합금(ITO), 산화 인듐 산화 아연 합금(IZO) 또는 상기 금속 산화물 재료에 실리콘 혹은 산화 실리콘을 포함시킨 것을 이용할 수 있다.

- [0138] 또한, 도전막은 단층 구조로 해도 좋고, 2층 이상의 적층 구조로 해도 좋다. 예를 들면, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티탄막을 적층한 2층 구조, 티탄막 위에 증착하여 알루미늄막을 적층하고, 또한 그 위에 티탄막을 적층한 3층 구조를 들 수 있다. 또한, Al, Cu 등의 금속층과, Cr, Ta, Ti, Mo, W 등의 고용점 금속층이 적층된 구성으로 해도 좋다.
- [0139] 본 실시형태에서는 도전막으로서 스퍼터링법에 의해 막두께 150 nm의 티탄막을 형성한다.
- [0140] 다음에, 제 2 포토리소그래피 공정에 의해 도전막 위에 레지스트를 형성하고, 선택적으로 에칭을 행하여 제 1 전극(415a) 및 제 2 전극(415b)을 형성한 후, 레지스트를 제거한다(도 7(B) 참조).
- [0141] 제 1 전극(415a)은 소스 전극 및 드레인 전극의 한쪽으로서 기능하고, 제 2 전극(415b)은 소스 전극 및 드레인 전극의 다른 한쪽으로서 기능한다. 여기서, 제 1 전극(415a) 및 제 2 전극(415b)의 단부가 테이퍼가 되도록 에칭하면, 위에 적층하는 게이트 절연층의 피복성이 향상되기 때문에 바람직하다.
- [0142] 또한, 제 1 전극(415a), 제 2 전극(415b)을 형성하기 위한 레지스트를 잉크젯법으로 형성해도 좋다. 레지스트를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다. 다제조 포토마스크를 이용해도 좋다.
- [0143] 또한, 도전막의 에칭 시에, 산화물 반도체층(412)이 제거되지 않게 할 필요가 있다.
- [0144] 예를 들면, 산화물 반도체층(412)으로서 In-Ga-Zn-O를 이용하고 도전막으로서 티탄을 이용하며, 에천트로서 암모니아과수(암모니아, 물, 과산화 수소수의 혼합액)를 이용한다. 그렇게 함으로써, 에칭 레이트의 차에 의해, 산화물 반도체층(412)의 제거를 막을 수 있다.
- [0145] 또한, 에칭의 조건을 조정함으로써, 산화물 반도체층(412)의 일부를 에칭하여, 홈부(오픈부)를 가지는 산화물 반도체층으로 할 수도 있다. 예를 들면, 채널 에치 구조의 박막 트랜지스터로 할 수 있다.
- [0146] 또한, 레지스트를 형성할 때의 노광에는, KrF 레이저광, 또는 ArF 레이저광 등을 이용하면 좋다. 또한, 초자의선(파장: 수 nm ~ 수 10 nm)을 이용함으로써, 노광 시의 해상도를 높게 하고, 또한 초점심도를 크게 할 수 있어, 미세한 가공을 행할 수 있다.
- [0147] 여기서, 도 6(B)과 같이, 제작되는 트랜지스터(410)의 채널 길이는, 2개의 전극(제 1 전극(415a)과 제 2 전극(415b))의 간격에 따라 결정된다. 따라서, 채널 길이를 짧게 하는 경우(예를 들면 10 nm 이상 1000 nm 미만), 상기 초자의선으로 노광을 행하여 2개의 전극을 형성하는 것이 바람직하다. 채널 길이를 짧게 함으로써, 트랜지스터의 고속 동작, 오프 전류값의 저감, 또는 저소비 전력화를 도모할 수 있다.
- [0148] 또한, 제 1 전극(415a), 제 2 전극(415b)을 형성한 후, 일산화 질소, 질소, 또는 아르곤 등의 가스를 이용한 플라즈마 처리에 의해, 노출되어 있는 산화물 반도체층(412)의 표면에 부착된 흡착수 등을 제거해도 좋다. 또한, 산소와 아르곤의 혼합 가스를 이용하여 플라즈마 처리를 행하여도 좋다.
- [0149] 다음에, 절연층(407), 산화물 반도체층(412), 제 1 전극(415a), 제 2 전극(415b) 위에 게이트 절연층(402)을 형성한다(도 7(C) 참조).
- [0150] 게이트 절연층(402)은 플라즈마 CVD법 또는 스퍼터링법 등을 이용하여, 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층, 또는 산화 알루미늄층을 포함한 단층 또는 적층 구조로 형성할 수 있다.
- [0151] 게이트 절연층(402)을 형성할 때는, 수소 등이 포함되지 않게 하는 것이 바람직하다. 따라서, 상술한 바와 같은 스퍼터링법을 이용하여, 게이트 절연층(402)을 성막하는 것이 바람직하다. 본 실시형태에서는, 막두께 100 nm의 산화 실리콘층을 형성한다. 또한, 성막을 행하기 전에, 상술한 바와 같은 예비 가열을 행하는 것이 바람직하다.
- [0152] 게이트 절연층(402)의 성막 조건의 일례로서는, 타겟을 석영으로 하고, 압력 0.4 Pa, 고주파 전원 1.5 kW, 스퍼터링 가스를 산소 및 아르곤의 혼합 가스(산소 유량 25 sccm : 아르곤 유량 25 sccm = 1 : 1)로 한다.
- [0153] 다음에, 제 3 포토리소그래피 공정에 의해 레지스트를 형성하고, 선택적으로 에칭을 행하여 게이트 절연층(402)의 일부를 제거함으로써, 제 1 전극(415a), 제 2 전극(415b)에 이르는 개구(421a, 421b)를 형성한다(도 7(D) 참조). 또한, 레지스트를 잉크젯법으로 형성하는 경우, 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

- [0154] 다음에, 게이트 절연층(402), 및 개구(421a, 421b) 위에 도전막을 형성한 후, 제 4 포토리소그래피 공정을 통하여 게이트 전극(411), 제 1 배선층(414a), 제 2 배선층(414b)을 형성한다.
- [0155] 게이트 전극(411), 제 1 배선층(414a), 제 2 배선층(414b)은, Mo, Ti, Cr, Ta, W, Al, Cu, Nd, Sc 등의 금속 재료, 또는 이것들을 주성분으로 하는 합금 재료를 포함하는, 단층 또는 적층 구조로 하여 형성할 수 있다.
- [0156] 게이트 전극(411), 제 1 배선층(414a), 및 제 2 배선층(414b)의 2층 구조의 구체적인 예로서는, 알루미늄층 위에 몰리브덴층이 적층된 구조, 구리층 위에 몰리브덴층이 적층된 구조, 구리층 위에 질화 티탄층 혹은 질화 tantalum층이 적층된 구조, 또는 질화 티탄층 위에 몰리브덴층이 적층된 구조를 들 수 있다.
- [0157] 또한, 3층 구조의 구체적인 예로서는, 텅스텐층(또는 질화 텅스텐층)과, 알루미늄 및 실리콘의 합금층(또는 알루미늄 및 티탄의 합금층)과, 질화 티탄층(또는 티탄층)이 적층된 구조를 들 수 있다. 또한, 투광성을 가지는 도전막을 이용하여 게이트 전극을 형성할 수도 있다. 투광성을 가지는 도전막의 구체적인 예로서는, 투광성을 가지는 도전성 산화물을 들 수 있다.
- [0158] 본 실시형태에서는 게이트 전극(411), 제 1 배선층(414a), 제 2 배선층(414b)으로서 스퍼터링법에 의해 형성한 막두께 150 nm의 티탄막을 이용한다.
- [0159] 다음에, 불활성 가스 분위기하, 또는 산소 가스 분위기하에서 제 2 가열 처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들면 250℃ 이상 350℃ 이하)를 행한다. 본 실시형태에서는, 질소 분위기하에서 250℃, 1시간의 제 2 가열 처리를 행한다. 제 2 가열 처리에 의해, 산화물 반도체층(412) 중의 수소 등을 보다 저감하여, 고순도 화할 수 있다.
- [0160] 또한, 제 2 가열 처리 후, 대기중, 100℃ 이상 200℃ 이하, 1시간 이상 30시간 이하에서 가열 처리를 행하여도 좋다. 여기서의 가열 처리는, 일정한 가열 온도를 보유하여 가열해도 좋고, 실온으로부터 100℃ 이상 200℃의 가열 온도로의 승온과, 이 가열 온도로부터 실온까지의 강온을 복수회 반복하여 행하여도 좋다.
- [0161] 이상의 공정에 의해, 트랜지스터(410)를 형성할 수 있다(도 7(E) 참조). 트랜지스터(410)는 실시형태 1에 설명한 트랜지스터에 적용할 수 있다.
- [0162] 또한, 트랜지스터(410) 위에 보호 절연층이나, 평탄화를 위한 평탄화 절연층을 형성해도 좋다. 또한, 상기 제 2 가열 처리는, 이 보호 절연층이나 평탄화 절연층을 형성하는 공정의 후에 행하여도 좋다.
- [0163] 보호 절연층으로서, 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층, 또는 산화 알루미늄층을 단층 또는 적층하여 형성할 수 있다.
- [0164] 또한, 평탄화 절연층으로서, 폴리이미드, 아크릴, 벤조시클로부텐, 폴리이미드, 에폭시 등의, 내열성을 가지는 유기 재료를 이용할 수 있다. 또한 상기 유기 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass : 인 유리), BPSG(borophosphosilicate glass : 인 붕소 유리) 등을 이용할 수도 있다. 또한, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써 평탄화 절연층을 형성해도 좋다.
- [0165] 여기서, 실록산계 수지란, 실록산계 재료를 출발 재료로서 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는 치환기로서는 유기기(예를 들면 알킬기나 아릴기)를 이용해도 좋다. 또한, 유기기는 플루오로기를 가지고 있어도 좋다.
- [0166] 평탄화 절연층의 형성법은 특별히 한정되는 것은 아니고, 그 재료에 따라, 스퍼터링법, SOG법, 스핀 코트법, 딥법, 스프레이 도포법, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등) 등의 방법이나, 닥터 나이프, 롤코터, 커튼 코터, 나이프 코터 등의 기구를 이용할 수 있다.
- [0167] 이상과 같이, 진성 또는 실질적으로 진성인 산화물 반도체를 이용한 반도체 장치를 제작할 수 있다.
- [0168] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0169] (실시형태 4)
- [0170] 본 실시형태에서는, 반도체 장치의 구조 및 그 제작 방법의 일례에 대하여 설명한다.
- [0171] 도 8(E)에, 반도체 장치의 단면 구조의 일례를 나타낸다. 반도체 장치는 트랜지스터(390)를 가지고 있다.
- [0172] 트랜지스터(390)는 보텀 게이트 구조이며, 게이트 전극(391), 게이트 절연층(397), 산화물 반도체층(399), 제 1

전극(395a), 및 제 2 전극(395b)을 가진다.

- [0173] 예를 들면, 이 트랜지스터(390)를 실시형태 1에 설명한 트랜지스터 등에 이용할 수 있다. 또한, 멀티 게이트 구조의 트랜지스터로 해도 좋다.
- [0174] 이하, 도 8(A) 내지 도 8(E)을 이용하여 기판(394) 위에 트랜지스터(390)를 제작하는 방법에 대하여 설명한다.
- [0175] 먼저, 기판(394) 위에 게이트 전극(391)을 형성한다. 기판(394)의 재료 등은, 실시형태 3과 같다. 또한, 게이트 전극(391)의 재료나 성막 방법 등에 대해서도, 실시형태 3과 같다.
- [0176] 또한, 기판(394)과 게이트 전극(391)과의 사이에, 베이스막이 되는 절연막(예를 들면 산화 규소막 또는 질화 규소막 등)을 형성해도 좋다.
- [0177] 다음에, 게이트 전극(391) 위에 게이트 절연층(397)을 형성한다. 게이트 절연층(397)의 재료나 성막 방법은, 실시형태 3에 설명한 게이트 절연층(402)과 같다.
- [0178] 다음에, 게이트 절연층(397) 위에, 산화물 반도체층(393)을 형성한다(도 8(A) 참조). 그 후, 포토리소그래피법을 통하여 섬 형상의 산화물 반도체층(399)을 형성한다(도 8(B) 참조). 또한, 산화물 반도체층(399)의 재료나 성막 방법은, 실시형태 3에 설명한 산화물 반도체층(412)과 같다.
- [0179] 여기서, 산화물 반도체층(399)에 대하여, 실시형태 3과 마찬가지로, 제 1 가열 처리를 행하는 것이 바람직하다.
- [0180] 다음에, 게이트 절연층(397) 및 산화물 반도체층(399) 위에, 제 1 전극(395a) 및 제 2 전극(395b)을 형성한다(도 8(C) 참조). 제 1 전극(395a) 및 제 2 전극(395b)의 재료나 성막 방법은 실시형태 3에 설명한 제 1 전극(415a) 및 제 2 전극(415b)과 같다.
- [0181] 이상의 공정에 의해, 트랜지스터(390)를 제작할 수 있다. 트랜지스터(390)는 실시형태 1에 설명한 트랜지스터에 적용할 수 있다.
- [0182] 또한, 산화물 반도체층(399), 제 1 전극(395a), 및 제 2 전극(395b)에 접하는 보호 절연층(396)을 형성해도 좋다(도 8(D) 참조).
- [0183] 보호 절연층(396)으로서, 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층, 또는 산화 알루미늄층 등의 산화물 절연층을 포함한 단층 구조 또는 적층 구조로 하여 형성할 수 있다. 본 실시형태에서는, 보호 절연층(396)으로서 산화물 반도체층(399), 제 1 전극(395a), 및 제 2 전극(395b)이 형성된 기판(394)을 실온의 상태로, 또는 100℃ 미만의 온도로 가열하여, 수소 및 수분이 제거된 고순도 산소를 포함하는 스퍼터링 가스를 도입하고, 실리콘 반도체의 타겟을 이용하여, 산화 실리콘층을 성막한다.
- [0184] 다음에, 제 2 가열 처리를 행하여도 좋다. 제 2 가열 처리는, 불활성 가스(예를 들면 질소) 또는 산소 분위기하, 200℃ 이상 400℃ 이하(바람직하게는 250℃ 이상 350℃ 이하)에서 행하면 좋다. 본 실시형태에서는, 질소 분위기하에서, 250℃, 1시간의 가열을 행한다.
- [0185] 제 2 가열 처리를 행함으로써, 산화물 반도체층(399) 중의 수소 등을 보호 절연층(396)에 확산시켜, 산화물 반도체(399) 중의 수소 등을 보다 저감할 수 있다.
- [0186] 또한, 보호 절연층(396) 위에 절연층(398)을 형성해도 좋다. 절연층(398)으로서 질화 실리콘막, 질화 산화 실리콘막, 질화 알루미늄막, 또는 질화 산화 알루미늄막 등을 포함한 단층 또는 적층 구조로 하여 형성할 수 있다.
- [0187] 또한, 보호 절연층(396) 및 절연층(398)의 성막시에, 산화물 반도체층(399)에 수소 등이 포함되지 않게 하는 것이 바람직하다. 따라서, 실시형태 3에 설명한 바와 같이, 크라이오 펌프를 이용하여 성막실 내의 수소 등을 배기함으로써, 산화물 반도체층(399) 중의 수소 등을 극력 저감할 수 있다.
- [0188] 이상과 같이, 진성 또는 실질적으로 진성인 산화물 반도체를 이용한 반도체 장치를 제작할 수 있다.
- [0189] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0190] (실시형태 5)
- [0191] 본 실시형태에서는, 반도체 장치의 구조 및 그 제작 방법의 일례에 대하여 설명한다.

- [0192] 도 9(D)에, 반도체 장치의 단면 구조의 일례를 나타낸다. 반도체 장치는, 트랜지스터(360)를 가지고 있다.
- [0193] 트랜지스터(360)는 보텀 게이트 구조이며, 게이트 전극(361), 게이트 절연층(322), 산화물 반도체층(362), 산화물 절연층(366), 제 1 전극(365a), 및 제 2 전극(365b)을 가진다.
- [0194] 실시형태 4와 다른 점은, 산화물 반도체층(362)의 채널 형성 영역(363) 위에, 산화물 절연층(366)이 형성되어 있는 점이다. 이러한 트랜지스터를 채널 보호형(채널 스톱형이라고도 함)이라고 부른다.
- [0195] 이하, 도 9(A) 내지 도 9(D)를 이용하여, 기관(320) 위에 트랜지스터(360)를 제작하는 방법에 대하여 설명한다. 산화물 반도체층(332)을 형성하는 공정(도 9(A) 참조)까지는 실시형태 4와 같다. 또한, 실시형태 4와 마찬가지로, 제 1 가열 처리를 행하여, 산화물 반도체층(332) 중의 수소 등을 저장하는 것이 바람직하다.
- [0196] 다음에, 산화물 반도체층(332) 위에, 산화물 절연층(366)을 형성한다(도 9(B) 참조).
- [0197] 산화물 절연층(366)으로서는, 산화 실리콘층, 산화 질화 실리콘층, 산화 알루미늄층, 또는 산화 질화 알루미늄층 등을 포함하는, 단층 또는 적층 구조로 하여 형성할 수 있다. 본 실시형태에서는, 막두께 200 nm의 산화 실리콘층을, 스퍼터링법을 이용하여 성막한다.
- [0198] 산화물 절연층(366)의 성막 조건의 일례로서는, 타겟을 실리콘으로 하고, 기관 온도를 실온 이상 300℃ 이하, 스퍼터링 가스를 산소 및 질소의 혼합 가스로 한다. 또한, 타겟은 산화 실리콘으로 해도 좋다. 또한, 스퍼터링 가스는 회가스(대표적으로는 아르곤), 산소, 또는 회가스 및 산소의 혼합 가스로 해도 좋다.
- [0199] 이때, 산화물 반도체층(332)에 수소 등이 포함되지 않게 하는 것이 바람직하다. 실시형태 3에 설명한 바와 같이, 크라이오 펌프 등을 이용하면 좋다.
- [0200] 다음에, 제 2 가열 처리를 행한다. 제 2 가열 처리는, 불활성 가스(예를 들면 질소) 또는 산소 분위기하, 200℃ 이상 400℃ 이하(바람직하게는 250℃ 이상 350℃ 이하)에서 행하면 좋다. 본 실시형태에서는, 질소 분위기하에서, 250℃, 1시간의 가열을 행한다.
- [0201] 제 2 가열 처리를 행함으로써, 산화물 반도체층(332)의 산화물 절연층(366)으로 덮여 있는 영역에서는, 산화물 절연층(366)으로부터 산소가 공급되기 때문에, 고저항화한다.
- [0202] 한편, 산화물 절연층(366)에 의해 덮여지지 않은 영역에서는, 제 2 가열 처리에 의해 산소가 결손하기 때문에, 저저항화할 수 있다. 따라서, 자기 정합적으로 산화물 반도체층(332)의 산화물 절연층(366)에 의해 덮여지지 않은 영역의 저저항화를 행할 수 있다.
- [0203] 즉, 제 2 가열 처리 후의 산화물 반도체층(362)은 저항이 다른 영역(도 9(B)에서는 사선 영역 및 백지 영역으로 나타냄)을 가진다.
- [0204] 다음에, 제 1 전극(365a) 및 제 2 전극(365b)을 형성한다(도 9(C) 참조). 또한, 제 1 전극(365a) 및 제 2 전극(365b)의 재료나 성막 방법은, 실시형태 4에 설명한 제 1 전극(395a) 및 제 2 전극(395b)과 마찬가지로 한다.
- [0205] 이상의 공정에 의해, 트랜지스터(360)가 형성된다. 트랜지스터(360)는 실시형태 1에 설명한 트랜지스터에 적용할 수 있다.
- [0206] 또한, 트랜지스터(360) 위에 보호 절연층(323)을 형성해도 좋다(도 9(D) 참조). 보호 절연층(323)의 재료나 성막 방법은 실시형태 4에 설명한 보호 절연층과 마찬가지로 한다.
- [0207] 본 실시형태에서는, 제 1 가열 처리에 의해 산화물 반도체층(332) 중의 수소 등을 저장한 후, 제 2 가열 처리에 의해 산화물 반도체층(362)의 일부를 선택적으로 산소 과잉인 상태로 하고 있다.
- [0208] 그 결과, 산화물 반도체층(362)에 있어서, 게이트 전극(361)과 중첩되는 채널 형성 영역(363)은 진성 또는 실질적으로 진성이 된다. 그리고, 제 1 전극(365a)과 중첩되는 영역(364a) 및 제 2 전극(365b)과 중첩되는 영역(364b)은 저저항 영역이 된다.
- [0209] 이상과 같이, 진성 또는 실질적으로 진성인 산화물 반도체를 이용한 반도체 장치를 제작할 수 있다.
- [0210] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0211] (실시형태 6)

- [0212] 본 실시형태에서는, 반도체 장치의 구조 및 그 제작 방법의 일례를 나타낸다.
- [0213] 도 10(D)에 반도체 장치의 단면 구조를 나타낸다. 반도체 장치는, 트랜지스터(350)를 가지고 있다.
- [0214] 트랜지스터(350)는 보텀 게이트 구조이며, 게이트 전극(351), 게이트 절연층(342), 제 1 전극(355a), 제 2 전극(355b), 및 산화물 반도체층(346)을 가진다.
- [0215] 실시형태 4(도 8)와 다른 점은, 제 1 전극(355a) 및 제 2 전극(355b)이 게이트 절연층(342)과 산화물 반도체층(346)과의 사이에 설치되어 있다.
- [0216] 이하, 도 10(A) 내지 도 10(D)을 이용하여 기판(340) 위에 트랜지스터(350)를 제작하는 공정을 설명한다. 게이트 절연층(342)을 형성하는 공정까지는 실시형태 4의 공정과 마찬가지로이다.
- [0217] 게이트 절연층(342) 위에, 제 1 전극(355a) 및 제 2 전극(355b)을 형성한다(도 10(A) 참조). 제 1 전극(355a) 및 제 2 전극(355b)의 재료나 성막 방법 등은 실시형태 4에 설명한 제 1 전극(395a) 및 제 2 전극(395b)과 마찬가지로이다.
- [0218] 다음에 산화물 반도체층(346)을 형성한다(도 10(B) 참조). 그 후, 에칭하여 섬 형상의 산화물 반도체층(346)을 얻는다(도 10(C) 참조). 산화물 반도체층(346)의 재료나 성막 방법 등은 실시형태 4에 설명한 산화물 반도체층(399)과 마찬가지로이다. 또한, 실시형태 4와 마찬가지로, 제 1 가열 처리를 행하여, 산화물 반도체층(346) 중의 수소 등을 저감하는 것이 바람직하다.
- [0219] 이상의 공정에 의해, 트랜지스터(350)를 제작할 수 있다. 트랜지스터(350)는, 실시형태 1에 설명한 트랜지스터에 적용할 수 있다.
- [0220] 또한, 산화물 반도체층(346)에 접하는 산화물 절연층(356)을 형성해도 좋다(도 10(D) 참조). 산화물 절연층(356)의 재료나 성막 방법 등에 대해서는, 실시형태 4에서의 보호 절연층(396)과 마찬가지로이다.
- [0221] 다음에, 제 2 가열 처리를 행하여도 좋다. 제 2 가열 처리는, 불활성 가스(예를 들면 질소) 또는 산소 분위기하, 200℃ 이상 400℃ 이하(바람직하게는 250℃ 이상 350℃ 이하)에서 행하면 좋다. 본 실시형태에서는, 질소 분위기하에서, 250℃, 1시간의 가열을 행한다.
- [0222] 제 2 가열 처리에 의해, 산화물 절연층(356)으로부터 산화물 반도체층(346)에 산소가 공급되어 산소 과잉인 상태로 할 수 있다. 그 결과, 산화물 반도체층(346)은 진성 또는 실질적으로 진성이 된다.
- [0223] 또한, 산화물 절연층(356) 위에 절연층(343)을 형성해도 좋다(도 10(D) 참조). 절연층(343)의 재료나 성막 방법 등에 대해서는, 상기 실시형태에서의 절연층(398)과 같은 것을 채용할 수 있다.
- [0224] 이상과 같이, 진성 또는 실질적으로 진성인 산화물 반도체를 이용한 반도체 장치를 제작할 수 있다.
- [0225] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0226] (실시형태 7)
- [0227] 본 실시형태에 있어서는, 상기 실시형태에 설명한 표시 장치를 구비하는 전자기기의 구체예에 대하여 설명한다. 단, 본 발명에 적용할 수 있는 전자기기는, 하기에 나타내는 구체적인 예에 한정되는 것은 아니다.
- [0228] 도 11(A)은 휴대형 유기기이다. 도 11(B)은 디지털 카메라이다. 도 11(C)은 텔레비전 수상기이다. 도 12(A)는 컴퓨터이다. 도 12(B)는 휴대전화이다. 도 12(C)는 전자 페이퍼이다. 전자 페이퍼는, 전자 서적(전자 북, e-book이라고도 함), 포스터 등에 이용할 수 있다. 도 12(D)는 디지털 포토 프레임이다. 각각, 하우징(9630, 9640, 9650, 9660, 9670, 9680, 9690)에 형성된 표시부(9631, 9641, 9651, 9661, 9671, 9681, 9691)에, 본 발명의 일 양태인 표시 장치를 이용할 수 있다.
- [0229] 본 발명의 일 양태인 표시 장치를 이러한 전자기기에 적용함으로써, 신뢰성이 높고, 정지 화면 등을 표시할 때의 저소비 전력화를 도모할 수 있다.
- [0230] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0231] 본 출원은 전문이 참조로서 본 명세서에 통합되고, 2009년 12월 24일 일본 특허청에 출원된, 일련 번호가 2009-292630인 일본 특허 출원에 기초한다.

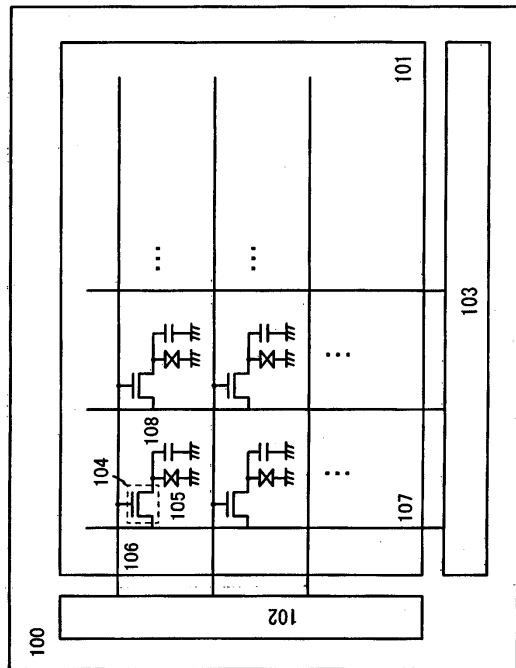
부호의 설명

[0232]

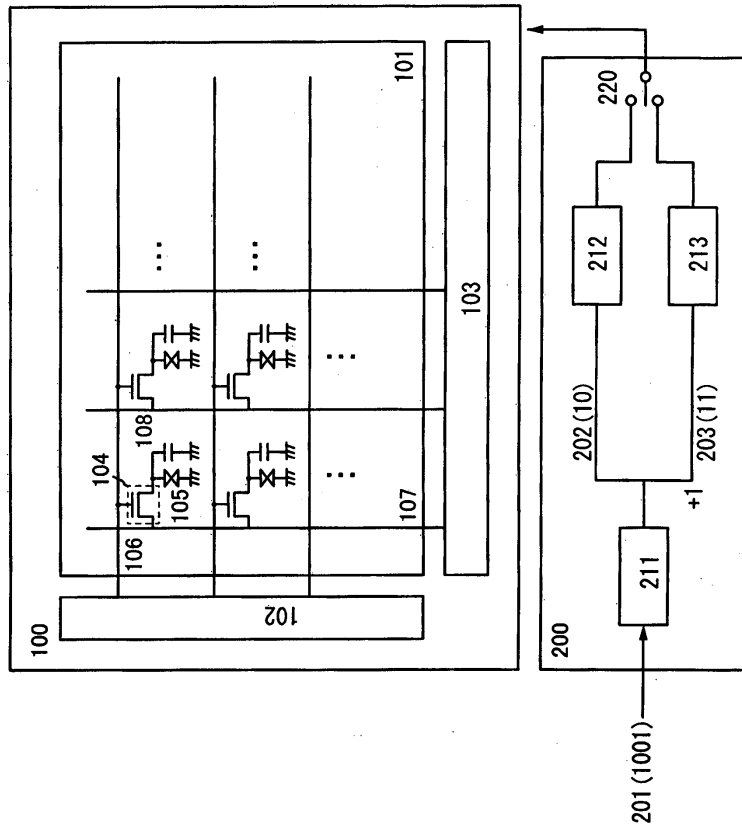
100 : 표시부	101 : 화소부
102 : 게이트 드라이버	103 : 소스 드라이버
104 : 트랜지스터	105 : 액정 소자
106 : 배선	107 : 배선
108 : 용량 소자	200 : 데이터 처리 회로
201~203 : 디지털 데이터	211~213 : 메모리
220 : 스위치	231~234 : 서브 프레임 기간
240 : 평균값	320 : 기관
322 : 게이트 절연층	323 : 보호 절연층
332 : 산화물 반도체층	340 : 기관
342 : 게이트 절연층	343 : 절연층
345 : 산화물 반도체층	346 : 산화물 반도체층
350 : 트랜지스터	351 : 게이트 전극
355a, 355b : 전극	356 : 산화물 절연층
360 : 트랜지스터	361 : 게이트 전극
362 : 산화물 반도체층	363 : 채널 형성 영역
364a, 364b : 영역	365a, 365b : 전극
366 : 산화물 절연층	390 : 트랜지스터
391 : 게이트 전극	393 : 산화물 반도체층
394 : 기관	395a, 395b : 전극
396 : 보호 절연층	397 : 게이트 절연층
398 : 절연층	399 : 산화물 반도체층
400 : 기관	402 : 게이트 절연층
407 : 절연층	410 : 트랜지스터
411 : 게이트 전극	412 : 산화물 반도체층
415a, 415b : 전극	414a, 414b : 배선층
421a, 421b : 개구	5000 : 화소
5001 : 트랜지스터	5002 : 액정 소자
5003 : 용량 소자	
9630, 9640, 9650, 9660, 9670, 9680, 9690 : 하우스	
9631, 9641, 9651, 9661, 9671, 9681, 9691 : 표시부	

도면

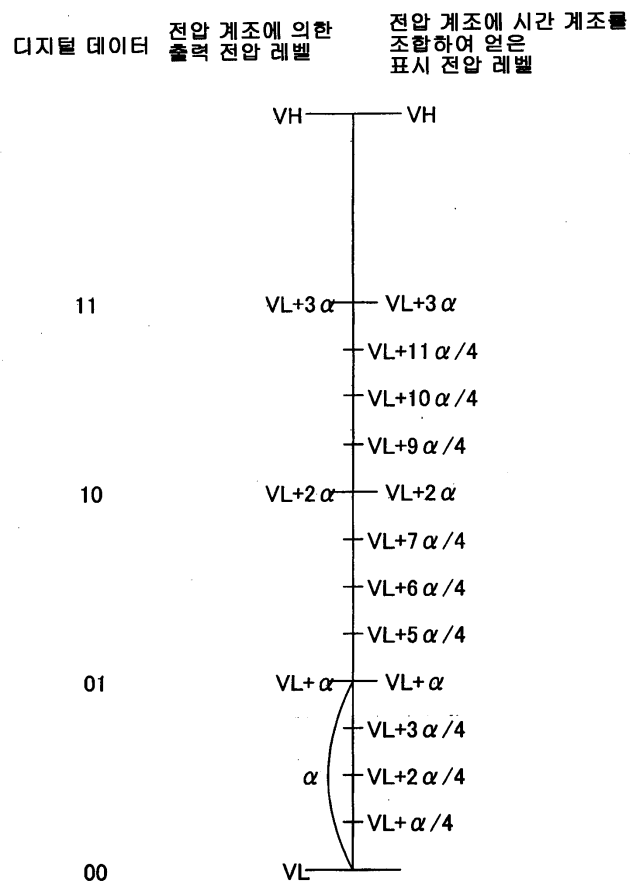
도면1



도면2



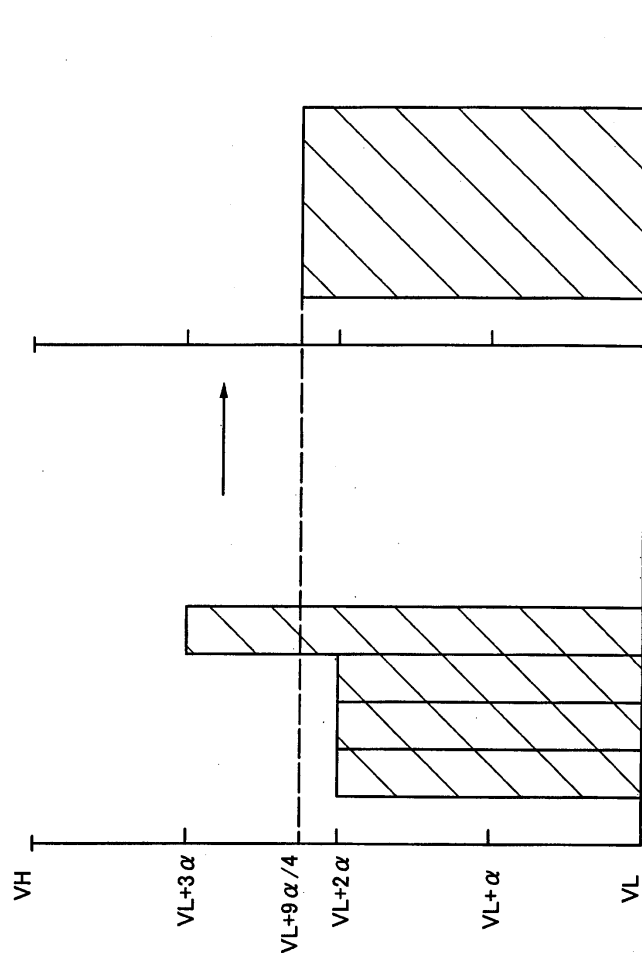
도면3



도면4

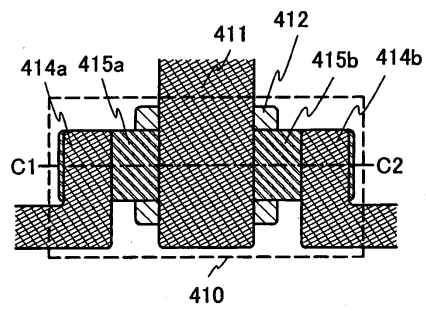
201	202	203	231	232	233	234	240
0000	00	01	00	00	00	00	V_L
0001	00	01	00	00	00	01	$V_L + \alpha / 4$
0010	00	01	00	00	01	01	$V_L + 2\alpha / 4$
0011	00	01	00	01	01	01	$V_L + 3\alpha / 4$
0100	01	10	01	01	01	01	$V_L + \alpha$
0101	01	10	01	01	01	10	$V_L + 5\alpha / 4$
0110	01	10	01	01	10	10	$V_L + 6\alpha / 4$
0111	01	10	01	10	10	10	$V_L + 7\alpha / 4$
1000	10	11	10	10	10	10	$V_L + 2\alpha$
1001	10	11	10	10	10	11	$V_L + 9\alpha / 4$
1010	10	11	10	10	11	11	$V_L + 10\alpha / 4$
1011	10	11	10	11	11	11	$V_L + 11\alpha / 4$
1100	11	11	11	11	11	11	$V_L + 3\alpha$
1101	11	11	11	11	11	11	$V_L + 3\alpha$
1110	11	11	11	11	11	11	$V_L + 3\alpha$
1110	11	11	11	11	11	11	$V_L + 3\alpha$

도면5

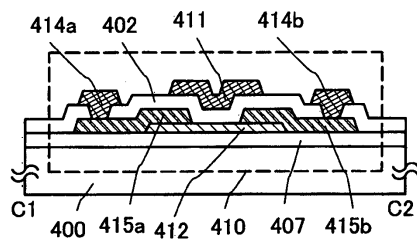


도면6

(A)

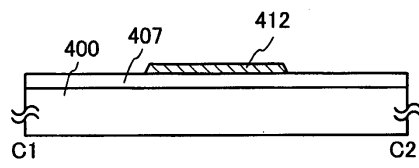


(B)

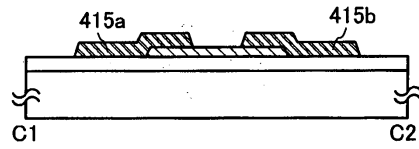


도면7

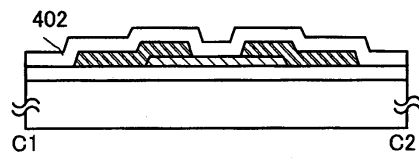
(A)



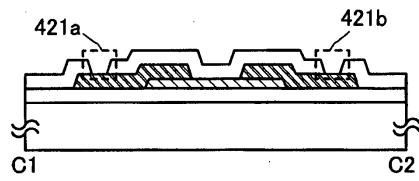
(B)



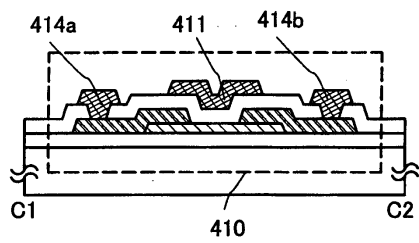
(C)



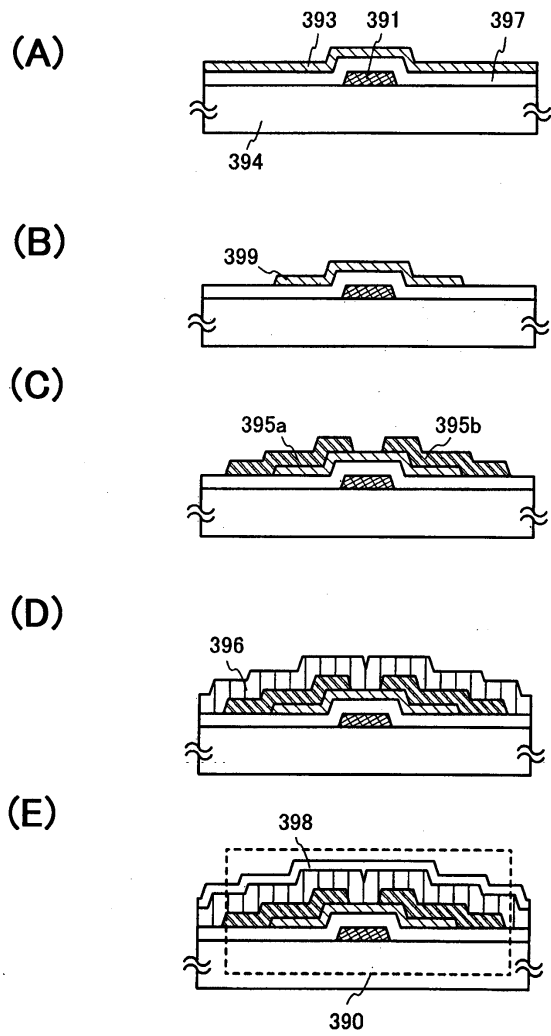
(D)



(E)

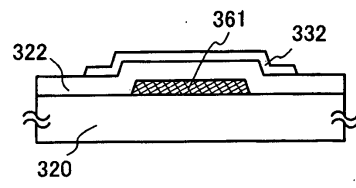


도면8

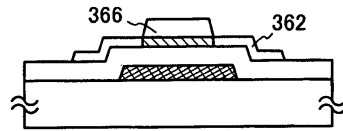


도면9

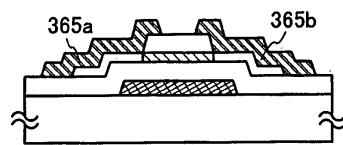
(A)



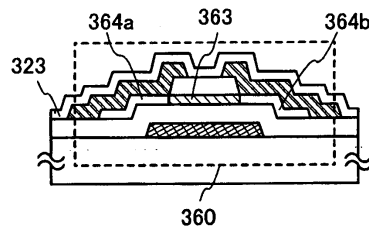
(B)



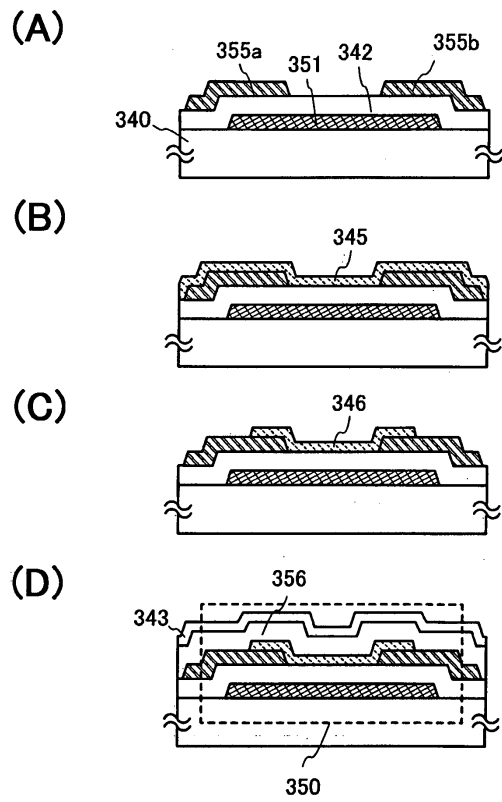
(C)



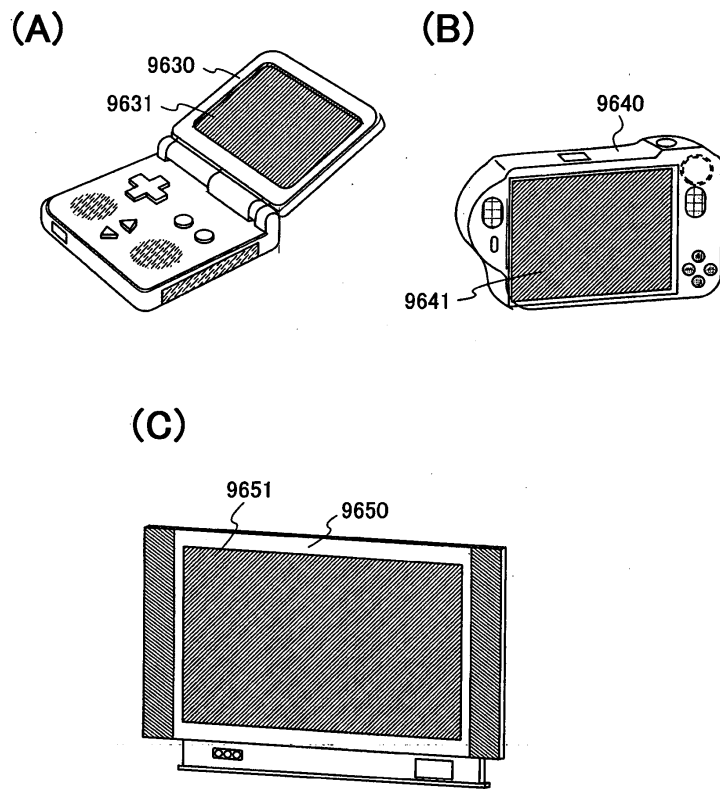
(D)



도면10

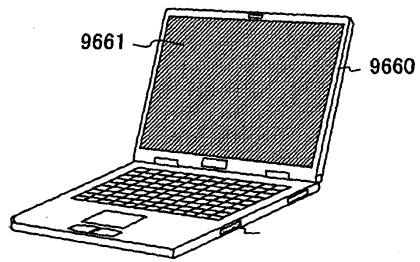


도면11

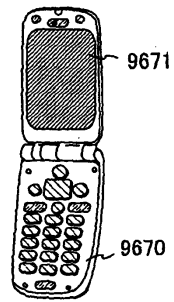


도면12

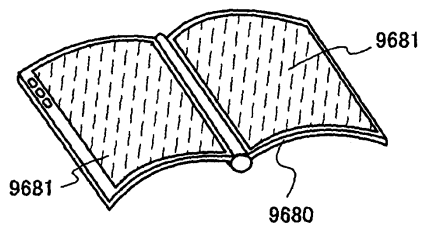
(A)



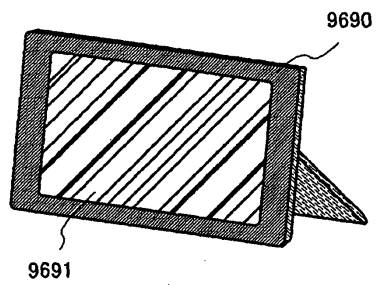
(B)



(C)



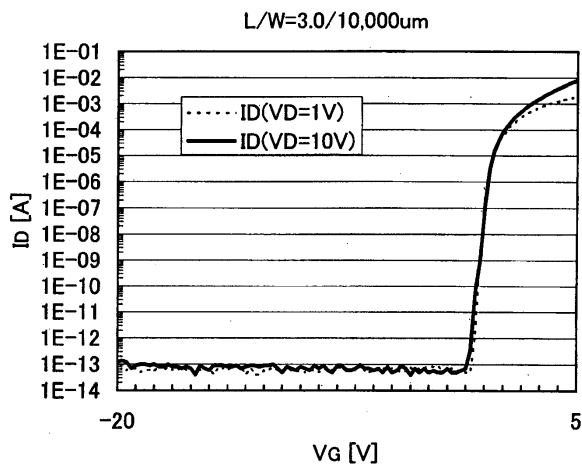
(D)



도면13

201	202	203	231	232	233	234	240
0000	00	01	00	00	00	00	V_L
0001	00	01	00	00	00	01	$V_L + \alpha/4$
0010	00	01	00	00	01	01	$V_L + 2\alpha/4$
0011	00	01	00	01	01	01	$V_L + 3\alpha/4$
0100	01	10	01	01	01	01	$V_L + \alpha$
0101	01	10	01	01	01	10	$V_L + 5\alpha/4$
0110	01	10	01	01	10	10	$V_L + 6\alpha/4$
0111	01	10	01	10	10	10	$V_L + 7\alpha/4$
1000	10	11	10	10	10	10	$V_L + 2\alpha$
1001	10	11	10	10	10	11	$V_L + 9\alpha/4$
1010	10	11	10	10	11	11	$V_L + 10\alpha/4$
1011	10	11	10	11	11	11	$V_L + 11\alpha/4$
1100	11	11	11	11	11	11	$V_L + 3\alpha$
1101	11	11	11	11	11	V_H	$V_L + 13\alpha/4$
1110	11	11	11	11	V_H	V_H	$V_L + 14\alpha/4$
1110	11	11	11	V_H	V_H	V_H	$V_L + 15\alpha/4$

도면14



도면15

