

# 發明專利說明書

200410380

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 92121585

※ 申請日期： 092-08-06. ※IPC 分類： H01L 23/8

## 壹、發明名稱：(中文/英文)

具有改良倒裝片之無引線半導體封裝結構及其製造方法

LEADLESS SEMICONDUCTOR PACKAGING STRUCTURE WITH INVERTED FLIP  
CHIP AND METHODS OF MANUFACTURE

## 貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

新加坡商·先進封裝解決方案私人有限公司

ADVANPACK SOLUTIONS PTE LTD.

代表人：(中文/英文)

姚亞明/YEW, AH MING

住居所或營業所地址：(中文/英文)

新加坡555854實龍崗北4道54

54 Serangoon North Avenue 4, Singapore 555854

國籍：(中文/英文)

新加坡/Singapore

## 參、發明人：(共 5 人)

姓名：(中文/英文)

1. 陳錦輝/TAN KIM HWEE

2. 羅曼佩雷斯/ROMAN PEREZ

3. 劉奇光/LAU KEE KWANG

4. 艾力克斯·周/ALEX CHEW

5. 安東尼奧迪瑪塔/ANTONIO DIMAANO

住居所地址：(中文/英文)

1. 新加坡安模喬林蔭大道4號11街#06-69大牌104A

Blk 104A Ang Mo Kio Ave 4 Street 11 #06-69, Singapore 560104

2. 新加坡聖鮑王路#02-10大牌501

Blk 501 Sembawang Road #02-10, Singapore 757706

3. 新加坡布奇派將林路#12-829大牌537

Blk 537 Bukit Panjang Ring Road #12-829, Singapore 670537

4. 新加坡儀宣街21號#04-223大牌205

Blk 205, Yishun Street 21 #04-223, Singapore 760205

5. 新加坡聖鮑王路#02-10大牌501

Blk 501 Sembawang Road #02-10, Singapore 757706

國籍：(中文/英文)

1.3.4. 新加坡/Singapore

2.5. 菲律賓/Philippine

### 肆、聲明事項：

本案係符合專利法第二十條第一項  第一款但書或  第二款但書規定之期間，其日期為： 年 月 日。

◎ 本案申請前已向下列國家(地區)申請專利  主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國； 2002/12/09； 10/314,716

2.

3.

4.

5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

3. 新加坡布奇派將林路#12-829大牌537

Blk 537 Bukit Panjang Ring Road #12-829, Singapore 670537

4. 新加坡儀宣街21號#04-223大牌205

Blk 205, Yishun Street 21 #04-223, Singapore 760205

5. 新加坡聖鮑王路#02-10大牌501

Blk 501 Sembawang Road #02-10, Singapore 757706

國籍：(中文/英文)

1.3.4. 新加坡/Singapore

2.5. 菲律賓/Philippine

### 肆、聲明事項：

本案係符合專利法第二十條第一項  第一款但書或  第二款但書規定之期間，其日期為： 年 月 日。

◎ 本案申請前已向下列國家(地區)申請專利  主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國； 2002/12/09； 10/314,716

2.

3.

4.

5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

## 玖、發明說明：

### 【發明所屬之技術領域】

#### 發明領域

一般來說，本發明是關於半導體裝置、積體電路或混合晶片(hybrid chips)的封裝。更明確地是關於具有高度空間效率的封裝設計之半導體封裝。數種製造這些封裝體的方法也被揭露。

### 【先前技術】

#### 發明背景

10 下列三個美國專利是關於半導體晶片封裝設計。

1997年2月18日核發給W.R.Hamburgen等之美國請准專利第5,604,376號，顯示一線接合至一引線框之模鑄半導體晶片，同時該晶片的被面被暴露以用於熱增強(thermal enhancement)。

15 1998年7月7日核發給W.R.Hamburgen等之美國請准專利第5,776,800號，揭示一種用於製造模鑄半導體封裝的方。

1999年11月16日核發給S.G. 李等標題“具有輕量、簡單與緊密的結構之半導體封裝”的美國請准專利第5,986,334號，其說明四種用於將半導體晶片連接至一具有用於熱增  
20 強之覆晶(flip chip)設計的引線框的設計。

在半導體領域中超大型積體電路(VLSI)技術的發展以及在需要空間效益的組件之產品與系統中應用該技術而言，對於具有緊密的結構之半導體晶片封裝的需求已經變成是主要的。

對於每一種應用而言，半導體晶片封裝，或第一層封裝，需要滿足下列該些需求：

- 提供所需要數目之連接到該半導體晶片的電子訊號。
- 5 ● 提供所需要數目之連接到該半導體晶片的電力供應。
- 具有用於將該訊號與電力線連接至封裝的下一層，以及由該晶片至該封裝的下一層，一般是一印刷電路板。
- 提供一種移除該半導體晶片之電路產生的熱能的工具。
- 10 ● 提供一種機械支撐以及保護該晶片免於環境污染的結構。

這些要求已經可以藉由各種不同的第一層封裝設計而被滿足。陶瓷和塑膠材料兩者都已經被使用作為具有金屬引線框及/或被利用於互相連接的導線接合之基本結構。導線接合至該晶片接頭已經是互相連接至該晶片接頭的主要方法。利用銅、金或焊料凸塊的覆晶設計也已經被使用於互相連接至該些晶片接頭。

15

第1圖中顯示之該雙列直插式封裝(dual-in-line)DIP(先前技藝)，利用具有背面接合的半導體晶片導線接合至引線框的陶瓷與塑膠結構。這個設計的主要缺點是使用該封裝的兩側於互相連接，以及使用在封裝的下一層中需要電鍍之通孔的引線的使用。此封裝結構具有非常低的空間利用效率，結果會產生較高的時間延遲，以及對系統效能的不

20

良影響。

一種也需要電鍍通孔的半導體封裝是顯示於第2圖中的陣列腳位排列封裝(pin grid array)PGA(先前技藝)。該PGA封裝主要利用一具有內部冶金連接該些晶片端點與該些外部接腳的陶瓷本體。接合的導線與覆晶凸塊的晶片兩者都被使用於晶片互相連接。該PGA封裝的主要優點是當它是一aerial array互相連接設計時，用於互相連接的區域之較高的利用。

表面固定技術SMT的出現，其中該第一層封裝與印刷電路卡或板的互相連接不需要電鍍通孔，結果產生如第3圖中顯示的利用該封裝的整個週邊於互相連接引線之封裝的發展(先前技藝)。在第3圖中顯示的四角形平面封裝QFP設計(先前技藝)是利用陶瓷與塑膠本體結構以及導線接合或覆晶兩者固定及互相連接該些半導體晶片。對於互相連接而言，表面固定與該封裝之四邊結果會提升空間利用與電氣效能。

為了進一步提高空間利用以及電氣效能，該封裝之該些外部引線被併入該陶瓷或塑膠本體結構中。陶瓷型式之該無引線晶片載子LCC被顯示於第4圖中(先前技藝)。該LCC設計已經提升空間性質和電氣特性。該設計缺少與具有熱增強半導體晶片接觸的能力。另外，該陶瓷本體需要提供一個密封的金屬封口用於該半導體晶片之環境保護。該陶瓷LCC的製造方法是複雜的，其結果會導致高生產成本。

**【發明內容】**

## 發明概要

因此，本發明的一個或更多個實施例的目的是提供一種具有覆蓋、機械支撐並且相互連接該半導體晶片訊號以及電力接頭與該些可外部使用與下一封裝層相互連接之接頭能力的半導體晶片第一層封裝。

本發明的一個或更多個實施例的另一個目的是藉由提供使用在需要熱增強應用，即散熱器(heat sink)，之該晶片的背側以具有增加熱增強的能力。

10 本發明的再一個目的是該所得的封裝設計，具有一可提供在該系統層次上用於增加空間效率以及更好的系統效能之簡潔的結構。

該封裝設計也應該具有利用導線接合互連內接那些已經被設計的半導體晶片，而不用再設計該半導體晶片或封裝佈局。

本發明的另一個目的是提供一種用於製造這種簡單、有成本效益之該半導體封裝的方法，並且提供優質的產品。

上面該些目的是利用本發明藉由提供一種用於具有完全包覆的倒裝片(inverted flip chip)之半導體晶片封裝結構製造的設計與方法，以及如第二實施例之一種用於具有暴露倒裝片的背側之半導體晶片封裝製造的設計與方法來達成。

本發明的一實施例顯示於第5A、5B圖中。第5A圖是該封裝結構的截面圖示，其中該半導體晶片10是被接合至內

嵌的引線框14之一倒裝片(reverse flip chip)。該半導體晶片和引線框組合被包覆在模製化合物16中。該引線框14具有用於和第B圖中所示之下一層封裝交互連接的暴露接點。

本發明的另一實施例顯示於第6A、6B圖中。該半導體晶片是被接合至內嵌的引線框14之倒裝片。該半導體晶片和引線框組合被包覆在模製化合物16中。為了熱增強，這個實施例允許該半導體晶片的背側將被暴露。這是在製造期間藉由不同的方法來完成。

#### 圖式簡單說明

由下列的說明結合該些伴隨的圖示，本發明將更清楚地被瞭解，其中相似的參考數標是表示類似物或相應的元件、區域和區域和部分，其中：

第1圖是先前技藝之傳統的雙列直插式封裝模組。

第2圖是先前技藝之傳統的陣列腳位排列封裝模組。

第3圖是先前技藝之傳統的QFP模組。

第4圖是先前技藝之傳統的無引線晶片載子模組。

第5A圖是本發明之該倒裝片封裝的第一較佳實施例的截面圖。

第5B圖是本發明之該倒裝片封裝的第一較佳實施例的底視圖。

第6A圖是本發明之該倒裝片封裝的第二較佳實施例的截面圖。

第6B圖是本發明之該倒裝片封裝的第二較佳實施例的底視圖。

第7圖顯示將該半導體晶片接合至本發明之第一較佳實施例的內嵌引線框的方法。

第8圖顯示本發明之第一較佳實施例之該半導體晶片與引線框組合的鑄造

5 第9圖顯示本發明之第一較佳實施例的研磨程序。

第10圖顯示將該半導體晶片接合至本發明之第二較佳實施例的引線框的方法。

第11圖顯示該半導體晶片與本發明之第二較佳實施例的引線框組合之鑄造。

10 第12圖顯示本發明之第二較佳實施例的研磨程序。

第13圖顯示製造本發明之第二較佳實施例的另一種方法。

### 【實施方式】

較佳實施例之詳細說明

15 超大型積體電路半導體晶片在消費性電子產品，諸如照相機、手提攝影機、DVD播放機等的利用已要求該些半導體封裝在其設計上有高度的空間效率。除此之外，軍事的應用需要輕量化的空間效率封裝結構。

為滿足這些要求，半導體封裝結構已經被發展，以提供對於該半導體晶之輸入-輸出互連、高熱的使用逐漸增加需求，同時保護該半導體晶片免於環境影響。這些半導體晶片已經利用塑膠和陶瓷兩種材料於該封裝的主要結構，並且利用線接合、焊料凸塊與導線框於該半導體晶片輸入-輸出和電力接點與該些外部接點的互連。

20

本發明揭示一種半導體封裝結構與利用具有被連接至一內嵌的引線框之輸入-輸出和電力接點的半導體晶片，以及被包覆在一塑膠化合物中之該組合物的製造方法。

5 本發明的第一實施例被顯示於第5A圖和第5B圖中。包含用於互連12之焊料球、焊料尖端或銅凸塊之該半導體晶片10被連接至一內嵌的引線框14，並且包覆在一塑膠化合物16中。該包覆物是以允許該引線框14的該些外部引線被使用於和下一層互連的方式鑄造。

10 本發明的第二實施例被顯示於第6A圖和第6B圖中。包含用於互連12之焊料球、焊料尖端或銅凸塊之該半導體晶片10被連接至一內嵌的引線框14，並且包覆在一塑膠化合物16中。該包覆物是以允許該引線框14的該些外部引線被使用於和下一層互連的方式鑄造。本發明之此實施例也允許該半導體晶片之背面被使用於該熱增強的增加。

15 在本發明之第一與地二實施例中揭示的該半導體晶片封裝倒裝片結構，可滿足用於有空間效率的半導體封裝之電子系統的需求。另外，該簡潔的結構提供提升的電子性質，諸如低飛行之訊號時間。該倒裝片封裝結構也允許使用導線接合而利用被設計用於封裝的半導體晶片，但不需  
20 要再設計該些半導體晶片之該訊號及電力路線。該些揭示的封裝結構可以藉由改變該引線框中凹處的深度，而與不同厚度的半導體晶片一起被使用。此特性會使得整體的封裝結構在厚度上是小於1公釐。

本發明以及此處揭示之該倒裝片半導體封裝的製造方

法是由下列步驟組成：

在本發明之該第一實施例中，該倒裝片半導體封裝是完全被包覆，如第5A圖所示。一具有內嵌的內部引線之導電金屬引線框14，第7圖，被冶金地接合至該凸塊的半導體晶片10。該組合物在一塑膠化合物16中被鑄造，第8圖。在該模製化合物固化之後，一研磨程序被使用以由該引線框14之該些外部引線除去該模製化合物，第9圖。

在本發明之該第二實施例中，除了第10圖與第11圖的引線框14有一較淺的凹處之外，第6A圖顯示的倒裝片半導體晶片以類似於該完全包覆的實施例處理，並且允許該半導體晶片10的背側在該研磨操作中被暴露，第12圖。

另一種用於獲得在本發明之第二實施例中說明結構的方法，是在該鑄造程序期間利用一薄膜20，第13圖，其限制該模製化合物覆蓋該半導體晶片的背側以及該引線框的該些外部接點。

本發明的優點

本發明之一個或更多個實施例的優點包括一種有高度空間效率、提供提升的電氣性質的半導體晶片封裝結構可以被熱增強、可以被利用在不同尺寸的封裝半導體晶片20中，而且在先前線接合半導體晶片中被設計成透明的。該些製造此結構的方法是簡單且有成本效益的。

雖然本發明已經參考其具體的圖式說明的實施例而被說明與圖解。其不寓意使本發明被限制那些說明的實施例。那些熟悉該技藝者將會瞭解到在不偏離本發明的精神

下，可以進行變化與修正。因此，其意欲包括本發明中在該附錄的申請專利範圍及其相等物之範圍內的所有該些變化與修正。

### 【圖式簡單說明】

- 5 第1圖是先前技藝之傳統的雙列直插式封裝模組。
- 第2圖是先前技藝之傳統的陣列腳位排列封裝模組。
- 第3圖是先前技藝之傳統的QFP模組。
- 第4圖是先前技藝之傳統的無引線晶片載子模組。
- 第5A圖是本發明之該倒裝片封裝的第一較佳實施例的  
10 截面圖。
- 第5B圖是本發明之該倒裝片封裝的第一較佳實施例的底視圖。
- 第6A圖是本發明之該倒裝片封裝的第二較佳實施例的  
截面圖。
- 15 第6B圖是本發明之該倒裝片封裝的第二較佳實施例的底視圖。
- 第7圖顯示將該半導體晶片接合至本發明之第一較佳實施例的內嵌引線框的方法。
- 第8圖顯示本發明之第一較佳實施例之該半導體晶片  
20 與引線框組合的鑄造
- 第9圖顯示本發明之第一較佳實施例的研磨程序。
- 第10圖顯示將該半導體晶片接合至本發明之第二較佳實施例的引線框的方法。
- 第11圖顯示該半導體晶片與本發明之第二較佳實施例

的引線框組合之鑄造。

第12圖顯示本發明之第二較佳實施例的研磨程序。

第13圖顯示製造本發明之第二較佳實施例的另一種方法。

5 **【圖式之主要元件代表符號表】**

10...半導體晶片

16...模製化合物

12...互連

20...薄膜

14...引線框

### 伍、中文發明摘要：

一種半導體晶片封裝結構被說明。該結構包含一互連至一內嵌的引線框之半導體晶片，而且該所得的組合被包覆在一模製化合物中。該最終產品是一無引線四角形平面封裝構形之倒裝半導體晶片。為了熱增強效果，第二實施例允許該半導體晶片背側被暴露。揭示的兩個實施例之製造方法也被說明。

### 陸、英文發明摘要：

A semiconductor chip packaging structure is described. The structure comprising of a semiconductor chip interconnected to a recessed lead frame and the resultant assembly encapsulated in a molding compound. The final product is a reverse mounted semiconductor chip in a leadless quad flat pack configuration. A second embodiment allows for the semiconductor chip backside to be exposed for thermal enhancements. Manufacturing methods are also described for the two embodiment s disclosed.

## 拾、申請專利範圍：

1. 一種半導體晶片封裝結構，包含：
  - 一倒裝半導體晶片；
  - 一互連至該半導體晶片之輸入-輸出和電力接頭的
  - 5 內嵌導電金屬合金引線框；
  - 一完全包圍該半導體晶片和該引線框的模製包覆物；和
  - 用於該內嵌金屬引線框以用於外部互連之可焊接的引線。
- 10 2. 如申請專利範圍第1項之半導體晶片封裝結構，其中該引線框包含一銅Cu合金。
3. 如申請專利範圍第1項之半導體晶片封裝結構，其中該半導體晶片的互連包含被塑型成焊料球或圓柱的焊料合金。
- 15 4. 如申請專利範圍第1項之半導體晶片封裝結構，其中該半導體晶片之該些半導體晶片互連包含銅Cu或金屬柱。
5. 如申請專利範圍第1項之半導體晶片封裝結構，其中該引線框在該晶片互連區域中凹進一可變的深度。
6. 如申請專利範圍第1項之半導體晶片封裝結構，其中該
- 20 結構之整體厚度大約是少於1毫米。
7. 如申請專利範圍第1項之半導體晶片封裝結構，其中該所使用之半導體晶片被設計用於線接合的應用。
8. 一種半導體晶片封裝結構，包含：
  - 一倒裝半導體晶片；

一互連至該半導體晶片之輸入-輸出和電力接頭的內嵌導電金屬合金引線框；

一包圍該半導體晶片和該引線框的模製包覆物，其中該半導體晶片之該背側和外面的輸入-輸出與電力引線被暴露。

5

9. 如申請專利範圍第8項之半導體晶片封裝結構，其中該引線框包含一銅Cu合金。

10

10. 如申請專利範圍第8項之半導體晶片封裝結構，其中該半導體晶片的互連包含被塑型成焊料球或圓柱的焊料合金。

11. 如申請專利範圍第8項之半導體晶片封裝結構，其中該半導體晶片之該些半導體晶片互連包含銅Cu或金屬柱。

12. 如申請專利範圍第8項之半導體晶片封裝結構，其中該引線框在該晶片互連區域中凹進一可變的深度。

15

13. 如申請專利範圍第8項之半導體晶片封裝結構，其中該結構之該整體厚度大約是少於1毫米。

14. 如申請專利範圍第8項之半導體晶片封裝結構，其中使用的該半導體晶片被設計用於線接合的應用。

20

15. 一種用於產生一倒裝半導體晶片封裝的方法，包含步驟：

提供一內嵌的引線框；

將一半導體晶片互連至該內嵌的引線框；

完全包覆該晶片與內嵌的引線框，以形成一引線框組合；

研磨該引線框組合以暴露外部的引線框輸入-輸出與電力接點；和

該些暴露的外部引線框輸入-輸出與電力接點的焊料電鍍。

- 5 16. 一種用於產生一倒裝半導體晶片封裝的方法，包含步驟：

提供一內嵌的引線框；

將一半導體晶片互連至該內嵌的引線框；

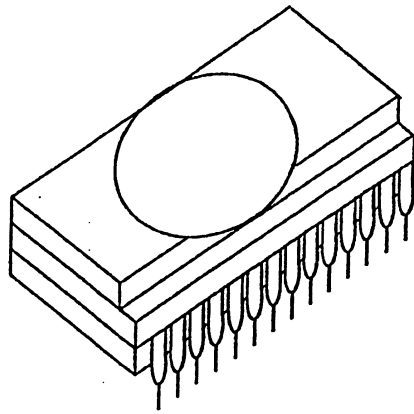
10 完全包覆該晶片與內嵌的引線框，以形成一引線框組合；

研磨該引線框組合以暴露該半導體晶片之背側以及該引線框之該些外部接點；和提供該些暴露的引線框之焊料電鍍。

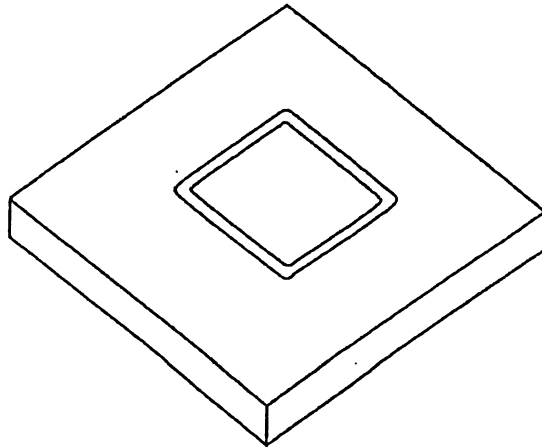
- 15 17. 如申請專利範圍第16項之方法，其中一塑膠的薄膜在該模製程序中被使用，以允許該半導體晶片之背側以及該引線框之該些外部接點被暴露。

9>1>1585

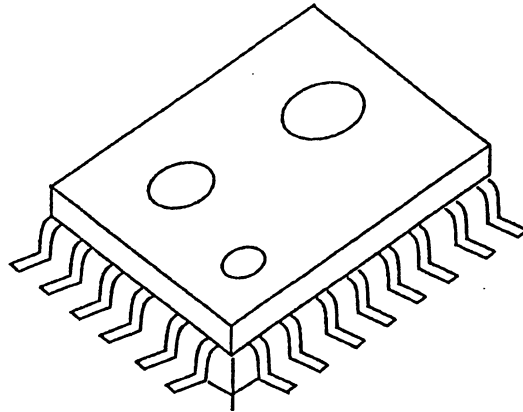
1/7



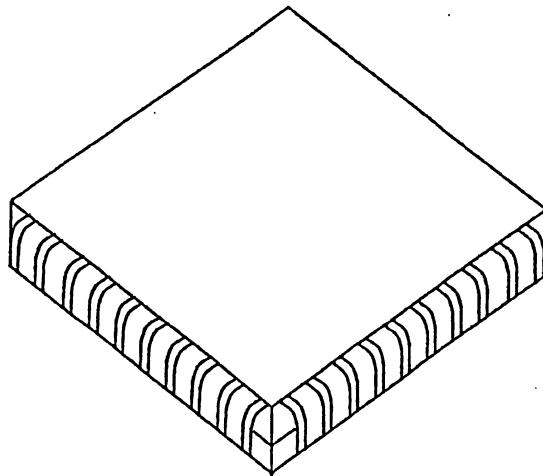
第 1 圖



第 2 圖

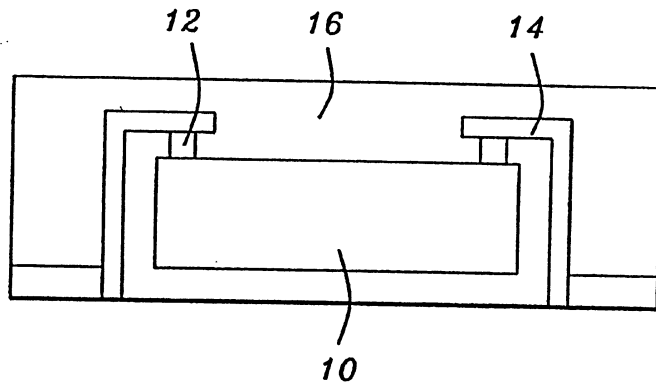


第 3 圖

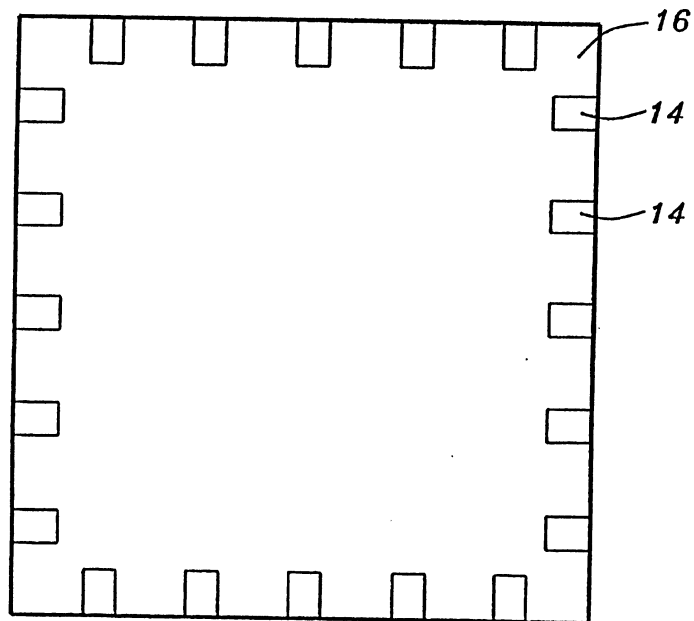


第 4 圖

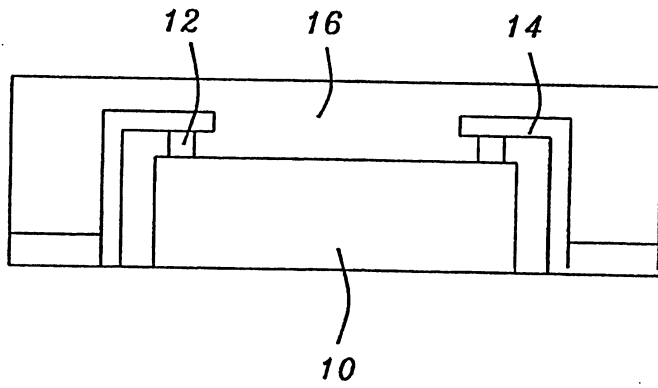
3/7



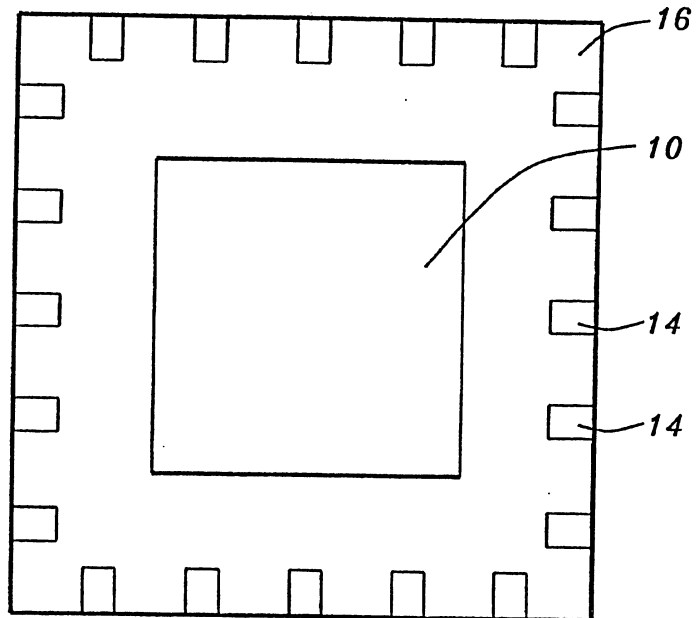
第5A圖



第5B圖

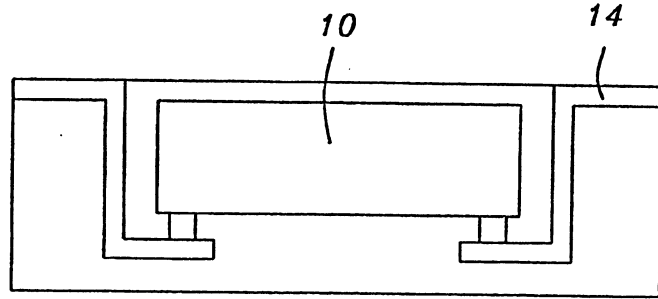


第 6A 圖

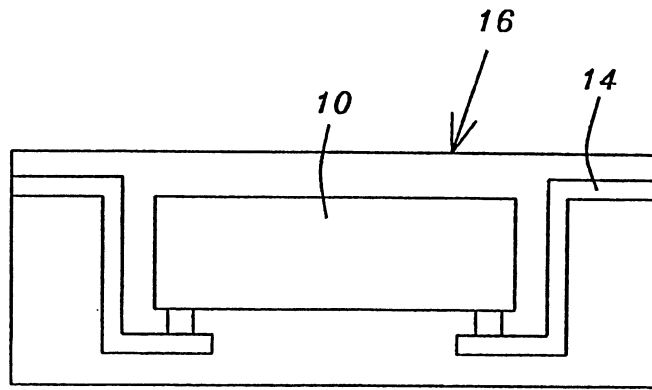


第 6B 圖

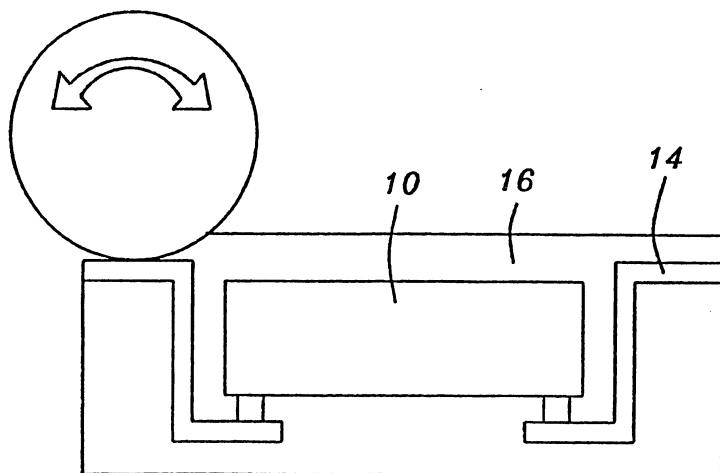
5/7



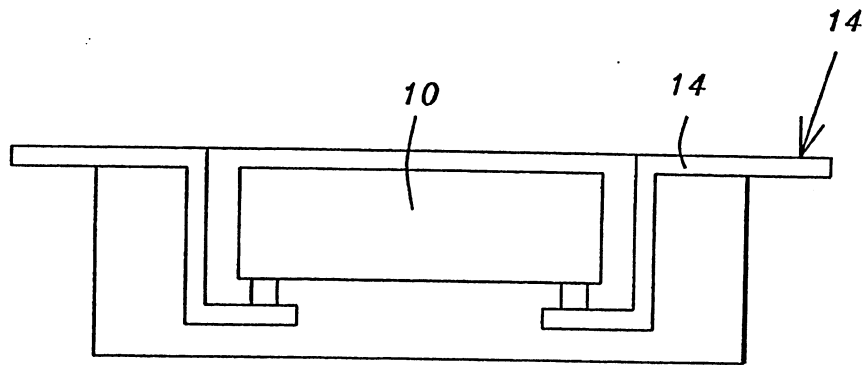
第 7 圖



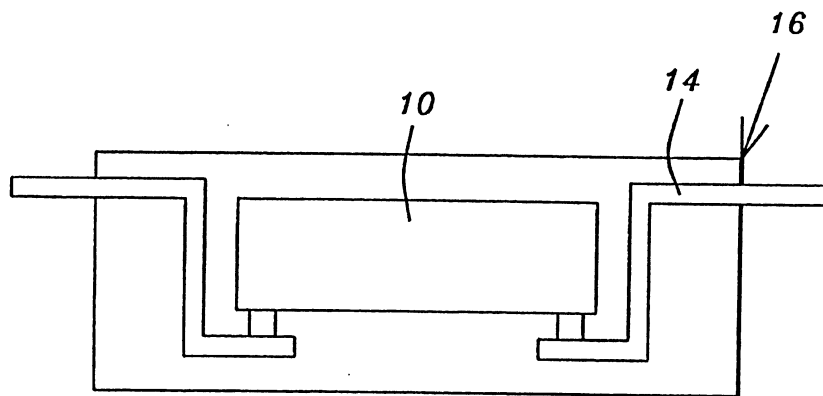
第 8 圖



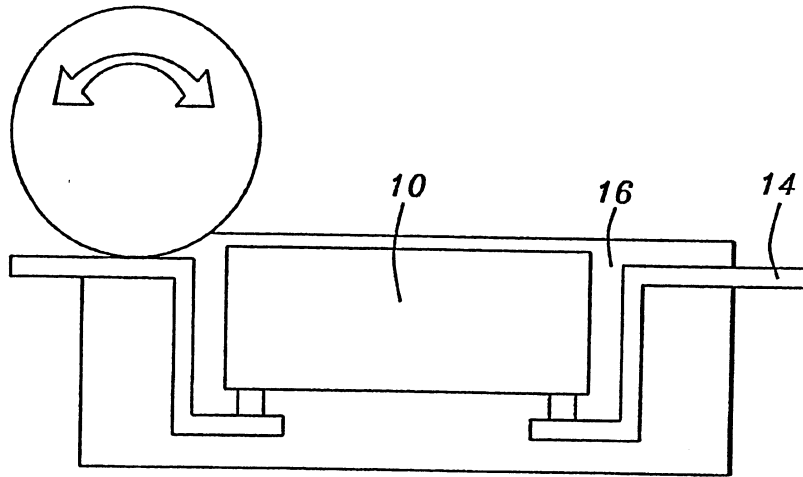
第 9 圖



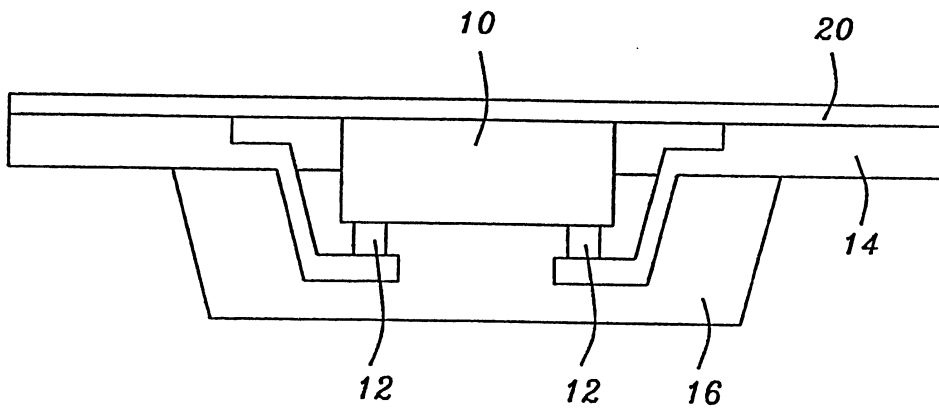
第 10 圖



第 11 圖



第 12 圖



第 13 圖

柒、指定代表圖：

(一)本案指定代表圖為：第 ( 5A ) 圖。

(二)本代表圖之元件代表符號簡單說明：

10...半導體晶片

12...互連

14...引線框

16...模製化合物

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：