

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4105228号
(P4105228)

(45) 発行日 平成20年6月25日 (2008. 6. 25)

(24) 登録日 平成20年4月4日 (2008. 4. 4)

(51) Int. Cl.

F I

G 0 9 G 3/36 (2006. 01)

G 0 9 G 3/28 (2006. 01)

G 0 9 G 3/20 (2006. 01)

G 0 9 G 3/36

G 0 9 G 3/28

G 0 9 G 3/20 6 2 3 Q

G 0 9 G 3/20 6 3 1 B

G 0 9 G 3/20 6 5 0 C

請求項の数 3 (全 14 頁)

(21) 出願番号 特願平9-523354
 (86) (22) 出願日 平成8年12月18日 (1996. 12. 18)
 (65) 公表番号 特表2000-502813 (P2000-502813A)
 (43) 公表日 平成12年3月7日 (2000. 3. 7)
 (86) 国際出願番号 PCT/FR1996/002013
 (87) 国際公開番号 W01997/023861
 (87) 国際公開日 平成9年7月3日 (1997. 7. 3)
 審査請求日 平成15年12月15日 (2003. 12. 15)
 (31) 優先権主張番号 95/15405
 (32) 優先日 平成7年12月22日 (1995. 12. 22)
 (33) 優先権主張国 フランス (FR)

(73) 特許権者
 トムソン マルチメディア
 フランス国, 9 2 1 0 0 ブローニューヴ
 イランクル, ケ・アー・ル・ガロ 4 6
 (74) 代理人
 弁理士 伊東 忠彦
 (72) 発明者
 ボーレル, ティリー
 フランス国, 3 5 1 3 5 シャンピー, リ
 ュ・ドゥ・ラ・ショミネ 1
 (72) 発明者
 ステファーンヌ, ガルニエ
 フランス国, 3 5 1 3 5 シャンピー, リ
 ュ・ギュイ・モケ 2

最終頁に続く

(54) 【発明の名称】 マトリクス・スクリーンをアドレッシングする装置

(57) 【特許請求の範囲】

【請求項 1】

N物理行及びM物理列を有するビデオ画像表示に適したマトリクス・スクリーンをアドレスする装置であり、前記N物理行及びM物理列の構成画素が輝度ビデオ信号をそれぞれ受ける複数の副画素R、G、Bを組み合わせることにより得られる、装置であって：

副画素R、G、Bの個数に対応する個数のメモリを有し、先にデジタル化された輝度ビデオ信号を表すデジタルデータをデマルチプレクス段を介して受け、該輝度ビデオ信号をマルチプレクス段へと送出するメモリ段であり、前記マルチプレクス段が当該メモリ段に先に格納されたデジタルデータから副画素の所与の組み合わせにより受信すべき輝度ビデオ信号に対応するデジタルデータを選択するよう構成されている、メモリ段；

前記メモリ段メモリへの前記デジタルデータの書き込みを制御する書き込み制御手段；

前記メモリ段メモリからの前記データの読み出しを制御する読み出し制御手段；

を有し、

前記書き込み制御手段及び読み出し制御手段が、書き込み及び読み出し相を同期させる第1手段に接続され、

前記メモリ段の前記メモリの各々が、2つの異なる領域、すなわち、所与の書き込み相の間に所与のビデオ行の副画素R、G、Bに関するデジタルデータが書き込まれる第1の領域と、前記書き込み相の間に、前回の書き込み相の間に書き込まれたビデオ行の副画素R、G、Bに関するデジタルデータが読み出される第2の領域とを含む；

ことを特徴とする装置。

【請求項 2】

N物理行及びM物理列を有するビデオ画像表示に適したマトリクス・スクリーンをアドレスする装置であり、前記N物理行及びM物理列の構成画素が輝度ビデオ信号をそれぞれ受ける複数の副画素R、G、Bを組み合わせることにより得られる、装置であって：

副画素R、G、Bの個数に対応する多数のメモリを有し、先にデジタル化された輝度ビデオ信号を表すデジタルデータをデマルチプレクス段を介して受け、該輝度ビデオ信号をマルチプレクス段へと送出するメモリ段であり、前記マルチプレクス段が当該メモリ段に先に格納されたデジタルデータから副画素の所与の組み合わせにより受信すべき輝度ビデオ信号に対応するデジタルデータを選択するよう構成されている、メモリ段；

を有し、

前記メモリ段は、2つの並列なブランチ、すなわち、第1ブランチ及び第2ブランチを含み、

前記第1ブランチにおいて、偶数ビデオ行を構成する物理行の1つに位置された副画素R、G、Bに関するビデオデータをそれぞれ収容するよう意図された第1セル、第2セル及び第3セル(206)を有する第1ユニットが配置され、

前記第2ブランチにおいて、奇数ビデオ行を構成する物理行の1つに位置された副画素R、G、Bに関するビデオデータをそれぞれ収容するよう意図された第4セル、第5セル及び第6セル(206)を有する第1ユニットが配置され、

当該装置はさらに同期手段を含み、

該同期手段は前記デマルチプレクス段に接続され、

前記同期手段は、奇数ビデオ列に位置された副画素R、G、Bに関するビデオデータの、前記第1セル、前記第2セル及び前記第3セルへのそれぞれの書き込みを制御する周波数Fの第1周期的信号OWと、偶数ビデオ列に位置された副画素R、G、Bに関するビデオデータの、前記第4セル、前記第5セル及び前記第6セルへのそれぞれの書き込みを制御する周波数Fの第2周期的信号EWとを、前記デマルチプレクス段へ送出し、

前記同期手段はさらに、前記マルチプレクス段に接続され、

前記同期手段は、前記マルチプレクス段により選択されたビデオ行の副画素に関するビデオデータの読み出しを制御する周波数 $2 * F$ の第3周期的信号RDを前記マルチプレクス段へ送出する、

ことを特徴とする装置。

【請求項 3】

前記デマルチプレクス段は、

一方では、奇数ビデオ行に属する副画素R、G、Bに関するデータを前記第1ユニットに切り替えて、書き込み相の間に、これらのデータをそれぞれ前記第1セル、前記第2セル及び前記第3セルに書き込み、

他方では、偶数ビデオ行に属する副画素R、G、Bに関するデータを前記第2ユニットに切り替えて、前記書き込み相の間に、これらのデータをそれぞれ前記第4セル、前記第5セル及び前記第6セルに書き込む、

ことを特徴とする請求項2記載の装置。

【発明の詳細な説明】

本発明は、LCD又はプラズマ型マトリクス・スクリーンをアドレッシングする装置に関する。

かかるスクリーンの表示面は一般に、原色R、G、Bの何れか1つを表し、N個の水平行とM個の垂直列の交差網を通してアドレッシングされる複数の副画素P(i, j)を有している。各副画素は、アドレッシング相(ラインタイム)の間、隣接する列へ接続するスイッチを介して、サンプルされたビデオ信号を受け取る。

かかるスクリーンの空間解像度は、表示可能画素を生成するのに用いられるアドレッシング可能な副画素の数及び組み合わせモードに依存する。表示可能画素の連続シーケンスは、表示されるべき画像のビデオ行及び列を構成する。

図1は、Lモードと称される公知の副画素の組み合わせモードを表す。このモードは、直

10

20

30

40

50

交スクリーンをアドレッシングし、同じ行に位置する3つの副画素R、G、Bを組み合わせることにより表示可能画素を生成するのに用いられる。この場合、水平解像度H_rはM/3に等しく、値がNである垂直解像度に比して小さい。これは、L組み合わせモードを用いる480行×640列のVGAスクリーンの設計が640×3=1920に等しい列数M及び480に等しい行数を必要とするからである。また、画像のフォーマットを尊重するため、この組み合わせモードは大きな数の副画素を必要とする。

このため、スクリーンのコストが相当に上昇する。

更に、マトリクス・スクリーンが連続モードでしかアドレッシングできない場合、図1に示す組み合わせモードはスクリーンをインターレース化画像源に適合させるためのアルゴリズムを必要とする。

10

図2及び図3は、デルタ型スクリーンをアドレッシングするのに用いられ、デルタモードと称される第2の公知の副画素組み合わせモードの第1及び第2の変形をそれぞれ示す。Lモードと同様に、表示可能画素は、同じ水平列上に位置する3つの副画素R、G、Bを組み合わせることにより得られる。しかしながら、図2に示すデルタモードの第1の変形において、2つの連続行は互いに副画素の半分だけ水平にオフセットしている。一方、図3に示す第2の変形では、2つの連続行は、互いに1.5副画素分だけ水平にオフセットしている。その結果、第1の場合には、表示可能画素の幅は、副画素の幅の3.5倍に等しく、一方、第2の場合には、表示可能画素の幅は、副画素の幅の4.5倍に等しい。第1の場合、水平解像度は垂直解像度に対して3.5倍の割合で低下し、一方、第2の場合、水平解像度は、垂直解像度に対して4.5倍の割合で低下する。

20

本発明の目的は、垂直解像度を過度に劣化させることなく水平解像度を向上させることが可能なマトリクススクリーンのアドレッシング装置を提供することである。

本発明に係る装置は、メモリ段70及び198を有し、該メモリ段70及び198は、デマルチプレクス段220を介して、先に格納された輝度ビデオ信号を表すデジタルデータの複数のシーケンスを受け、前記輝度ビデオ信号を、該メモリ段70及び198に先に格納されたデジタルデータの複数のシーケンスから副画素の所与の組み合わせに対応するデジタルデータシーケンスを選択するよう構成されたマルチプレクス段230へ送出する。従って、本発明に係る装置は、用いられるスクリーンタイプにかかわらず、垂直解像度と水平解像度との間のより良好な妥協を得ることができるような副画素の組み合わせの選択を可能とする。

30

本発明の他の特徴及び利点は、添付の図面を参照して非限定的な例としてなされる以下の説明により明らかとなる。

図1は、従来技術で用いられる、直交型マトリクススクリーンの副画素R、G、Bを組み合わせる第1のモードを部分的に示す。

図2及び図3は、図1の副画素組み合わせモードのデルタ型スクリーンへの適用を示す。

図4は、本発明に係るアドレッシング装置により生成されるマトリクススクリーンの副画素R、G、Bの第1の組み合わせモードの直交型スクリーンへの適用を部分的に示す。

図5は、図4に示す副画素R、G、Bの組み合わせモードの第1の変形例を部分的に示す。

。

図6は、図4に示す副画素R、G、Bの組み合わせモードの第2の変形例を部分的に示す。

40

図7a及び図7bは、デルタ型マトリクス・スクリーンに適用された図4に示す副画素R、G、Bの組み合わせモードの第3及び第4の変形例を部分的に示す。

図8は、本発明に係るアドレッシング装置により実現され直交型マトリクス・スクリーンに適用された副画素R、G、Bの組み合わせの第2のモードを部分的に示す。

図9は、デルタ型マトリクス・スクリーンに適用された図4に示す副画素R、G、Bの組み合わせモードの第5の変形例を部分的に示す。

図10は、本発明に係るアドレッシング装置の第1実施例を部分的に示す。

図11は、本発明に係るアドレッシング装置の第2実施例を部分的に示す。

図12～図14は、図10のアドレッシング装置の動作を説明するための図である。

50

図15及び図16は、図11のアドレッシング装置の動作を説明するための図である。

図10は、輝度ビデオ信号をそれぞれ受ける複数の副画素R、G、Bを表面に有するマトリクス・スクリーンをアドレッシングする装置の構成を示す。これらの画素は、N個の物理的な行とM個の物理的な列からなる網としてスクリーンの表面に分布されている。LCDスクリーンの場合、この網の交点には、TFT（薄膜トランジスタ）等のスイッチが配置される。これらのスイッチは、アドレッシング相において、アドレッシングされた画素を物理的列に接続するのを可能とする。

本発明によれば、アドレッシング装置は、先に格納された輝度ビデオ信号をデマルチプレクス段220を介して受信し、この輝度ビデオ信号を、マルチプレクス段230へ送出するメモリ段70及び198を有している。マルチプレクス段230は、メモリ段70及び198に先に格納されたデジタルデータの複数のシーケンスの中の副画素の所与の組み合わせに対応するデジタルデータのシーケンスを選択するように設計されている。

本発明に係るアドレッシング装置の第1の実施例によれば、メモリ段70は、副画素Rへ送られた信号のサンプリングから得られたデジタルデータの格納に割り当てられた第1のメモリ80と、副画素Gへ送られた信号のサンプリングから得られたデジタルデータの格納に割り当てられた第2のメモリ82と、副画素Bへ送られた信号のサンプリングから得られたデジタルデータの格納に割り当てられた第3のメモリ84とを有している。本実施例において、メモリ段70は、一方では、デジタルデータのメモリ80、82、84への書き込みを制御する手段72に接続され、他方では、上記データのメモリ80、82、84からの読み出しを制御する手段74に接続されている。上記書き込み制御手段72及び読み出し制御手段74は書き込み相と読み出し相とを同期させる第1の手段76に接続されている。

本実施例によれば、メモリ80、82、及び84の各々は2つの異なる領域、すなわち、所与の書き込み相の間に所与のビデオ行の副画素に関連するデジタルデータが書き込まれる第1の領域102と、上記書き込み相の間に、前回の書き込み相で書き込まれたビデオ行の副画素R、G、及びBに関するデジタルデータが読み出される第2の領域とを有している。

本発明に係るアドレッシング装置の第2実施例によれば、メモリ段198は2つの並列なアーム部、すなわち、偶数ビデオ列を構成する物理列の1つに配置された副画素R、G、Bに関するビデオデータをそれぞれ収容するよう意図された少なくとも3つのFIFOセル、すなわち、第1のセル202、第2のセル204、及び第3のセルを有するユニット200が配置された第1のアーム部と、奇数ビデオ行を構成する物理行の1つに配置された副画素R、G、Bに関連するビデオデータをそれぞれ収容するよう意図された少なくとも3つのFIFOセル、すなわち、第4のセル212、第5のセル214、及び第6のセル216を含むユニット210が配置された第2のアーム部とを有している。

本実施例において、デマルチプレクス段220は、一方では、奇数ビデオ列に属する副画素R、G、Bに関するデータをユニット200に切り替えることで、持続期間Dのビデオ行の書き込み相の間、上記データをそれぞれ第1のセル202、第2のセル204、及び第3のセル206へ書き込み、他方では、偶数ビデオ列に属する副画素R、G、Bに関するデータをユニット210へ切り替えることで、書き込み相の間、上記データをそれぞれ第4のセル212、第5のセル214、及び第6のセル216へ書き込む。

この第2の実施例によれば、第2の同期手段240が、一方では、デマルチプレクサ段220に接続され、奇数ビデオ列上にそれぞれ配置された副画素R、G、Bに関するビデオデータの第1のセル202、第2のセル204、及び第3のセル206への書き込みを制御する周波数Fの第1の周期信号OWと、偶数ビデオ列にそれぞれ配置された副画素R、G、Bに関するビデオデータの第4のセル212、第5のセル214、及び第6のセル216への書き込みを制御する周波数Fの第2の周期信号EWとを上記した段220へ送出する。この第2の同期手段240は、他方では、マルチプレクス段230に接続され、マルチプレクス段230により選択された偶数（又は奇数）ビデオ列の副画素に関するビデオデータの読み出しを制御する周波数 $2 \times F$ の第3の周期信号RDを上記した段230へ

10

20

30

40

50

送出する。

マルチプレクス段 230 は、持続期間 D の半分に相当する時から、セル 202, 204, 206, 212, 又は 216 の 1 つに先に格納された、表示されるべきビデオ行に属する副画素を表すデータシーケンスを周波数 $1/D$ で選択する。

図 12 は、本発明に係る装置によるデルタ型スクリーンのアドレッシングを部分的に示す。ビデオ列 35, 37, 及び 64 の連続する画素 PX_k ($k=1, 2, 3, \dots$) は、それらの空間位置に応じて添え字 k で表されている。各画素は 3 つの副画素 R_k, G_k, B_k を組み合わせることにより構成されている。信号 $SIG1, SIG2, SIG3$ は、同じビデオ列上に配置された副画素 R_k, G_k, B_k にそれぞれ送られる輝度信号のサンプルを表す。従って、物理行 Li の副画素は、サンプル $R1, R3, R5, \dots, G1, G3, G5, \dots$, 及び $B2, B4, B6, \dots$ をそれぞれ含む 3 つのシーケンス $SIG1, SIG2, SIG3$ をそれぞれ受ける。一方、物理行 $Li+1$ の副画素は、サンプル $R2, R4, R6, \dots, G2, G4, G6, \dots$, 及び $B3, B5, B7$ をそれぞれ含む 3 つのシーケンス $SIG1, SIG2, SIG3$ をそれぞれ受ける。

10

図 14 は、ビデオ行 LV の副画素 R, G, B に関するデータの書き込みが行われると共に前行 $LV-1$ の副画素 R, G, B に関するデータの読み出しが行われる相、及び、ビデオ行 $LV+1$ の副画素 R, G, B に関するデータの書き込みが行われると共に、前の相で書き込まれたビデオ行の副画素 R, G, B に関するデータの読み出しが行われる次の相を示す。

上述の如く、前記ビデオ行 LV の書き込み、及び、前記ビデオ行 $LV-1$ の読み出しは同時に行われ、第 1 の同期手段 76 により同期される。第 1 の同期手段 76 は、図 4 に示す信号 W/R を書き込み制御手段 72 及び読み出し制御手段 74 へ送り、副画素 R, G, B に関するビデオデータを前方向に書き込むことを可能とすると共に、相関的に上記データをスクリーン上の副画素 R, G, B の各々の空間位置で読み出すことを可能とする。

20

行 LV に対する書き込み相は線 $RSTW, WAB$, 及び W/R により表され、行 $LV-1$ に対する読み出し相は線 $RSTR, RVAB, BRDA, BDA$, 及び $BRDA$ により表されている。

線 $RSTW$ は、書き込み相を初期化する信号を表し、線 WAB は、サンプル R_k, G_k, B_k を表すデジタルデータが順次格納されることになるメモリ 80, 82, 84 の連続アドレスを表す。線 WDA は、データバス 86, 89, 90 によりそれぞれ搬送された上記デジタルデータを表す。線 W/R は、第 1 の同期手段 76 により送られた、連続する書き込み及び読み出し相を同期させる信号を表す。線 $RSTR$ は、読み出し相を初期化する信号を表す。線 $RVAB$ は、サンプル R_k, G_k を表す信号が既に格納されたメモリ 80, 82, 84 の連続アドレスを表す。線 $VRDA$ は、データバス 94, 96 上にそれぞれ読み出されたデータ R_k, G_k を表す。線 BAB は、サンプル B_k を表すデジタルデータが既に格納されたメモリ 80, 82, 84 の連続アドレスを表し、線 $BRDA$ はバス 92 上に読み出されたデータ B_k を表す。

30

線 WDA 上に示されたデータ R_k, G_k, B_k は前向きに書き込まれ、先に書き込まれたデータ $VRDA$ 及び $BRDA$ はスクリーン表面上のそれぞれの位置で相関的に読み出される。

40

図 15 は、セル 202 及びセル 210 を部分的に示す。また、図 16 は、ビデオ行 LV の副画素 R, G, B に関するデータの書き込みが行われると共に、セル 202 及び 210 に先に書き込まれた前記ビデオ行 LV の副画素 R, G, B に関するデータの読み出しが行われる相、及び、ビデオ行 $LV+1$ の副画素 R, G, B に関するデータの書き込みが行われると共に、セル 202 及び 210 に先に書き込まれた前記ビデオ行 $LV+1$ の副画素 R, G, B に関するデータの読み出しが行われる相を示す。上記書き込み及び読み出し相の同期は、第 2 の同期手段 240 が、奇数ビデオ列上に配置された副画素 R, G, B に関連するビデオ信号のセル 202, 204, 206 への書き込みを制御する周波数 F の第 1 の周期信号 OW と、偶数ビデオ列上に配置された副画素 R, G, B に関するビデオデータのセル 212, 214, 216 への書き込みを制御する周波数 F の第 2 の周期信号 EW とをデ

50

マルチプレクス段 220 へ供給すると共に、マルチプレクス段 230 により選択された偶数（又は奇数）ビデオ列の副画素に関するデータの読み出しを制御する周波数 $2 \times F$ の第 3 の周期信号をマルチプレクス段 230 へ供給することにより行われる。

図 16 において、線 IE は書き込み相を初期化する信号を表し、線 OW は、奇数ビデオ列上に配置された副画素 R、G、B に関するビデオデータの書き込みを制御する信号を表し、線 EW は、偶数ビデオ列上に配置された副画素 R、G、B に関するビデオデータの書き込みを制御する信号を表し、線 WDA はセル 202 及び 210 へ書き込まれるべきデジタルデータを表し、線 IL は読み出し相を初期化する信号を表し、線 RDA は読み出されたデータを表し、線 OEE は、奇数ビデオ列上に配置された副画素 R、G、B に関するデータを選択する信号を表し、線 OOE は、偶数ビデオ列上に配置された副画素 R、G、B に関するデータを選択する信号を表す。線 OW 上に見られるように、奇数ビデオ列上に配置された副画素 R、G、B に関するビデオデータのセル 202 への書き込みは、信号 OW の各立ち上がりエッジに同期している。同様に、偶数ビデオ列上に配置された副画素 R、G、B に関連するビデオデータのセル 210 への書き込みは信号 EW の各立ち上がりエッジに同期している。信号 RD は、信号 OW 及び EW の 2 倍の周波数でのデジタルデータの読み出しを許可する。従って、奇数ビデオ列上に配置された副画素 R、G、B に関するデータ及び偶数ビデオ列上に配置された副画素 R、G、B に関するデータの読み出しの全持続時間とのビデオ列の周波数での同期のため、上記読み出し相は、セル 202 及び 212 が半分埋まったときに開始される。このため、図 16 の例では、奇数データは、本例ではセル 202 の半分に位置する 321 番目のデータ項目の書き込み
10
20
に一致する時点から、信号 OEE が論理ハイレベルを有する場合に信号 RD の各立ち上がりエッジで読み出される。同時に、偶数データは、321 番目のデータ項目のセル 212 への書き込みに一致する時点で、信号 OOE が論理ハイレベルを有する場合に信号 RD の各立ち上がりエッジで読み出される。

図 4～図 9 は、2 つの物理行 L_i 及び L_{i+1} を用いて表示されるべき画像のビデオ行が構成される副画素の組み合わせを示す。上記画像は、奇数ビデオ行 21, 23, 25, 27, 29, 31, 33, 35, 37, 39, 41, 43, 45, 47, 及び 49 を備える奇数ラスタ 9, 11, 13, 15, 17, 19, 20, 及び、偶数ビデオ行 54, 56, 58, 60, 62, 64, 65, 66, 67, 68 を備える偶数ラスタ 40, 42, 44, 46, 48, 50, 52 に分解されており、これらの偶数ラスタ及び奇数ラスタが互いに 1 物理行だけオフセットされることで、奇数ビデオ行を偶数ビデオ行とインターレース
30
することが可能となっている。

図 4～図 8 からわかるように、偶数ビデオ行 54, 56, 58, 64, 65, 67 を構成するのに用いられる物理行 L_i は、それぞれ、奇数ビデオ行 21, 25, 29, 35, 39, 及び 43 を構成するのににも用いられている。これにより、上記偶数ビデオ行及び奇数ビデオ行のインターレースが生成される。

図 4～図 7b 及び図 9 に示す本発明に係るアドレッシング装置の第 1 の適用例によれば、マルチプレクス段 220 は、物理量 L_i （それぞれ L_{i+1} ）上に配置された 2 つの隣接する副画素、及び、物理行 L_i （それぞれ L_{i+1} ）上に配置された副画素に関するデジタル信号のシーケンスを選択し、次に、行 L_i （それぞれ L_{i+1} ）上に配置された副画素、及び行 L_{i+1} 上に配置された 2 つの副画素に関するデジタル信号のシーケンスを選択して、表示されるべき画像のビデオ行の画素をアドレッシングする。
40

図 8 に示す本発明に係るアドレッシング装置の第 2 の適用例によれば、マルチプレクス段 220 は、物理行 L_i 上に配置された第 1 の副画素に関連するデジタル信号のシーケンス、及び、第 1 の副画素に隣接して物理行 L_{i+1} 上に配置された第 2 の副画素に関するデジタル信号のシーケンスを選択することにより、ビデオ行 43 及び 45（それぞれ 67）の画素をアドレッシングする。

この組み合わせモードは、上記した従来技術の組み合わせモードに対して水平解像度が 3 倍になる一方、色エイリアングとして知られるスペクトル低下により彩色が生ずる点で、特に、良好な測色法は要求しないが詳細部の良好な適合性を要求する用途に適している。
50

組み合わせられた副画素へ送られたビデオ信号のサンプリングは、同時に、又は、空間モードで、すなわち、副画素のスクリーン表面上でのそれぞれの位置に対応した異なる時点で行われる。

従って、マトリクス・スクリーンの物理行及び列上の副画素の相対位置を i , j とすると、 1 から M まで周期的に変化する j , 及び、奇数ラスタ 19 上に配置された 2 つの所与の物理行 L_i 及び L_{i+1} に対して、アドレッシングの第 1 の例では、

—原色 R 及び G をそれぞれ表し、奇数ビデオ行 43 及び 45 の第 1 の表示可能画素を構成する副画素 $p(i, j)$ 及び $p(i, j+1)$ に送られたビデオ信号がサンプリングされ、次に、原色 G 及び B をそれぞれ表し、上記奇数ビデオ行 43 及び 45 の第 2 の表示可能画素を構成する副画素 $p(i, j+1)$ 及び $p(i+1, j+1)$ に送られたビデオ信号がサンプリングされる。また、偶数ラスタ 50 上に配置された 2 つの所与の物理行 L_i 及び L_{i+1} に対して、

—原色 G 及び R をそれぞれ表し、偶数ビデオ行 67 の第 1 の表示可能画素を構成する副画素 $p(i, j)$ 及び $p(i+1, j)$ に送られたビデオ信号がサンプリングされ、次に、原色 B 及び G をそれぞれ表し、上記偶数ビデオ行 67 の第 2 の表示可能画素を構成する副画素 $p(i, j+1)$ 及び $p(i+1, j+1)$ に送られた信号がサンプリングされる。直行型スクリーンに適用された図 4 に示すアドレッシングの第 2 の例において、 1 から M まで 3 刻みで周期的に変化する j , 及び、奇数ラスタ 9 上に配置された所与の 2 つの物理行 L_i 及び L_{i+1} に対して、

—原色 R , G , B をそれぞれ表し、奇数ビデオ行 21 , 23 の第 1 の表示可能画素を構成する副画素 $p(i, j)$, $p(i, j+1)$, 及び $p(i+1, j)$ に送られたビデオ信号がサンプリングされ、次に、原色 B , R , G をそれぞれ表し、上記奇数ビデオ行 21 , 23 の次の画素を構成する副画素 $p(i, j+2)$, $p(i+1, j+1)$, 及び $p(i+1, j+2)$ に送られたビデオ信号がサンプリングされる。また、偶数ラスタ 40 上に配置された所与の物理行 L_i , L_{i+1} に対して、

—原色 B , R , G をそれぞれ表し、偶数ビデオ列 54 の第 1 の表示可能画素を構成する副画素 $p(i, j)$, $p(i+1, j)$, $p(i+1, j+1)$ に送られるビデオ信号がサンプリングされ、次に、原色 R , G , B をそれぞれ表し、上記偶数ビデオ列 54 の次の画素を構成する副画素 $p(i, j+1)$, $p(i, j+2)$, $p(i+1, j+2)$ に送られたビデオ信号がサンプリングされる。

直交型スクリーンに適用された図 5 に示すアドレッシングの第 3 の例において、 1 から M まで 3 刻みで変化する j , 及び、奇数ラスタ 11 上に配置された 2 つの所与の物理行 L_i , L_{i+1} に対して、

—原色 G , B , R をそれぞれ表し、奇数ビデオ列 25 及び 27 の第 1 の表示可能画素を構成する副画素 $p(i, j+1)$, $p(i+1, j)$, $p(i+1, j+1)$ に送られたビデオ信号がサンプリングされ、次に、原色 B , R , G をそれぞれ表し、上記奇数ビデオ行 25 , 27 の次の画素を構成する副画素 $p(i, j+2)$, $p(i, j+3)$, 及び $p(i+1, j+2)$ に送られたビデオ信号がサンプリングされる。また、偶数ラスタ 42 上に配置された 2 つの所与の物理行 L_i 及び L_{i+1} に対して、

—原色 B , R , G をそれぞれ表し、偶数ビデオ行 56 の第 1 の表示可能画素を構成する副画素 $p(i, j)$, $p(i+1, j)$, $p(i+1, j+1)$ に送られたビデオ信号がサンプリングされ、次に、原色 G , B , R をそれぞれ表し、上記偶数ビデオ行 56 の次の画素を構成する副画素 $p(i, j+2)$, $p(i+1, j+2)$, $p(i+1, j+3)$ に送られたビデオ信号がサンプリングされる。

直交型スクリーンに適用された図 6 に示すアドレッシングの第 5 の例において、 1 から M まで 3 刻みで周期的に変化する j , 及び、奇数ラスタ 13 上に配置された 6 つの所与の物理行 L_i , L_{i+1} , L_{i+2} , L_{i+3} , L_{i+4} , L_{i+5} に対して、

—原色 R , G , B をそれぞれ表し、奇数ビデオ行 29 の第 1 の表示可能画素を構成する副画素 $p(i, j)$, $p(i+1, j)$, 及び $p(i+1, j+1)$ に送られたビデオ信号がサンプリングされ、次に、原色 G , B , R をそれぞれ表し、上記奇数ビデオ行 29 の第

10

20

30

40

50

2の画素を構成する副画素 $p(i, j+1)$, $p(i, j+2)$, $p(i+1, j+2)$ に送られたビデオ信号がサンプリングされ、次に、原色B, R, Gをそれぞれ表し、次の奇数ビデオ行31の第1の画素を構成する副画素 $p(i, j)$, $p(i+1, j)$, $p(i+1, j+1)$ に送られたビデオ信号がサンプリングされ、次に、原色R, G, Bをそれぞれ表し、奇数ビデオ行31の第2の表示可能画素を構成する副画素 $p(i, j+1)$, $p(i, j+2)$, $p(i+1, j+2)$ に送られたビデオ信号がサンプリングされ、次に、原色G, B, Rをそれぞれ表し、奇数ビデオ行33の第1の画素を構成する副画素 $p(i, j)$, $p(i+1, j)$, $p(i+1, j+1)$ に送られたビデオ信号がサンプリングされ、次に、原色B, R, Gをそれぞれ表し、上記奇数ビデオ行33の第2の画素を構成する副画素 $p(i, j+1)$, $p(i, j+2)$, $p(i+1, j+2)$ に送られたビデオ信号がサンプリングされる。また、偶数ラスタ44上に配置された所与の6つの物理行 L_i , L_{i+1} , L_{i+2} , L_{i+3} , L_{i+4} , L_{i+5} に対して、

—原色G, B, Rをそれぞれ表し、偶数ビデオ行58の第1の表示可能画素を構成する副画素 $p(i, j)$, $p(i+1, j)$, $p(i+1, j+1)$ に送られたビデオ信号がサンプリングされ、次に、原色B, R, Gをそれぞれ表し、上記偶数ビデオ行58の第2の画素を構成する副画素 $p(i, j+1)$, $p(i, j+2)$, $p(i+1, j+2)$ に送られたビデオ信号がサンプリングされ、次に、原色R, G, Bをそれぞれ表し、次の偶数ビデオ行60の第1の画素を構成する副画素 $p(i, j)$, $p(i+1, j)$, 及び $p(i+1, j+1)$ に送られたビデオ信号がサンプリングされ、次に、原色G, B, Rをそれぞれ表し、偶数ビデオ行60の第2の表示可能画素を構成する副画素 $p(i, j+1)$, $p(i, j+2)$, $p(i+1, j+2)$ に送られた信号がサンプリングされ、次に、原色B, R, Gをそれぞれ表し、偶数ビデオ行62の第1の画素を構成する副画素 $p(i, j)$, $p(i+1, j)$, $p(i+1, j+1)$ へ送られたビデオ信号がサンプリングされ、次に、原色R, G, Bをそれぞれ表し、上記偶数ビデオ行62の第2の画素を構成する副画素 $p(i, j+1)$, $p(i, j+2)$, $p(i+1, j+2)$ に送られたビデオ信号がサンプリングされる。

物理行 L_{i+1} が物理行 L_i に対して副画素の半分だけ右へオフセットしたデルタ型スクリーンに適用された図7aに示すアドレッシングの第6の例において、1からMまで3刻みで周期的に変化する j , 及び、奇数ラスタ15上に配置された所与の2つの物理行 L_i 及び L_{i+1} に対して、

—原色R, G, Bをそれぞれ表し、奇数ビデオ行35, 37の第1の表示可能画素を構成する副画素 $p(i, j)$, $p(i, j+1)$, $p(i+1, j)$ に送られたビデオ信号がサンプリングされ、次に、原色B, R, Gをそれぞれ表し、上記奇数ビデオ行35, 37の次の画素を構成する副画素 $p(i, j+2)$, $p(i+1, j+1)$, $p(i+1, j+2)$ に送られたビデオ信号がサンプリングされる。また、偶数ラスタ46上に配置された所与の2つの物理行 L_i , L_{i+1} に対して、

—原色B, R, Gをそれぞれ表し、偶数ビデオ行64の第1の表示可能画素を構成する副画素 $p(i, j)$, $p(i+1, j)$, $p(i+1, j+1)$ に送られたビデオ信号がサンプリングされ、次に、原色R, G, Bをそれぞれ表し、上記偶数ビデオ行64の次の画素を構成する副画素 $p(i, j+1)$, $p(i, j+2)$, $p(i+1, j+2)$ に送られたビデオ信号がサンプリングされる。

デルタ型スクリーンに適用された図7bに示すアドレッシングの第7の例では、1からMまで3刻みで周期的に変化する j , 及び、奇数ビデオラスタ11上に配置された所与の2つの物理行 L_i 及び L_{i+1} に対して、

—原色R, G, Bをそれぞれ表し、奇数ビデオ行39の第1の表示可能画素を構成する副画素 $p(i, j)$, $p(i, j+1)$, $p(i+1, j)$ に送られたビデオ信号がサンプリングされ、次に、原色B, R, Gをそれぞれ表し、上記奇数ビデオ行39の第2の画素を構成する副画素 $p(i, j+2)$, $p(i+1, j+1)$, $p(i+1, j+2)$ に送られたビデオ信号がサンプリングされ、次に、原色G, B, Rをそれぞれ表し、奇数ビデオ行41の第1の表示可能画素を構成する副画素 $p(i, j+1)$, $p(i+1, j)$,

$p(i+1, j+1)$ に送られたビデオ信号がサンプリングされ、次に、原色 B, R, G をそれぞれ表し、奇数ビデオ行 4 1 の第 2 の表示可能画素を構成する副画素 $p(i, j+2)$, $p(i, j+3)$, $p(i+2, j+2)$ に送られたビデオ信号がサンプリングされる。また、偶数ビデオラスタ 4 4 上に配置された所与の 2 つの物理行 $L i$, $L i+1$ に対して、

—原色 B, R, G をそれぞれ表し、偶数ビデオ行 6 5 の最初の表示可能画素を構成する副画素 $p(i, j)$, $p(i+1, j)$, $p(i+1, j+1)$ に送られたビデオ信号がサンプリングされ、次に、原色 R, G, B をそれぞれ表し、偶数ビデオ行 6 5 の第 2 の表示可能画素を構成する副画素 $p(i, j+1)$, $p(i, j+2)$, $p(i+1, j+2)$ に送られたビデオ信号がサンプリングされ、次に、原色 B, R, G をそれぞれ表し、偶数ビデオ行 6 6 の第 1 の表示可能画素を構成する副画素 $p(i, j)$, $p(i, j+1)$, $p(i+1, j+1)$ に送られたビデオ信号がサンプリングされ、次に、原色 G, B, R をそれぞれ表し、偶数ビデオ行 6 6 の第 2 の表示可能画素を構成する副画素 $p(i, j+2)$, $p(i+1, j+2)$, $p(i+1, j+3)$ に送られたビデオ信号がサンプリングされる。

10

デルタ型スクリーンに適用された図 9 に示すアドレッシングの第 8 の例では、1 から M まで 3 刻みで周期的に変化する j , 及び、奇数ビデオラスタ 2 0 上に配置された所与の 4 つの物理行 $L i$, $L i+1$, $L i+2$, $L i+3$ に対して、

—原色 R, G, B をそれぞれ表し、奇数ビデオ行 4 7 の第 1 の表示可能画素を構成する副画素 $p(i, j)$, $p(i, j+1)$, $p(i+1, j)$ に送られたビデオ信号がサンプリングされ、次に、原色 R, G, B をそれぞれ表し、奇数ビデオ行 4 7 に共通の第 2 の画素を構成する副画素 $p(i+1, j+1)$, $p(i+1, j+2)$, $p(i+2, j+2)$ に送られたビデオ信号がサンプリングされ、次に、原色 R, G, B をそれぞれ表し、奇数ビデオ行 4 9 の第 1 の表示可能画素を構成する副画素 $p(i+2, j)$, $p(i+2, j+1)$, 及び $p(i+3, j)$ に送られたビデオ信号がサンプリングされ、次に、原色 R, G, B をそれぞれ表し、奇数ビデオ行 4 9 の第 2 の画素を構成する副画素 $p(i+3, j+1)$, $p(i+3, j+2)$, $p(i+4, j+2)$ に送られたビデオ信号がサンプリングされる。また、偶数ビデオラスタ 5 2 上に配置された 3 つの物理行 $L i$, $L i+1$, $L i+2$ に対して、

20

—原色 B, R, G をそれぞれ表し、偶数ビデオ行 6 8 の第 1 の表示可能画素を構成する副画素 $p(i, j)$, $p(i+1, j)$, $p(i+1, j+1)$ に送られたビデオ信号がサンプリングされ、次に、原色 B, R, G をそれぞれ表し、偶数ビデオ行 6 8 の第 2 の表示可能画素を構成する副画素 $p(i+1, j+2)$, $p(i+2, j+1)$, $p(i+2, j+2)$ に送られたビデオ信号がサンプリングされる。

30

本発明に係る装置によって、アドレッシングされるスクリーンのタイプにかかわらず解像度が改良される。特に、デルタ型スクリーンに対して、 $M \times 2 / 3$ に等しい解像度、従って、従来技術の装置によるこのスクリーンのアドレッシングモードによって得られる解像度の 2 倍の解像度が得られ、鉛直解像度は厳密に鉛直な線に対して $N / 2$ であり、対角線に対して N である。

【図 1】

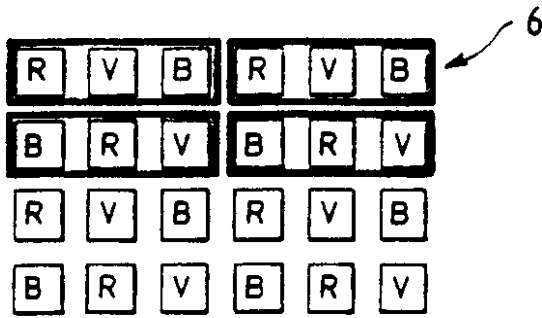


FIG. 1

【図 2】

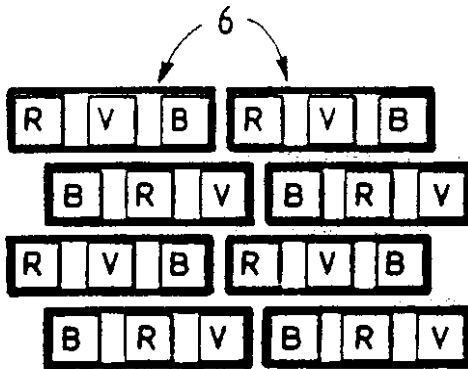


FIG. 2

【図 4】

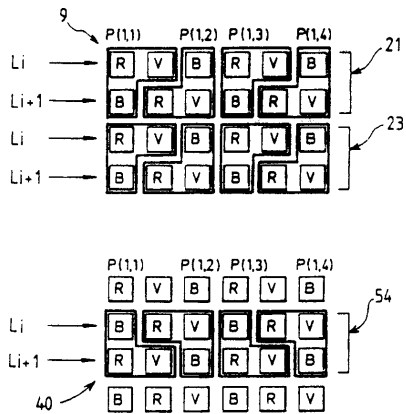


FIG. 4

【図 3】

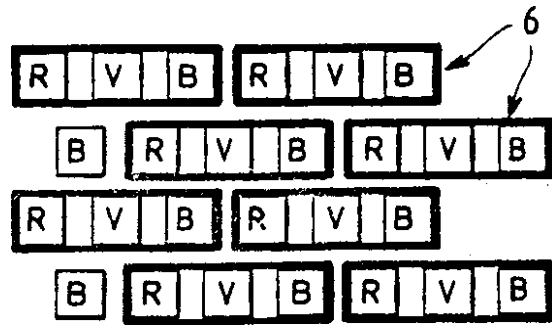


FIG. 3

【図 5】

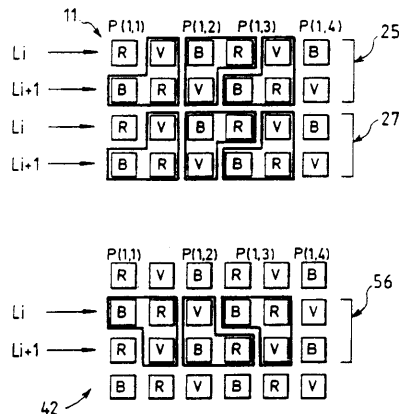


FIG. 5

【図 6】

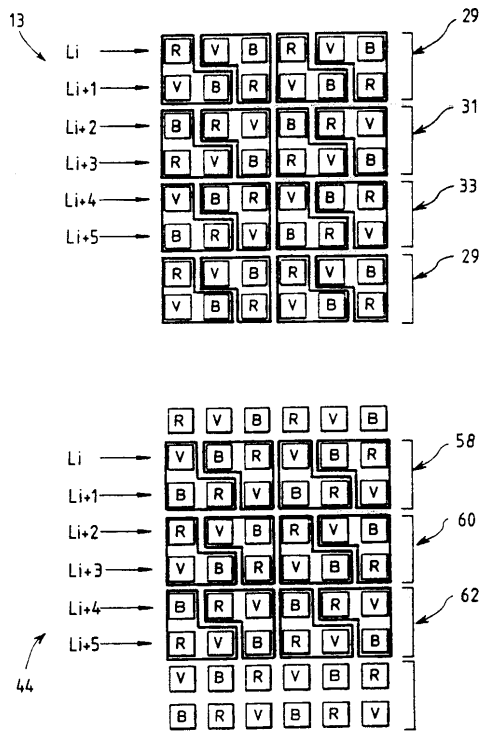


FIG. 6

【図 7 a】

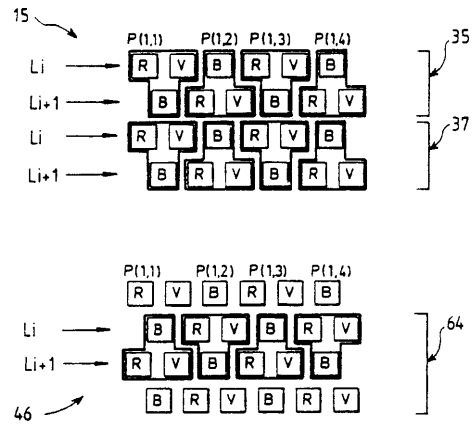


FIG. 7a

【図 7 b】

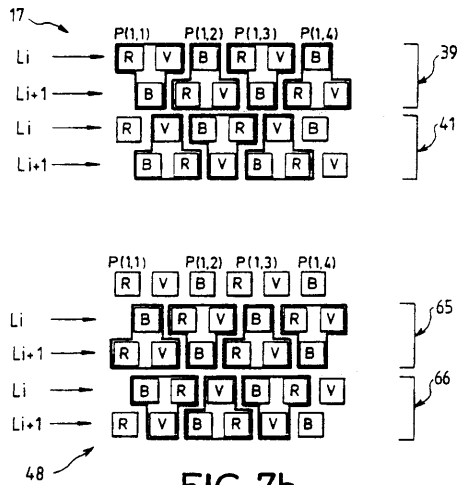


FIG. 7b

【图 8】

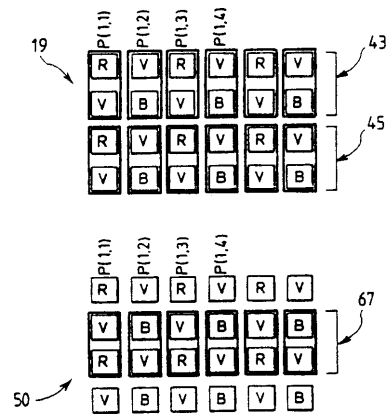


FIG. 8

【図 9】

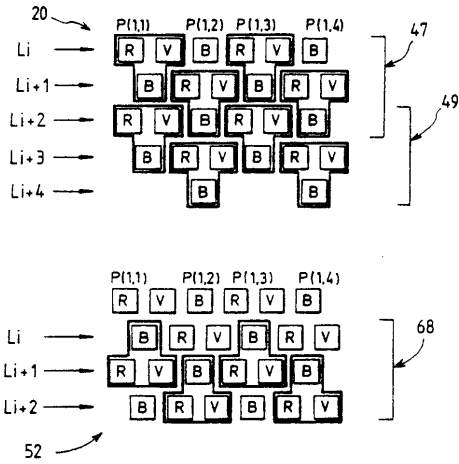


FIG. 9

【図 10】

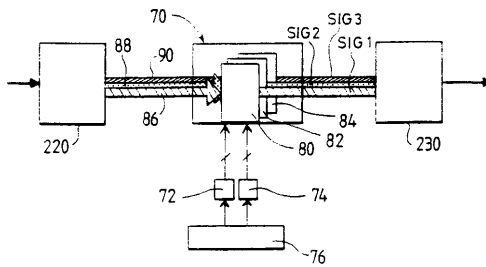


FIG. 10

【図 12】

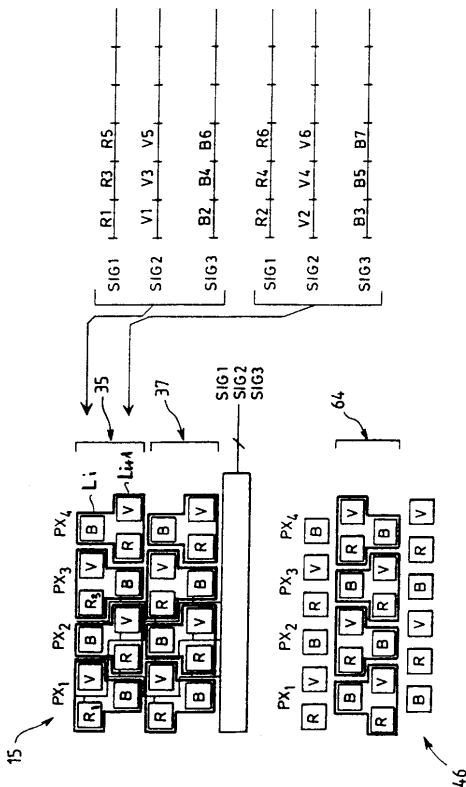


FIG. 12

【図 11】

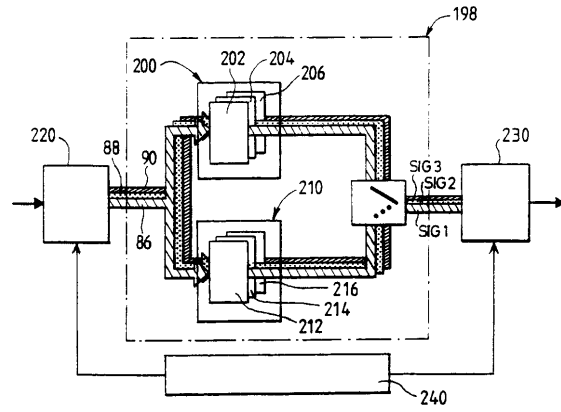


FIG. 11

【図 13】

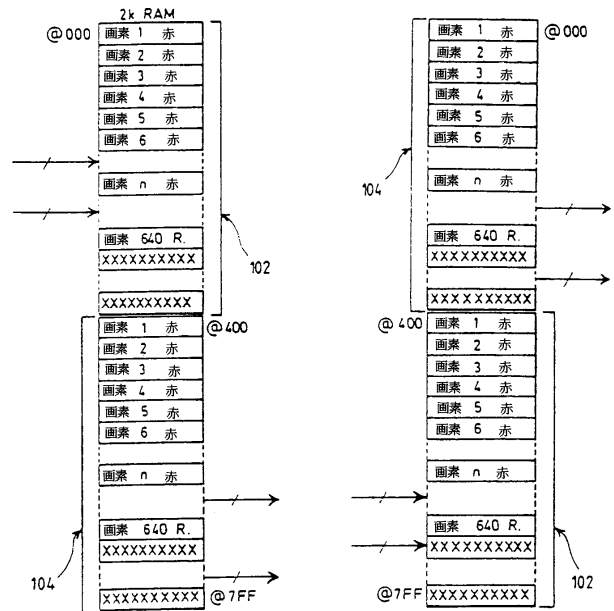


FIG. 13

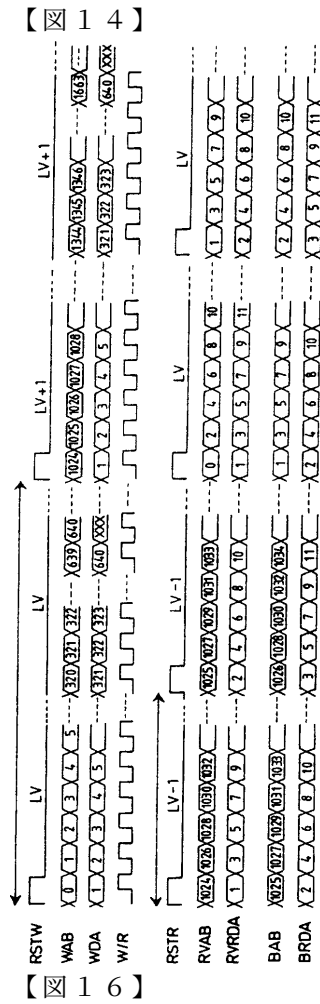


FIG. 14

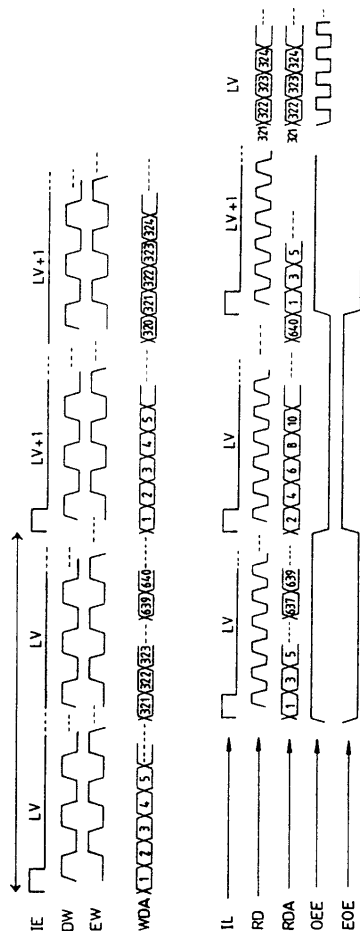


FIG. 16

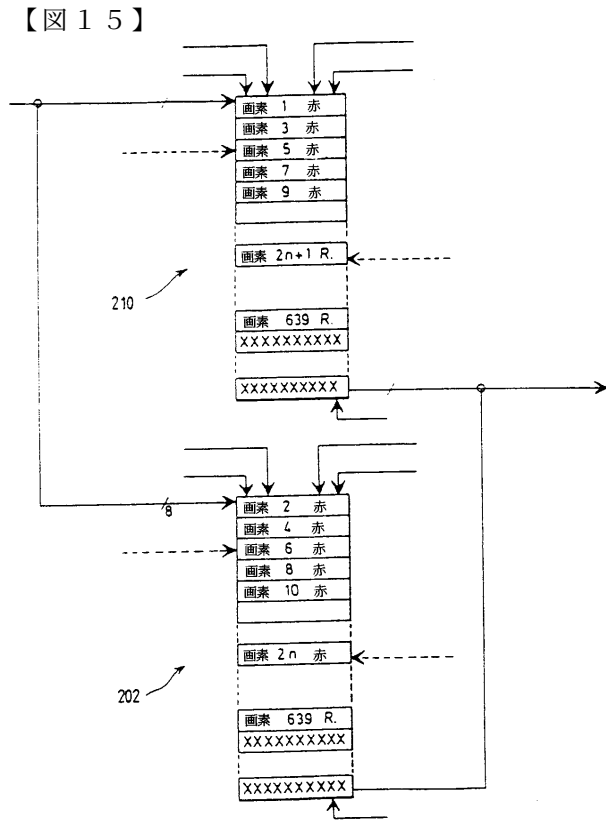


FIG. 15

フロントページの続き

- (72)発明者 アントワーン, デュポン
フランス国, 6 7 0 0 0 ストラスブール, リュ・ドゥ・ラ・パロン・オベルキルシュ 1 0
- (72)発明者 ル リュデック, ブヌワ
フランス国, 3 5 5 1 0 セソンーセビネ, クール・ドゥ・ラ・ヴィランヌ 4 6, セソン・パルク
- (72)発明者 リュロー, ジャンークロード
フランス国, 9 1 7 0 0 セント・ジュヌヴィエーブ・デ・ブワ, リュ・ピュフォン 1 8

審査官 濱本 楨広

- (56)参考文献 特開平03-018894 (JP, A)
特開平02-253787 (JP, A)
特開平05-088642 (JP, A)
特開平07-072826 (JP, A)
特開平01-113793 (JP, A)
特開平02-084685 (JP, A)
特開平02-282723 (JP, A)
特開平09-050265 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G09G 3/00 - 3/38