

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月31日(31.10.2024)



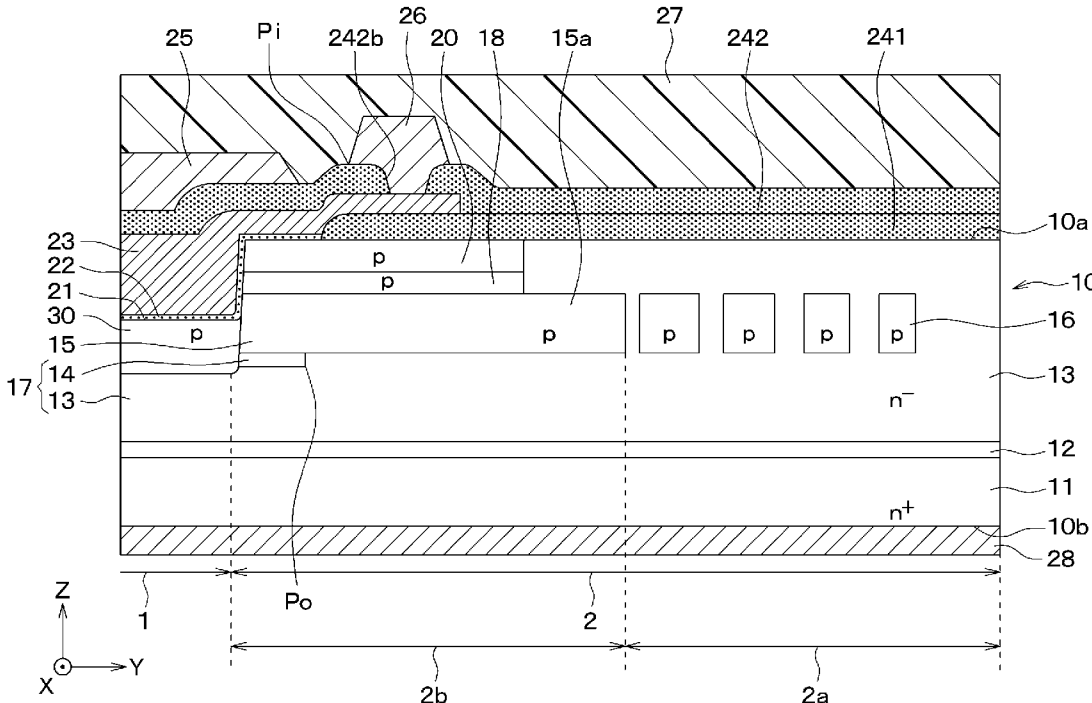
(10) 国際公開番号
WO 2024/225407 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/12* (2006.01)
H01L 21/336 (2006.01) *H01L 29/739* (2006.01)
H01L 29/06 (2006.01)
- (21) 国際出願番号: PCT/JP2024/016352
- (22) 国際出願日: 2024年4月25日(25.04.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-072621 2023年4月26日(26.04.2023) JP
- (71) 出願人: 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).

- (72) 発明者: 片野 拓真 (KATANO Takuma); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP).
- (74) 代理人: 弁理士法人ゆうあい特許事務所 (YOU-I PATENT FIRM); 〒4600008 愛知県名古屋市中区栄二丁目11番7号 伏見大島ビル8階 Aichi (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ,

(54) Title: SILICON CARBIDE SEMICONDUCTOR DEVICE

(54) 発明の名称: 炭化珪素半導体装置



(57) Abstract: In this SiC semiconductor device in which a semiconductor element having a trench gate structure is formed, a first conductivity type JFET layer (14) and a second conductivity type first deep layer (15) are formed in a cell region (1). An outer peripheral end position (Po), which is a terminal position on the outer peripheral side of the cell region in the JFET layer, is made to be closer to the cell region side than an inner peripheral end position (Pi), which is a terminal position on the cell region side in a gate wiring (26).

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

- (57) 要約: トレンチゲート構造の半導体素子が形成されるS i C半導体装置において、セル領域(1)に、第1導電型のJ F E T層(14)と第2導電型の第1ディープ層(15)とを形成する。そして、J F E T層におけるセル領域の外周側の終端位置となる外周終端位置(P o)がゲート配線(26)におけるセル領域側の終端位置となる内周終端位置(P i)よりもセル領域側とされるようにする。

明 細 書

発明の名称：炭化珪素半導体装置

関連出願への相互参照

[0001] 本出願は、2023年4月26日に出願された日本特許出願番号2023-72621号に基づくもので、ここにその記載内容が参照により組み入れられる。

技術分野

[0002] 本開示は、トレンチゲート構造の半導体素子を有する炭化珪素（以下では、SiCともいう）半導体装置に関するものである。

背景技術

[0003] トレンチゲート構造のMOSFETを有するSiC半導体装置では、MOSFETが形成されたセル領域の外周までゲート絶縁膜が延設されるとともにその上にフィールド酸化膜が配置される。そして、セル領域に備えられたMOSFETのゲート電極がセル領域の外周まで配置されたゲート絶縁膜やフィールド絶縁膜上まで延設され、ゲート配線に接続される。

このように構成されるSiC半導体装置では、高速スイッチング時に変位電流が流れることによってゲート絶縁膜などの薄い絶縁膜が破壊され易い。このため、特許文献1では、セル領域のソースコンタクトからゲート絶縁膜とフィールド絶縁膜との境界部となる段差部までの距離を短く設定することで電流経路の距離が短くなるようにしている。これにより、電流経路抵抗が低下し、変位電流に起因するゲート絶縁膜の破壊が抑制されて、スイッチング耐量を向上させられる。

先行技術文献

特許文献

[0004] 特許文献1：特開2015-57850号公報

発明の概要

[0005] しかしながら、特許文献1の構造では、フィールド酸化膜の段差部以外の

箇所ではS i C半導体装置の耐量が律速している場合には、特許文献1の構成としても電流経路抵抗を下げるという効果が得られず、スイッチング耐量を向上させられない。

本開示は、耐量の律速場所にかかわらずスイッチング耐量を向上できるS i C半導体装置を提供することを目的とする。

[0006] 本開示の1つの観点は、トレンチゲート構造の半導体素子が形成されたセル領域と、セル領域を囲む外周に、外周耐圧構造を構成する外周耐圧構造部および外周耐圧構造部とセル領域との間に位置する繋ぎ部が備えられた外周領域と、を有するS i C半導体装置であって、第1導電型または第2導電型のS i Cで構成された基板と、基板の表面上に形成され、基板よりも低不純物濃度とされた第1導電型の第1不純物領域と、を有している。セル領域には、第1不純物領域の表層部に形成され、第1不純物領域よりも高不純物濃度とされた第1導電型のS i CからなるJ F E T層と、第1不純物領域の表層部に形成され、基板の面方向においてJ F E T層と交互に配置された第2導電型のS i Cからなるディープ層と、J F E T層およびディープ層上に形成された第2導電型のS i Cからなるベース層と、ベース層よりも深く一方方向を長手方向として複数本並べられたゲートトレンチの内壁面に形成されたゲート絶縁膜と、ゲートトレンチ内において、ゲート絶縁膜の上に形成されたゲート電極と、を有するトレンチゲート構造と、ベース層の表層部においてトレンチゲート構造と接して形成され、第1不純物領域よりも高不純物濃度とされた第1導電型のS i Cからなる第2不純物領域と、第2不純物領域およびベース層に電氣的に接続される第1電極と、基板の裏面側に配置され、基板と電氣的に接続される第2電極と、を有した半導体素子が構成されている。また、繋ぎ部には、セル領域から延設されており、第1不純物領域の上に形成されたゲート絶縁膜と、セル領域から延設されており、ゲート絶縁膜の上に配置されたゲート電極と、ゲート電極に接続されたゲート配線と、が備えられている。そして、J F E T層におけるセル領域の外周側の終端位置となる外周終端位置がゲート配線におけるセル領域側の終端位置となる内

周終端位置よりもセル領域側とされている。

[0007] このように、特に、ゲート配線の下方ではゲート絶縁膜にかかる電界が大きくなりやすいが、その部分において、J F E T層が形成されないようにし、J F E T層の外周終端位置がゲート配線の内周終端位置よりセル領域側となるようにしている。このような構造とされているため、p n接合を構成するp型層とn型層の不純物濃度が小さくなり、スイッチングの際の電圧急増時に発生する変位電流を小さくできる。したがって、変位電流に起因する電界集中が緩和され、ゲート絶縁膜の破壊を抑制できて、スイッチング耐量を向上させられる。そして、耐量の律速場所にかかわらず、この効果を得ることができる。よって、耐量の律速場所にかかわらずスイッチング耐量を向上できるS i C半導体装置とすることが可能となる。

[0008] 本開示の第2の観点では、J F E T層は、セル領域および繋ぎ部のうちのセル領域側にのみ形成されている。

[0009] このように、セル領域および繋ぎ部のうちのセル領域側にはJ F E T層を形成しているが、その外側にはJ F E T層が形成されていない構造になっている。このため、繋ぎ部のうちの外縁側の部分のp n接合は低濃度層とディープ層とによって構成されることになる。このため、第1の観点の効果を得ることができる。

[0010] 本開示の第3の観点では、J F E T層は、繋ぎ部にも形成されており、該J F E T層のうちゲート配線におけるセル領域側の終端位置となる内周終端位置よりも外側の部分は、第1導電型不純物濃度が第1不純物領域以下になっている。

[0011] このように、繋ぎ部にJ F E T層が形成されていても、ゲート配線の内周終端位置よりも外側において第1導電型不純物濃度を低くすれば、外周領域でのp n接合を構成するp型層とn型層の不純物濃度が低くなる。したがって、時間変化量 dV/dt が小さくなり、変位電流を小さくできるため、スイッチング耐量を向上できて、耐量の律速場所にかかわらずスイッチング耐量を向上できるS i C半導体装置とすることが可能となる。

[0012] なお、各構成要素等に付された括弧付きの参照符号は、その構成要素等と後述する実施形態に記載の具体的な構成要素等との対応関係の一例を示すものである。

図面の簡単な説明

[0013] [図1]第1実施形態にかかるS i C半導体装置の平面図である。

[図2]図1中の領域R AをII方向から見たときの斜視断面図。

[図3]図1中のIII－III線に沿った断面図である。

[図4]図1中のIV－IV線に沿った断面図である。

[図5]外周領域で発生した変位電流について説明した断面図である。

[図6A]第1実施形態のS i C半導体装置の製造工程を示した断面図である。

[図6B]図6 Aに続く製造工程を示した断面図である。

[図6C]図6 Bに続く製造工程を示した断面図である。

[図6D]図6 Cに続く製造工程を示した断面図である。

[図6E]図6 Dに続く製造工程を示した断面図である。

[図7]第2実施形態にかかるS i C半導体装置の断面図である。

[図8A]第2実施形態のS i C半導体装置の製造工程を示した断面図である。

[図8B]図8 Aに続く製造工程を示した断面図である。

[図8C]図8 Bに続く製造工程を示した断面図である。

[図8D]図8 Cに続く製造工程を示した断面図である。

[図8E]図8 Dに続く製造工程を示した断面図である。

発明を実施するための形態

[0014] 以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0015] (第1実施形態)

第1実施形態について、図面を参照しつつ説明する。本実施形態のS i C半導体装置は、図1に示されるように、素子動作するアクティブ領域となるセル領域1と、セル領域1を囲む外周領域2とを有する構成とされている。

[0016] なお、図1中のセル領域1の下方には、SiC半導体装置にセル領域1に備えられる素子の制御用や温度検出用などの各種パッド3が形成されている。

[0017] 外周領域2は、図2に示されるように、外周耐圧構造が構成された外周耐圧構造部に相当するガードリング部2aと、ガードリング部2aよりも内側に配置される繋ぎ部2bとを有する構成とされている。言い換えると、外周領域2は、ガードリング部2aと、セル領域1とガードリング部2aとの間に配置される繋ぎ部2bとを有する構成とされている。

[0018] 以下、セル領域1にトレンチゲート構造の半導体素子としてnチャネルの縦型MOSFETが備えられたSiC半導体装置について、図2～図4を参照しつつ説明する。また、以下では、後述する半導体基板10の面方向における一方向をX軸方向とし、半導体基板の10面方向における一方向と交差する方向をY軸方向とし、X軸方向およびY軸方向と交差する方向をZ軸方向として説明する。ここでは、X軸方向とY軸方向とZ方向を互いに直交した軸としている。また、本実施形態におけるZ軸方向は、後述する半導体基板10の厚さ方向に相当し、後述する基板11と低濃度層13との積層方向にも相当している。Y軸方向は、例えば、 $\langle 11-20 \rangle$ 方向とされる。

[0019] SiC半導体装置は、縦型MOSFETの素子形成がされた半導体基板10を用いて構成されている。半導体基板10は、SiCからなる n^+ 型の基板11に対してSiCで構成される各種半導体層を形成することで構成される。本実施形態では、基板11として、例えば、 (0001) Si面に対して $0 \sim 8^\circ$ のオフ角を有し、窒素やリン等のn型不純物濃度が $1.0 \times 10^{19} / \text{cm}^3$ とされ、厚さが $300 \mu\text{m}$ 程度とされたものが用いられる。縦型MOSFETの場合、基板11は、ドレイン領域を構成するものとなる。

[0020] 基板11の表面上には、必要に応じて、SiCからなるn型のバッファ層12が形成されている。バッファ層12は、基板11の表面にエピタキシャル成長を行うことによって構成される。そして、バッファ層12は、n型不純物濃度が、基板11と、後述する低濃度層13との間の濃度とされ、厚さ

が $1\ \mu\text{m}$ 程度とされている。

[0021] バッファ層12の表面上には、例えば、 n 型不純物濃度が $5.0 \times 10^{15} \sim 2.0 \times 10^{16}/\text{cm}^3$ とされ、厚さが $7 \sim 15\ \mu\text{m}$ 程度とされたSiCからなる n -型の低濃度層13が形成されている。この低濃度層13は、不純物濃度がZ軸方向において一定とされていてもよいが、濃度分布に傾斜が付けられ、低濃度層13のうちの基板11側の方が基板11から離れる側よりも高濃度となるようにされると好ましい。なお、本実施形態では、低濃度層13が第1不純物領域に相当する。

[0022] セル領域1における低濃度層13の表層部には、JFET層14および第1ディープ層15が形成されている。本実施形態では、JFET層14および第1ディープ層15は、それぞれX軸方向に沿って延設されると共に、Y軸方向において交互に繰り返し並べて配置された線状部分を有している。つまり、JFET層14および第1ディープ層15は、基板11の表面に対する法線方向（以下では、単に法線方向ともいう）において、それぞれX軸方向に沿って延設されたストライプ状とされ、それらがY軸方向に沿って交互に並べられたレイアウトとなる構成とされている。なお、基板11の表面に対する法線方向においてとは、言い換えると、基板11の表面に対する法線方向から視たときということもできる。また、基板11の表面に対する法線方向とは、後述するドリフト層17とベース層18との積層方向に沿った方向でもあり、Z軸方向に沿った方向である。

[0023] JFET層14は、低濃度層13よりも高不純物濃度とされた n 型とされており、厚さが $0.3 \sim 1.5\ \mu\text{m}$ とされている。本実施形態では、JFET層14は、 n 型不純物濃度が $5.0 \times 10^{16} \sim 1.0 \times 10^{17}/\text{cm}^3$ 程度とされている。第1ディープ層15は、 p 型不純物濃度が $2.0 \times 10^{17} \sim 2.0 \times 10^{18}/\text{cm}^3$ 程度とされている。

[0024] また、第1ディープ層15については、JFET層14と同じ深さでも、JFET層14より深くもしくは浅くても良いが、本実施形態では第1ディープ層15をJFET層14より浅く形成している。つまり、第1ディープ

層 1 5 は、底部が J F E T 層 1 4 内に位置するように形成されている。言い換えると、第 1 ディープ層 1 5 は、低濃度層 1 3 との間に J F E T 層 1 4 が位置するように形成されている。これにより、第 1 ディープ層 1 5 の間における J F E T 層 1 4 内への空乏層の拡がりを抑制して、オン抵抗低減を図っている。なお、このような J F E T 層 1 4 および第 1 ディープ層 1 5 は、低濃度層 1 3 の表層部に適宜不純物をイオン注入することで形成される。

[0025] 一方、外周領域 2 のうちのガードリング部 2 a における低濃度層 1 3 の表層部には、外周耐圧構造として、セル領域 1 を囲むように、複数本の p 型のガードリング 1 6 が備えられている。本実施形態では、ガードリング 1 6 の上面レイアウトは、法線方向において、四隅が丸められた四角形状や円形状等とされている。

[0026] さらに、外周領域 2 のうちの繋ぎ部 2 b における低濃度層 1 3 の表層部には、p 型の繋ぎ層 1 5 a が備えられている。繋ぎ層 1 5 a は、内縁側がセル領域 1 を囲むように配置され、外縁側がガードリング部 2 a との境界位置まで配置されている。繋ぎ層 1 5 a は、第 1 ディープ層 1 5 を繋ぎ部 2 b まで延設することで形成され、第 1 ディープ層 1 5 と同じ深さ、同じ p 型不純物濃度とされている。

[0027] なお、外周領域 2 のうち繋ぎ部 2 b の一部、具体的には繋ぎ部 2 b のうちのセル領域 1 側には J F E T 層 1 4 が形成されているが、その外側には J F E T 層 1 4 が形成されていない。このため、J F E T 層 1 4 が第 1 ディープ層 1 5 よりも深い位置まで形成されている位置では、繋ぎ層 1 5 a のうちのセル領域 1 側の下方には J F E T 層 1 4 が存在するが、繋ぎ部 2 b のうちの外縁側やガードリング部 2 a 側には J F E T 層 1 4 が存在していない。

[0028] また、セル領域 1 における J F E T 層 1 4 および第 1 ディープ層 1 5 上には、ベース層 1 8、ソース領域 1 9、コンタクト領域 2 0 等が形成されている。

[0029] ベース層 1 8 は、p 型とされ、J F E T 層 1 4 および第 1 ディープ層 1 5 上に形成されている。このため、第 1 ディープ層 1 5 は、ベース層 1 8 と接

続された状態となっている。ベース層 18 は、例えば、p 型不純物濃度が $5.0 \times 10^{16} \sim 2.0 \times 10^{19} / \text{cm}^3$ とされ、厚さが $2.0 \mu\text{m}$ 程度とされている。

[0030] ソース領域 19 は、 n^+ 型とされており、ベース層 18 の表層部に形成されている。コンタクト領域 20 は、 p^+ 型とされており、ベース層 18 の表層部に形成されている。具体的には、ソース領域 19 は、後述するトレンチ 21 の側面に接するように形成されており、コンタクト領域 20 は、ソース領域 19 を挟んで後述するトレンチ 21 と反対側に形成されている。本実施形態では、ソース領域 19 は、表層部における n 型不純物濃度、すなわち表面濃度が例えば $1.0 \times 10^{18} / \text{cm}^3$ とされ、厚さが $0.3 \mu\text{m}$ 程度とされている。コンタクト領域 20 は、表層部における p 型不純物濃度、すなわち表面濃度が例えば $1.0 \times 10^{21} / \text{cm}^3$ とされ、厚さが $0.3 \mu\text{m}$ 程度とされている。なお、本実施形態では、ソース領域 19 が第 2 不純物領域に相当する。

[0031] 外周領域 2 のうちの繋ぎ部 2b における低濃度層 13、JFET 層 14、第 1 ディープ層 15、繋ぎ層 15a 上には、ベース層 18、コンタクト領域 20 および低濃度層 13 の表層部分等が形成されている。繋ぎ部 2b のうちの内縁側では、ベース層 18 およびコンタクト領域 20 が繋ぎ層 15a 上に形成されており、セル領域 1 から延設されている。また、繋ぎ部 2b のうちの外縁側ではベース層 18 およびコンタクト領域 20 が形成されておらず、低濃度層 13 の表層部分が形成されている。つまり、本実施形態では、外周領域 2 におけるベース層 18 およびコンタクト領域 20 は、セル領域 1 から延設されて繋ぎ部 2b のうちの途中まで形成されており、それより外側の繋ぎ部 2b およびガードリング部 2a には形成されていない。また、セル領域 1 と外周領域 2 との境界位置から繋ぎ部 2b の途中までは、繋ぎ部 2b の表層の全面がコンタクト領域 20 とされ、それより外側では繋ぎ部 2b およびガードリング部 2a の表層の全面が低濃度層 13 とされている。

[0032] 本実施形態では、以上のように、基板 11、バッファ層 12、低濃度層 1

3、J F E T層14、第1ディープ層15、ベース層18、ソース領域19、コンタクト領域20等を含んで半導体基板10が構成されている。そして、半導体基板10を構成する各層がS i Cで構成されているため、半導体基板10は、S i Cで構成されているといえる。また、本実施形態では、セル領域1や繋ぎ部2bのうちの内縁側において、半導体基板10の一面10aがソース領域19やコンタクト領域20などで構成され、半導体基板10の他面10bが基板11で構成されている。

[0033] なお、J F E T層14、第1ディープ層15、繋ぎ層15a、ガードリング16、ベース層18、ソース領域19、コンタクト領域20は、本実施形態ではイオン注入で形成されたイオン注入層で構成されている。

[0034] また、セル領域1において、半導体基板10には、ソース領域19やベース層18等を貫通して、一面10a側からJ F E T層14および第1ディープ層15に達するトレンチ21が形成されている。トレンチ21は、ゲートトレンチに相当し、底面がJ F E T層14および第1ディープ層15内に位置する深さとされ、幅が例えば0.4~0.8 μ mとされている。

[0035] また、トレンチ21は、Y軸方向に沿って延びるように複数本が延設されると共に、図3に示すようにX軸方向において間隔B1ずつ空けて等間隔で並べられてストライプ状となるように形成されている。つまり、本実施形態では、トレンチ21は、長手方向が第1ディープ層15の長手方向と直交するように形成されている。

[0036] トレンチ21の底部には、トレンチ21の底面と接するように、電界緩和層となる第2ディープ層30が形成されている。本実施形態では、第2ディープ層30は、第1ディープ層15よりも低不純物濃度のp型層によって構成されている。具体的には、第2ディープ層30は、トレンチ21の長手方向に沿って形成されている。つまり、第2ディープ層30は、第1ディープ層15と交差するY軸方向に沿って延設されている。また、本実施形態の第2ディープ層30は、J F E T層14および第1ディープ層15を貫通して底面が低濃度層13に達するように形成されている。

- [0037] 第2ディープ層30をトレンチ21の底面に沿って形成することで、トレンチ21の底部に位置するゲート絶縁膜22への電界の侵入を抑制でき、酸化膜破壊を抑制できる。また、第2ディープ層30をトレンチ21の底面と接するように形成することで、ゲート電極23と下部電極28との間の静電容量、すなわち帰還容量を小さくでき、スイッチング速度を向上できる。さらに、第2ディープ層30をJFET層14および第1ディープ層15を貫通して底面が低濃度層13に達するように形成しているため、第2ディープ層30間に配置されるJFET層14への電界の這い上がりが抑制され、耐圧を向上できる。加えて、過電圧が印加された際に下方に突出する第2ディープ層30でブレークダウンが発生し易くなるため、セル領域1でブレークダウンが発生させ易くなり、アバランシェ耐量の向上を図ることができる。
- [0038] なお、第2ディープ層30は、Y軸方向に沿って複数に分断されて形成されていてもよい。但し、第2ディープ層30は、第1ディープ層15を介してベース層18と電氣的に接続されるように形成されている。
- [0039] また、トレンチ21には、内壁面にゲート絶縁膜22が形成され、ゲート絶縁膜22上には、ドーパドPoly-Si等によって構成されるゲート電極23が形成されている。これにより、トレンチゲート構造が構成されている。特に限定されるものではないが、ゲート絶縁膜22は、トレンチ21の内壁面を熱酸化する、またはCVD（chemical vapor depositionの略）法で絶縁膜を成膜することで形成される。ゲート絶縁膜22は、厚さがトレンチ21の側面側および底面側で共に100nm程度とされている。
- [0040] ゲート絶縁膜22は、トレンチ21の内壁面に加えて半導体基板10の一面10aにも形成されている。そして、セル領域1において、ゲート絶縁膜22には、コンタクトホール22aが形成され、ソース領域19およびコンタクト領域20が露出させられている。
- [0041] 半導体基板10の一面10a上には、セル領域1の外縁を囲むようにフィールド酸化膜241が形成され、さらにゲート電極23やゲート絶縁膜22およびフィールド酸化膜241等を覆うように、層間絶縁膜242が形成さ

れている。層間絶縁膜 242 は、BPSG (Borophosphosilicate Glass の略) 等で構成されている。なお、図 2 では、半導体基板 10 の一面 10a より上方に位置する側に位置するフィールド酸化膜 241 や層間絶縁膜 242 等を省略してある。

[0042] 図 3 に示すように、層間絶縁膜 242 には、セル領域 1 において、コンタクトホール 22a と連通してソース領域 19 やコンタクト領域 20 を露出させるコンタクトホール 242a が形成されている。また、図 4 に示すように、層間絶縁膜 242 には、ゲート電極 23 のうちの繋ぎ部 2b まで延設された部分を露出させるコンタクトホール 242b が形成されている。

[0043] 層間絶縁膜 242 上には、コンタクトホール 22a およびコンタクトホール 242a を通じてソース領域 19 およびコンタクト領域 20 と電氣的に接続される上部電極 25 が形成されている。上部電極 25 は、外部との電氣的な接続が行えるようになっている。本実施形態では、上部電極 25 が第 1 電極に相当している。また、層間絶縁膜 242 上には、コンタクトホール 242b を通じてゲート電極 23 と電氣的に接続されるゲート配線 26 が形成されている。ゲート配線 26 は、図 1 中には示していないが、セル領域 1 の外縁部分に沿って形成されており、例えば図 1 に示した四角形のチップとされた SiC 半導体装置のうちの右側と左側および下側の各辺に沿って形成されている。

[0044] 上記したように JFET 層 14 は、セル領域 1 および繋ぎ部 2b のうちのセル領域 1 側にのみ形成されているが、ゲート配線 26 の下方には配置されないようにしている。つまり、つまり、図 4 に示す JFET 層 14 のうちセル領域 1 の外周側に位置する外周終端位置 P_o がゲート配線 26 のうちセル領域 1 側に位置する内周終端位置 P_i よりセル領域 1 側となるようにしている。そして、内周終端位置 P_i より外側は、繋ぎ層 15a が形成されているか、低濃度層 13 となるようにしている。

[0045] 本実施形態の上部電極 25 は、例えば、Ni / Al 等の複数の金属にて構成されている。そして、複数の金属のうちの n 型 SiC、すなわちソース領

域 19 を構成する部分と接触する部分は、 n 型 SiC とオーミック接触可能な金属で構成されている。また、複数の金属のうちの少なくとも p 型 SiC、すなわちコンタクト領域 20 と接触する部分は、 p 型 SiC とオーミック接触可能な金属で構成されている。なお、ゲート配線 26 は、上部電極 25 と同様の構成とされていてもよいし、Al-Si 等で構成されていてもよい。

[0046] さらに、繋ぎ部 2b およびガードリング部 2a を覆うように、ポリイミド等によって構成される保護膜 27 が形成されている。本実施形態では、保護膜 27 は、上部電極 25 と後述する下部電極 28 との間で沿面放電が発生することを抑制するため、外周領域 2 からセル領域 1 の外縁部上まで形成されている。具体的には、保護膜 27 は、セル領域 1 において、上部電極 25 のうちの外周領域 2 側の部分を覆いつつ、上部電極 25 のうちの内縁側の部分を露出させるように形成されている。

[0047] 半導体基板 10 の他面 10b 側には、基板 11 と電氣的に接続される下部電極 28 が形成されている。なお、本実施形態では、下部電極 28 が第 2 電極に相当している。

[0048] 本実施形態の SiC 半導体装置では、このような構造により、 n チャネルタイプの反転型であるトレンチゲート構造の MOSFET が形成されている。

[0049] 以上が本実施形態における SiC 半導体装置の構成である。なお、本実施形態では、 n^- 型、 n 型、 n^+ 型が第 1 導電型に相当しており、 p 型、 p^+ 型が第 2 導電型に相当している。次に、上記 SiC 半導体装置の作動について説明する。

[0050] まず、上記 SiC 半導体装置は、ゲート電極 23 にゲート電圧が印加される前のオフ状態では、ベース層 18 に反転層が形成されない。このため、下部電極 28 に正の電圧、例えば 1600V が印加されたとしても、ソース領域 19 からベース層 18 内に電子が流れず、上部電極 25 と下部電極 28 との間には電流が流れない。

[0051] また、ゲート電極 2 3 にゲート電圧が印加される前の状態では、ドレイン-ゲート間に電界がかかり、ゲート絶縁膜 2 2 の底部に電界集中が発生し得る。しかしながら、上記 S i C 半導体装置では、トレンチ 2 1 よりも深い位置に、第 1 ディープ層 1 5 および J F E T 層 1 4 が備えられている。このため、第 1 ディープ層 1 5 および J F E T 層 1 4 との間に構成される空乏層により、ドレイン電圧の影響による等電位線のせり上がりが抑制され、高電界がゲート絶縁膜 2 2 に入り込み難くなる。さらに、トレンチ 2 1 の底部に電界緩和層となる第 2 ディープ層 3 0 が備えられているため、より高電界がゲート絶縁膜 2 2 に入り込み難くなる。したがって、本実施形態では、ゲート絶縁膜 2 2 が破壊されることを抑制できる。

[0052] また、ゲート電極 2 3 に所定のゲート電圧が印加されると、ベース層 1 8 のうちのトレンチ 2 1 に接している表面にチャネルが形成される。このため、上部電極 2 5 から注入された電子は、ソース領域 1 9 からベース層 1 8 に形成されたチャネルを通った後、J F E T 層 1 4 を通過して低濃度層 1 3 に流れ、その後にドレイン層としての基板 1 1 を通過して下部電極 2 8 へ流れる。これにより、上部電極 2 5 と下部電極 2 8 との間に電流が流れ、S i C 半導体装置がオン状態となる。なお、本実施形態では、チャネルを通過した電子が J F E T 層 1 4 および低濃度層 1 3 を通過して基板 1 1 へ流れるため、J F E T 層 1 4 および低濃度層 1 3 を有するドリフト層 1 7 が構成されているといえる。

[0053] ここで、上記したように、J F E T 層 1 4 をセル領域 1 および繋ぎ部 2 b のうちのセル領域 1 側にしか配置せずに、それよりも外側には配置しないようにしている。このような構成にすることで、ゲート電圧の印加に基づいて縦型 M O S F E T をオンオフさせる際のスイッチング耐量を向上できる。以下、このスイッチング耐量について説明する。

[0054] 図 5 は、J F E T 層 1 4 をセル領域 1 だけでなく繋ぎ部 2 b などにも形成した場合を想定した比較例を示している。図 5 は、隣り合うトレンチゲート構造同士の間、つまりトレンチゲート構造ではない位置において、トレンチ

ゲート構造の長手方向となるY方向に沿ってSiC半導体装置を切断した断面での変位電流A1の様子を示している。

[0055] 縦型MOSFETの高速スイッチング時には、図5中の破線矢印で示すように変位電流A1が流れる。すなわち、外周領域2では、下部電極28から基板11、低濃度層13およびJFET層14を通して繋ぎ層15aに進む。そこから、ベース層18およびコンタクト領域20に至り、コンタクト領域20内において半導体基板10の面方向に移動しながら上部電極25に変位電流A1が流れる。このときの変位電流A1は、スイッチング時に発生する高電圧の時間変化量 dV/dt に比例する。そして、外周領域2でのpn接合を構成するp型層とn型層の不純物濃度が高いほどソースドレイン間容量が大きくなるために時間変化量 dV/dt が大きくなり、変位電流A1が大きくなる。図5に示す比較例のように繋ぎ部2bにJFET層14が形成されている場合、pn接合がJFET層14と繋ぎ層15aとによって構成されることになり、不純物濃度が大きくなる。このため、変位電流A1が大きくなって、電界集中が生じると薄いゲート絶縁膜22が破壊され、スイッチング耐量が得られなくなる。特に、図中に示したゲート絶縁膜22とフィールド酸化膜241との境界位置RBにおいて絶縁破壊が生じる。

[0056] これに対して、本実施形態のように繋ぎ部2bのうちの少なくとも外縁側にJFET層14を備えないようにすれば、その部分のpn接合は低濃度層13と第1ディープ層15とによって構成されることになる。このような構造とされているため、本実施形態の場合、比較例と比べてpn接合を構成するp型層とn型層の不純物濃度が小さくなり、スイッチングの際の電圧急増時に発生する変位電流A1を小さくできる。このため、変位電流A1に起因する電界集中が緩和され、ゲート絶縁膜22の破壊を抑制できて、スイッチング耐量を向上させられる。

[0057] 特に、ゲート配線26の下方ではゲート絶縁膜22にかかる電界が大きくなりやすい。このため、ゲート配線26の下方において、JFET層14が形成されないようにし、JFET層14のうちのセル領域1の外周側の終端

位置となる外周終端位置 P_o がゲート配線 26 の内周終端位置 P_i よりもセル領域 1 側となるようにするよい。このような構造にすると、よりゲート絶縁膜 22 の破壊を抑制できて、スイッチング耐量を向上させられる。

[0058] 続いて、本実施形態の S_iC 半導体装置の製造方法について図 6A～図 6E を参照して説明する。なお、図 6A～図 6E は、図 4 のうちのセル領域 1 と繋ぎ部 2b の断面に相当する製造工程を示している。

[0059] まず、図 6A に示すように、基板 11 を用意したのち、基板 11 の一面側にバッファ層 12 および低濃度層 13 をエピタキシャル成長させる。そして、低濃度層 13 の表面に JFET 層 14 と対応する部分が開口した図示しないマスクを配置したのち n 型不純物をイオン注入して JFET 層 14 を形成する。

[0060] 続いて、再び第 1 ディープ層 15 と対応する部分が開口した図示しないマスクを形成したのち p 型不純物をイオン注入して、図 6B に示すように第 1 ディープ層 15 を形成する。このとき、第 1 ディープ層 15 となる部分まで JFET 層 14 が形成されているが、p 型不純物のドーズ量を多くすることで p 型に打ち返して第 1 ディープ層 15 を形成できる。また、ベース層 18 と対応する部分が開口した図示しないマスクを形成したのち、p 型不純物をイオン注入してベース層 18 を形成する。さらに、コンタクト領域 20 と対応する部分が開口したマスクを用いて p 型不純物を更にイオン注入してベース層 18 の上にコンタクト領域 20 を形成する。

[0061] この後、ソース領域 19 と対応する部分が開口した図示しないマスクを形成したのち n 型不純物をイオン注入して、図 6C に示すようにソース領域 19 を形成する。このとき、ソース領域 19 となる部分までコンタクト領域 20 が形成されているが、n 型不純物のドーズ量を多くすることで n 型に打ち返してソース領域 19 を形成できる。

[0062] 次に、図 6D に示すようにトレンチ 21 と対応する部分が開口するマスク 50 を配置したのち、ドライエッチングによりトレンチ 21 を形成する。また、同じマスク 50 を用いて p 型不純物をイオン注入し、トレンチ 21 の底

部に第2ディープ層30を形成する。

[0063] 続いて、図6Eに示すように、熱酸化もしくはCVDによってゲート絶縁膜22を形成したのち、ドーパドポリシリコンの成膜およびパターニングによってゲート電極23を形成する。さらに、フィールド酸化膜241や層間絶縁膜242の形成工程を行ったのち、層間絶縁膜242に対してコンタクトホール242a、242bを形成する。その後は、上部電極25やゲート配線26の形成工程、保護膜27の形成工程、基板11の裏面側への下部電極28の形成工程を従来から行われている工程で実施する。これにより、本実施形態にかかるSiC半導体装置が完成する。

[0064] このようにして形成したSiC半導体装置は、繋ぎ部2bのうちのセル領域1側にはJFET層14が形成されているが、その外側にはJFET層14が形成されていない構造になる。また、JFET層14が繋ぎ部2bのうちのゲート配線26の下方には配置されず、ゲート配線26よりもセル領域1側のみに配置された構造になる。

[0065] 以上説明したように、本実施形態のSiC半導体装置では、繋ぎ部2bのうちのセル領域1側にはJFET層14を形成しつつも、その外側にはJFET層14が形成されないようにしている。このため、繋ぎ部2bのうちの外縁側の部分のpn接合は低濃度層13と第1ディープ層15とによって構成されることになる。このような構造とされているため、pn接合を構成するp型層とn型層の不純物濃度が小さくなり、スイッチングの際の電圧急増時に発生する変位電流A1を小さくできる。したがって、変位電流A1に起因する電界集中が緩和され、ゲート絶縁膜22の破壊を抑制できて、スイッチング耐量を向上させられる。そして、耐量の律速場所にかかわらず、この効果を得ることができる。よって、耐量の律速場所にかかわらずスイッチング耐量を向上できるSiC半導体装置とすることが可能となる。また、スイッチング耐量を向上させられるため、縦型MOSFETのスイッチングの高速化を実現できる。

[0066] 特に、ゲート配線26の下方ではゲート絶縁膜22にかかる電界が大きく

なりやすいが、その部分において、J F E T 層 1 4 が形成されないようにし、J F E T 層 1 4 の外周終端位置 P o がゲート配線 2 6 の内周終端位置 P i よりセル領域 1 側となるようにしている。このため、よりゲート絶縁膜 2 2 の破壊を抑制できて、スイッチング耐量を向上させられる。

[0067] また、特許文献 1 のように、電流経路の距離を短くすると、ソースコンタクトやフィールド酸化膜、トレンチなどの構造物の端部が密集するが、各構成を精度よく製造するのが難しく、製造プロセスが不安定になって、歩留まりを低下させる。これに対し、本実施形態の構成によれば、電流経路の距離にかかわらずスイッチング耐量を向上できるため、歩留まりの低下も抑制できる。

[0068] さらに、J F E T 層 1 4 の形成位置をセル領域 1 および繋ぎ部 2 b のうちのセル領域 1 側に限定するだけでスイッチング耐量の向上が図れるため、従来の製造方法に対して J F E T 層 1 4 の形成用マスクを変更するだけで良い。このため、製造工程の簡略化を図ることが可能となる。

[0069] (第 2 実施形態)

第 2 実施形態について説明する。本実施形態は、第 1 実施形態に対して J F E T 層 1 4 の形成範囲などを変更したものであり、その他については第 1 実施形態と同様であるため、第 1 実施形態と異なる部分についてのみ説明する。

[0070] 第 1 実施形態では、セル領域 1 や繋ぎ部 2 b のうちのセル領域 1 側に J F E T 層 1 4 を形成していたが、本実施形態では、J F E T 層 1 4 の形成範囲をセル領域 1 のみとしている。

[0071] また、第 1 実施形態では、J F E T 層 1 4 やソース領域 1 9 を形成するためのイオン注入層の形成範囲についてはそれぞれで設定していた。これに対して、本実施形態では、基板 1 1 の表面に対する法線方向において、J F E T 層 1 4 やソース領域 1 9 を形成するためのイオン注入層の形成範囲を揃えるようにしている。

[0072] 具体的には、図 7 に示すように、J F E T 層 1 4 がセル領域 1 のみに形成

されており、繋ぎ部 2 b を含む外周領域 2 には J F E T 層 1 4 が形成されていない。そして、J F E T 層 1 4 を形成する際のイオン注入層の形成範囲がセル領域 1 のみとなるようにしている。また、後述する図 8 B に示すように、ソース領域 1 9 を形成する際の n 型不純物のイオン注入範囲を J F E T 層 1 4 の形成範囲と同じとしている。

[0073] なお、J F E T 層 1 4 を形成するためのイオン注入層の形成範囲とは、基板 1 1 の法線方向から見て J F E T 層 1 4 を形成する際に n 型不純物のイオン注入が行われるすべての範囲を意味している。この範囲には、p 型不純物の打ち返しによって p 型の第 1 ディープ層 1 5 となる部分も含まれる。また、ソース領域 1 9 を形成する際のイオン注入層の形成範囲とは、基板 1 1 の法線方向から見てソース領域 1 9 を形成する際に n 型不純物のイオン注入が行われるすべての範囲を意味している。この範囲にも、p 型不純物の打ち返しによって p 型のコンタクト領域 2 0 となる部分も含まれる。また、イオン注入層の形成範囲を揃えとは、同じであることが好ましいが、同じ形成範囲になることを狙って製造されていることを意味し、製造誤差が含まれていても構わない。また、図 7 中に示した一点鎖線は、ソース領域 1 9 を形成する際の n 型不純物のイオン注入範囲を示している。

[0074] このように、J F E T 層 1 4 とソース領域 1 9 を形成する際のイオン注入層の形成範囲を揃えると、J F E T 層 1 4 やソース領域 1 9 をイオン注入で形成する場合のイオン注入用マスクを共通化させられる。図 8 A ～図 8 E を参照して、本実施形態にかかる S i C 半導体装置の製造方法について説明する。なお、図 8 A ～図 8 E は、図 4 のうちのセル領域 1 と繋ぎ部 2 b の断面に相当する製造工程を示している。

[0075] まず、図 8 A に示す工程では、図 6 A と同様に基板 1 1 の上にバッファ層 1 2 および低濃度層 1 3 を形成したのち、J F E T 層 1 4 を形成する。このとき、低濃度層 1 3 の表面に J F E T 層 1 4 と対応する部分が開口したマスク 5 1 を配置したのち n 型不純物をイオン注入して J F E T 層 1 4 を形成することで、セル領域 1 のみにイオン注入が行われるようにする。続いて、図

8 Bに示すように、J F E T層 1 4の形成時に使用したマスク 5 1をそのまま用いて、n型不純物をイオン注入してソース領域 1 9を形成する。なお、J F E T層 1 4とソース領域 1 9の形成については、イオン注入エネルギーを変えることで注入深さを異ならせている。

[0076] 続いて、図 8 Cに示す工程では、図 6 Cと同様の工程を行うことで第 1 ディープ層 1 5、ベース層 1 8およびコンタクト領域 2 0を形成する。コンタクト領域 2 0を形成する際には、ソース領域 1 9がコンタクト領域 2 0となる部分まで形成された状態になっているが、p型不純物のドーズ量を多くすることでp型に打ち返してコンタクト領域 2 0を形成できる。

[0077] さらに、図 8 Dに示す工程として図 6 Dと同様の工程を行うことでトレンチ 2 1を形成したのち第 2 ディープ層 3 0を形成する。さらに、図 8 Eに示す工程として図 6 Eと同様の工程を行うことで、ゲート絶縁膜 2 2の形成工程、ゲート電極 2 3の形成工程、フィールド酸化膜 2 4 1や層間絶縁膜 2 4 2の形成工程、層間絶縁膜 2 4 2へのコンタクトホール 2 4 2 a、2 4 2 bの形成工程を行う。その後、上部電極 2 5やゲート配線 2 6の形成工程、保護膜 2 7の形成工程、基板 1 1の裏面側への下部電極 2 8の形成工程を実施する。これにより、本実施形態にかかるS i C半導体装置が完成する。

[0078] 以上説明したように、本実施形態では、J F E T層 1 4やソース領域 1 9を形成するためのイオン注入層の形成範囲を揃えるようにしている。これにより、J F E T層 1 4やソース領域 1 9のイオン注入用マスクを共用でき、製造工程の簡略化、製造コスト削減を図ることが可能となる。

[0079] (他の実施形態)

本開示は、実施形態に準拠して記述されたが、本開示は当該実施形態や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

[0080] 例えば、上記各実施形態では、繋ぎ部 2 bにおいて、低濃度層 1 3の表層

部にベース層 18 やコンタクト領域 20 を備える構造とされているが、これらの一方もしくは双方が繋ぎ部 2b に備えられていない構造とされていても良い。ベース層 18 をセル領域 1 のみに形成する場合、第 2 実施形態のように J F E T 層 14 やソース領域 19 のイオン注入用マスクを用いてベース層 18 を形成することもできる。このようにすれば、J F E T 層 14 やソース領域 19 に加えてベース層 18 のイオン注入用マスクについても共用できるため、さらに製造工程の簡略化、製造コスト削減を図ることが可能となる。

[0081] 上記第 1 実施形態では、繋ぎ部 2b のうち、J F E T 層 14 の外周終端位置 P o がゲート配線 26 の内周終端位置 P i よりセル領域 1 側となるようにし、それより外側は、繋ぎ層 15a が形成されているか、低濃度層 13 になっている。つまり、ゲート配線 26 の内周終端位置 P i よりも外側において、J F E T 層 14 を形成していない。これに対して、ゲート配線 26 の内周終端位置 P i よりも外側にも J F E T 層 14 を形成しつつ、その部分の n 型不純物濃度が低濃度層 13 以下となるようにしても良い。このように、J F E T 層 14 が形成されていても、ゲート配線 26 の内周終端位置 P i よりも外側において n 型不純物濃度を低くすれば、外周領域 2 での p n 接合を構成する p 型層と n 型層の不純物濃度が低くなり、ソースドレイン間容量を低減できる。したがって、第 1 実施形態と同様の効果を得ることができる。

[0082] また、上記実施形態において、第 2 ディープ層 30 の底面を浅くし、J F E T 層 14 および第 1 ディープ層 15 内に位置するようにしてもよい。つまり、第 2 ディープ層 30 は、低濃度層 13 に達しないように形成されていてもよい。これによれば、第 2 ディープ層 30 から空乏層が伸び難くなるため、オン抵抗の低減を図ることができる。

[0083] また、上記第 1 実施形態において、J F E T 層 14、第 1 ディープ層 15、ベース層 18 やコンタクト領域 20 もしくはソース領域 19 についてイオン注入で形成した。これらのうちの一部もしくは全部がエピタキシャル成長によって形成したエピタキシャル層で構成されていてもよい。

[0084] また、上記実施形態では、J F E T 層 14 および第 1 ディープ層 15 の表

面にベース層 18 を形成したが、これらの間に低濃度層 13 よりも n 型不純物濃度が高くされた n 型の電流分散層を形成しても良い。その場合、電流分散層に加えて、トレンチ 21 の両側に p 型の連結層を形成し、これら電流分散層や連結層の上にベース層 18 が形成されるようにしても良い。この場合、連結層を通じて第 1 ディープ層 15 とベース層 18 とが連結される構造になる。また、低濃度層 13、J F E T 層 14、および電流分散層が繋がり、これらによってドリフト層 17 が構成されることになる。このような構造とする場合も、第 2 ディープ層 30 については、第 1 ディープ層 15 より深くまで形成されていても良いし、第 1 ディープ層 15 の厚み内となる深さで形成されていても良い。

[0085] また、上記実施形態では、セル領域 1 に備える半導体素子として、第 1 導電型を n 型、第 2 導電型を p 型とした n チャネルタイプのトレンチゲート構造の縦型 M O S F E T を例に挙げた。しかしながら、これは一例を挙げたに過ぎず、例えば n チャネルタイプに対して各構成要素の導電型を反転させた p チャネルタイプのトレンチゲート構造の縦型 M O S F E T としてもよい。さらに、縦型 M O S F E T ではなく、同様の構造の縦型 I G B T としてもよい。I G B T の場合、上記各実施形態における基板 11 の導電型を n 型から p 型に変更する以外は、上記実施形態で説明した縦型 M O S F E T と同様である。

[0086] なお、結晶の方位を示す場合、本来ならば所望の数字の上にバー（ $\bar{}$ ）を付すべきであるが、電子出願に基づく表現上の制限が存在するため、本明細書においては、所望の数字の前にバーを付してある。

請求の範囲

[請求項1]

トレンチゲート構造の半導体素子が形成されたセル領域（１）と、前記セル領域を囲む外周に、外周耐压構造（１６）を構成する外周耐压構造部（２ａ）および前記外周耐压構造部と前記セル領域との間に位置する繋ぎ部（２ｂ）が備えられた外周領域（２）と、を有する炭化珪素半導体装置であって、

第１導電型または第２導電型の炭化珪素で構成された基板（１１）と、

前記基板の上に形成され、前記基板よりも低不純物濃度とされた第１導電型の第１不純物領域（１３）と、を有し、

前記セル領域には、

前記第１不純物領域の表層部に形成され、前記第１不純物領域よりも高不純物濃度とされた第１導電型の炭化珪素からなるＪＦＥＴ層（１４）と、

前記第１不純物領域の表層部に形成され、前記基板の面方向において前記ＪＦＥＴ層と交互に配置された第２導電型の炭化珪素からなるディープ層（１５）と、

前記ＪＦＥＴ層および前記ディープ層上に形成された第２導電型の炭化珪素からなるベース層（１８）と、

前記ベース層よりも深く一方向を長手方向として複数本並べられたゲートトレンチ（２１）の内壁面に形成されたゲート絶縁膜（２２）と、前記ゲートトレンチ内において、前記ゲート絶縁膜の上に形成されたゲート電極（２３）と、を有するトレンチゲート構造と、

前記ベース層の表層部において前記トレンチゲート構造と接して形成され、前記第１不純物領域よりも高不純物濃度とされた第１導電型の炭化珪素からなる第２不純物領域（１９）と、

前記第２不純物領域および前記ベース層に電氣的に接続される第１電極（２５）と、

前記基板の裏面側に配置され、前記基板と電氣的に接続される第2電極（28）と、を有した前記半導体素子が構成され、

前記繋ぎ部には、

前記セル領域から延設されており、前記第1不純物領域の上に形成された前記ゲート絶縁膜と、

前記セル領域から延設されており、前記ゲート絶縁膜の上に配置された前記ゲート電極と、

前記ゲート電極に接続されたゲート配線（26）と、が備えられ、

前記JFET層における前記セル領域の外周側の終端位置となる外周終端位置（Po）が前記ゲート配線における前記セル領域側の終端位置となる内周終端位置（Pi）よりも前記セル領域側とされている、炭化珪素半導体装置。

[請求項2] 前記JFET層は、前記セル領域にのみ形成されている、請求項1に記載の炭化珪素半導体装置。

[請求項3] 前記基板の表面に対する法線方向において、前記JFET層を形成するためのイオン注入層の形成範囲と前記第2不純物領域を形成するためのイオン注入層の形成範囲が揃っている、請求項1または2に記載の炭化珪素半導体装置。

[請求項4] 前記基板の表面に対する法線方向において、前記JFET層を形成するためのイオン注入層の形成範囲と前記第2不純物領域を形成するためのイオン注入層の形成範囲、および、前記ベース層を形成するためのイオン注入層の形成範囲が揃っている、請求項1または2に記載の炭化珪素半導体装置。

[請求項5] トレンチゲート構造の半導体素子が形成されたセル領域（1）と、前記セル領域を囲む外周に、外周耐压構造（16）を構成する外周耐压構造部（2a）および前記外周耐压構造部と前記セル領域との間に位置する繋ぎ部（2b）が備えられた外周領域（2）と、を有する炭化珪素半導体装置であって、

第1導電型または第2導電型の炭化珪素で構成された基板（11）と、

前記基板の上に形成され、前記基板よりも低不純物濃度とされた第1導電型の第1不純物領域（13）と、を有し、

前記セル領域には、

前記第1不純物領域の表層部に形成され、前記第1不純物領域よりも高不純物濃度とされた第1導電型の炭化珪素からなるJFET層（14）と、

前記第1不純物領域の表層部に形成され、前記基板の面方向において前記JFET層と交互に配置された第2導電型の炭化珪素からなるディープ層（15）と、

前記JFET層および前記ディープ層上に形成された第2導電型の炭化珪素からなるベース層（18）と、

前記ベース層よりも深く一方向を長手方向として複数本並べられたゲートトレンチ（21）の内壁面に形成されたゲート絶縁膜（22）と、前記ゲートトレンチ内において、前記ゲート絶縁膜の上に形成されたゲート電極（23）と、を有するトレンチゲート構造と、

前記ベース層の表層部において前記トレンチゲート構造と接して形成され、前記第1不純物領域よりも高不純物濃度とされた第1導電型の炭化珪素からなる第2不純物領域（19）と、

前記第2不純物領域および前記ベース層に電氣的に接続される第1電極（25）と、

前記基板の裏面側に配置され、前記基板と電氣的に接続される第2電極（28）と、を有した前記半導体素子が構成され、

前記繋ぎ部には、

前記セル領域から延設されており、前記第1不純物領域の上に形成された前記ゲート絶縁膜と、

前記セル領域から延設されており、前記ゲート絶縁膜の上に配置さ

れた前記ゲート電極と、

前記ゲート電極に接続されたゲート配線（２６）と、が備えられ、
前記ＪＦＥＴ層は、前記セル領域および前記繋ぎ部のうちの前記セル領域側にのみ形成されている、炭化珪素半導体装置。

[請求項６]

トレンチゲート構造の半導体素子が形成されたセル領域（１）と、
前記セル領域を囲む外周に、外周耐压構造（１６）を構成する外周耐压構造部（２ａ）および前記外周耐压構造部と前記セル領域との間に位置する繋ぎ部（２ｂ）が備えられた外周領域（２）と、を有する炭化珪素半導体装置であって、

第１導電型または第２導電型の炭化珪素で構成された基板（１１）と、

前記基板の上に形成され、前記基板よりも低不純物濃度とされた第１導電型の第１不純物領域（１３）と、を有し、

前記セル領域には、

前記第１不純物領域の表層部に形成され、前記第１不純物領域よりも高不純物濃度とされた第１導電型の炭化珪素からなるＪＦＥＴ層（１４）と、

前記第１不純物領域の表層部に形成され、前記基板の面方向において前記ＪＦＥＴ層と交互に配置された第２導電型の炭化珪素からなるディープ層（１５）と、

前記ＪＦＥＴ層および前記ディープ層上に形成された第２導電型の炭化珪素からなるベース層（１８）と、

前記ベース層よりも深く一方向を長手方向として複数本並べられたゲートトレンチ（２１）の内壁面に形成されたゲート絶縁膜（２２）と、前記ゲートトレンチ内において、前記ゲート絶縁膜の上に形成されたゲート電極（２３）と、を有するトレンチゲート構造と、

前記ベース層の表層部において前記トレンチゲート構造と接して形成され、前記第１不純物領域よりも高不純物濃度とされた第１導電型

の炭化珪素からなる第2不純物領域（19）と、

前記第2不純物領域および前記ベース層に電氣的に接続される第1電極（25）と、

前記基板の裏面側に配置され、前記基板と電氣的に接続される第2電極（28）と、を有した前記半導体素子が構成され、

前記繋ぎ部には、

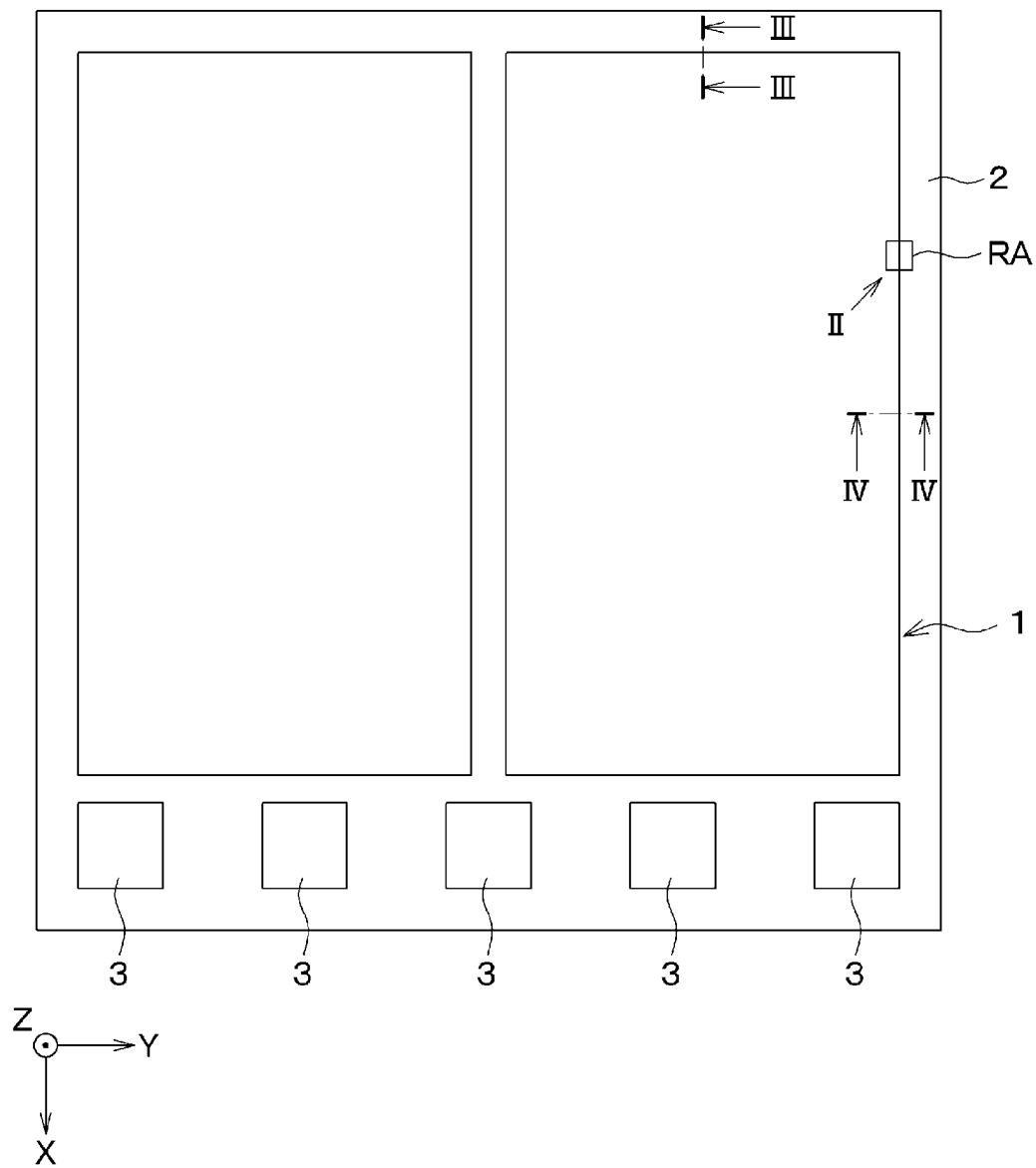
前記セル領域から延設されており、前記第1不純物領域の上に形成された前記ゲート絶縁膜と、

前記セル領域から延設されており、前記ゲート絶縁膜の上に配置された前記ゲート電極と、

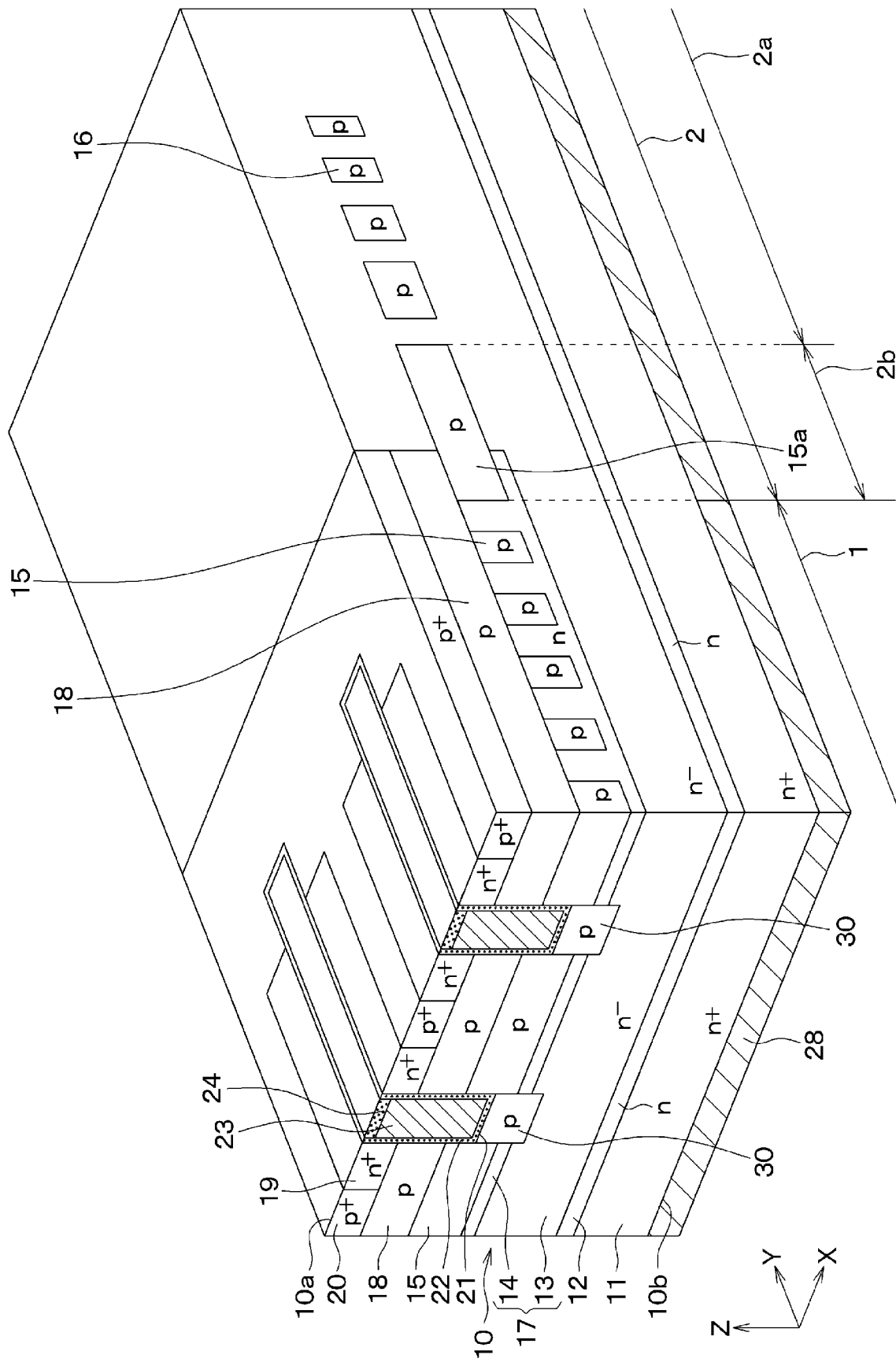
前記ゲート電極に接続されたゲート配線（26）と、が備えられ、

前記JFET層は、前記繋ぎ部にも形成されており、該JFET層のうち前記ゲート配線における前記セル領域側の終端位置となる内周終端位置（Pi）よりも外側の部分は、第1導電型不純物濃度が前記第1不純物領域以下になっている、炭化珪素半導体装置。

[図1]



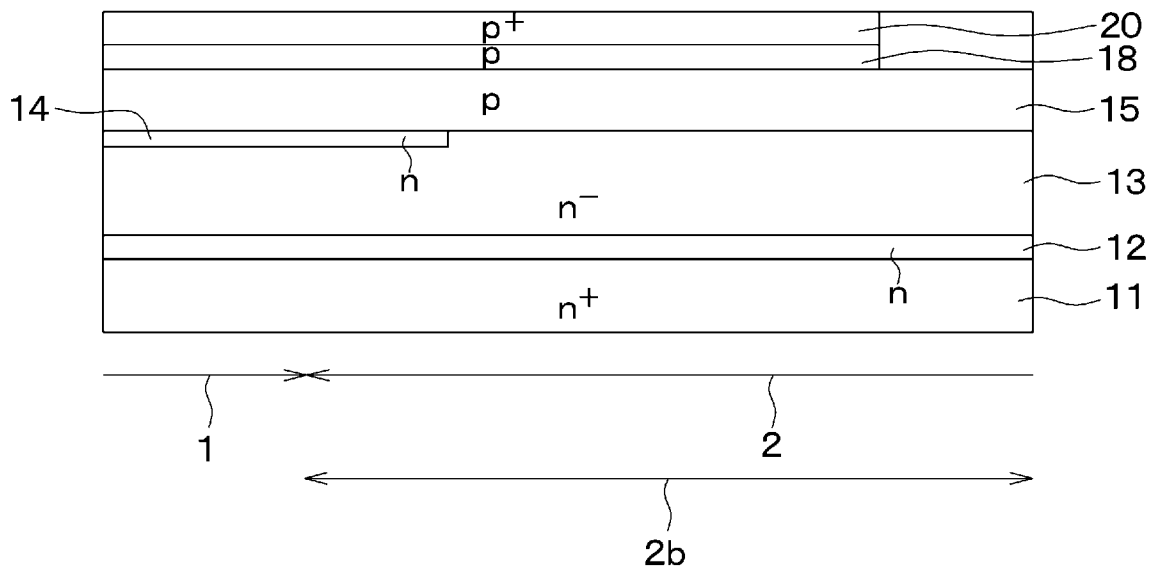
[図2]



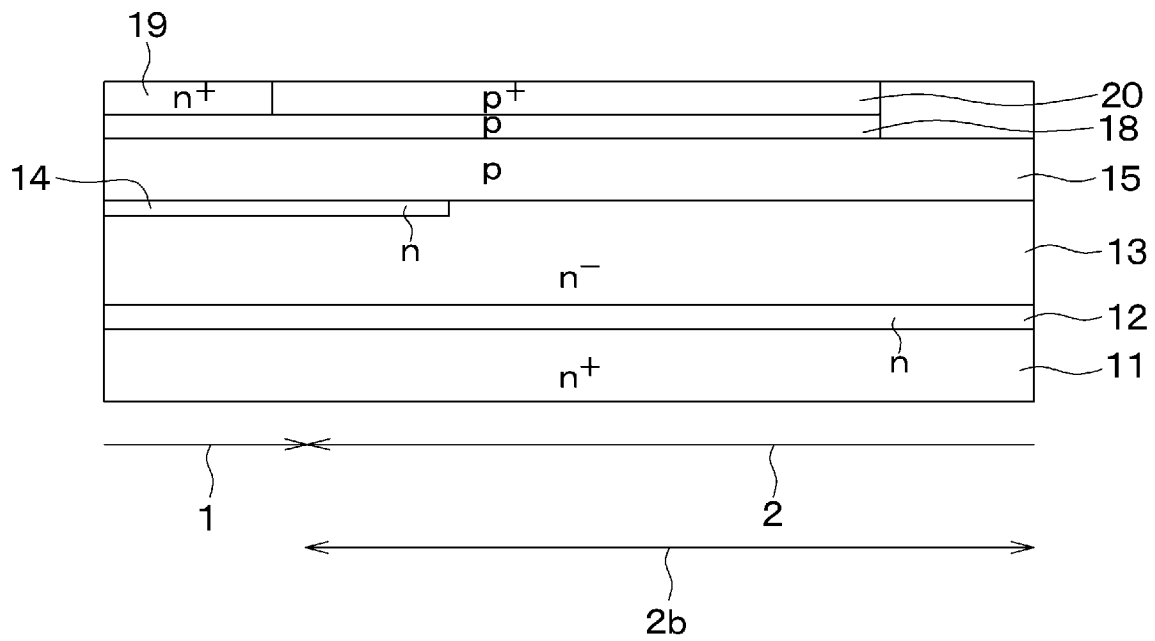
The top diagram is a cross-sectional view of a semiconductor device. It shows a substrate 11 with a p-type region n^+ and an n-type region n^- . A thin layer 12 is on the surface of the n^- region. A layer 13 is on the surface of the n^+ region. A layer 14 is on the surface of the n^- region, containing a rectangular region labeled n .

The bottom diagram is a top view of the device. It shows a rectangular region 1 with a diagonal line 2. A dimension line 2b indicates the width of the region 1.

[図6B]



[図6C]



[図7]

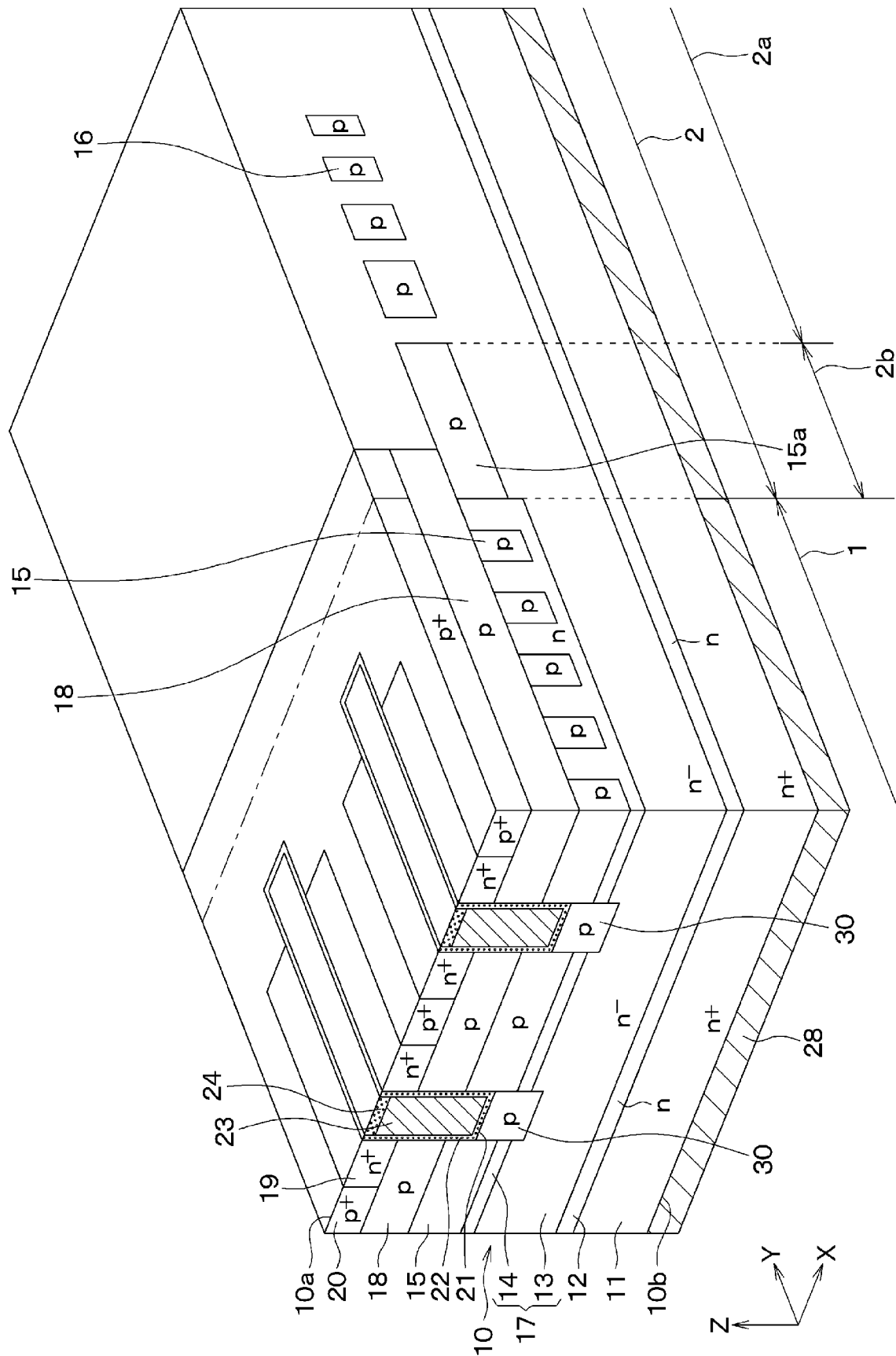


Diagram illustrating a cross-sectional view of a semiconductor device. The device consists of a substrate with layers 11, 12, and 13. A p-type region n^+ is formed in layer 11, and an n-type region n^- is formed in layer 12. A gate electrode 14 is formed on top of layer 13. A contact layer 51 is formed on top of the gate electrode 14. The width of the p-type region n^+ is indicated as $2b$.

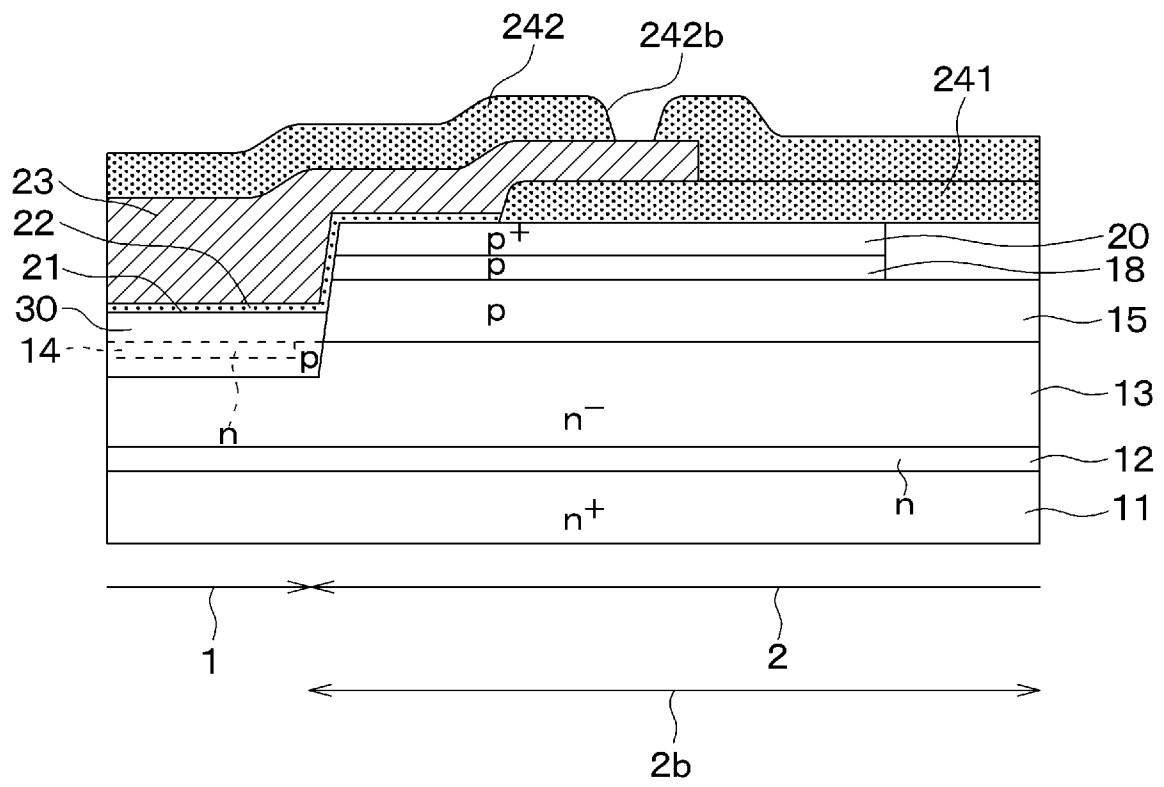
Fig. 1 is a cross-sectional view of a semiconductor device. It shows a substrate 11 with a p-type region n^+ and an n-type region n^- . A thin layer 12 is formed on the n-type region n^- . A layer 13 is formed on the p-type region n^+ . A layer 14 is formed on the n-type region n^- . A layer 19 is formed on the p-type region n^+ . A layer 51 is formed on the n-type region n^- . The device is shown in a cross-sectional view.

Fig. 2 is a top view of the semiconductor device. It shows a rectangular region 1 with a width 2b. The region 1 is divided into two parts, 1 and 2, by a vertical line. The width of the entire region is indicated by a dimension line 2b.

The top diagram is a cross-sectional view of a semiconductor device. It shows a substrate 11 with an n^+ region. Above the substrate is a layer 12 with an n region. Above layer 12 is a layer 13 with an n^- region. Above layer 13 is a layer 14 with an n region. Above layer 14 is a layer 15 with a p region. Above layer 15 is a layer 18 with a p^+ region. Above layer 18 is a layer 19 with an n^+ region. A contact 20 is shown on the right side of the p^+ region. The bottom diagram is a top view of the device. It shows a rectangular region 1 with a central rectangular region 2. The distance between the left and right edges of region 2 is labeled 2b.

The diagram illustrates a cross-sectional view of a semiconductor device. The substrate consists of several layers: a bottom n^+ layer (11), an n layer (12), an n^- layer (13), a p layer (15), a p layer (18), a p^+ layer (20), and a top layer (50). A gate structure (21) is formed on the top layer, with a gate oxide (30) and a gate electrode (14). The gate structure is positioned over the p layer (15) and the p layer (18). The p layer (15) is labeled with n and n^- regions. The p layer (18) is labeled with p and p^+ regions. The p^+ layer (20) is labeled with p^+ . The n layer (12) is labeled with n . The n^- layer (13) is labeled with n^- . The n^+ layer (11) is labeled with n^+ . A dashed line indicates a junction depth. Below the cross-section, a plan view shows a horizontal line with a break, labeled 1, 2, and 2b.

[図8E]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/016352

A. CLASSIFICATION OF SUBJECT MATTER H01L 29/78 (2006.01)i; H01L 21/336 (2006.01)i; H01L 29/06 (2006.01)i; H01L 29/12 (2006.01)i; H01L 29/739 (2006.01)i FI: H01L29/78 652N; H01L29/78 652F; H01L29/78 652H; H01L29/78 652J; H01L29/78 652P; H01L29/78 652T; H01L29/78 653C; H01L29/78 655A; H01L29/78 657F; H01L29/78 658A; H01L29/78 658G; H01L29/06 301G; H01L29/06 301V According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L29/78; H01L21/336; H01L29/06; H01L29/12; H01L29/739 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2022-175975 A (DENSO CORPORATION) 25 November 2022 (2022-11-25) paragraphs [0013]-[0050], [0083], fig. 1	5
A		1-4, 6
A	JP 2022-180233 A (FUJI ELECTRIC CO., LTD.) 06 December 2022 (2022-12-06)	1-6
A	JP 2022-154849 A (FUJI ELECTRIC CO., LTD.) 13 October 2022 (2022-10-13)	1-6
A	JP 2022-44997 A (FUJI ELECTRIC CO., LTD.) 18 March 2022 (2022-03-18)	1-6
A	WO 2019/159657 A1 (FUJI ELECTRIC CO., LTD.) 22 August 2019 (2019-08-22)	1-6
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 27 June 2024		Date of mailing of the international search report 09 July 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/016352

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2022-175975	A	25 November 2022	(Family: none)			
JP	2022-180233	A	06 December 2022	US	2022/0376054	A1	
				CN	115394831	A	
JP	2022-154849	A	13 October 2022	US	2022/0320268	A1	
JP	2022-44997	A	18 March 2022	US	2022/0077312	A1	
				CN	114156342	A	
WO	2019/159657	A1	22 August 2019	US	2020/0161460	A1	
				CN	111052393	A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 29/78(2006.01)i; H01L 21/336(2006.01)i; H01L 29/06(2006.01)i; H01L 29/12(2006.01)i;
H01L 29/739(2006.01)i
FI: H01L29/78 652N; H01L29/78 652F; H01L29/78 652H; H01L29/78 652J; H01L29/78 652P; H01L29/78 652T;
H01L29/78 653C; H01L29/78 655A; H01L29/78 657F; H01L29/78 658A; H01L29/78 658G; H01L29/06 301G;
H01L29/06 301V

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L29/78; H01L21/336; H01L29/06; H01L29/12; H01L29/739

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年
日本国公開実用新案公報1971-2024年
日本国実用新案登録公報1996-2024年
日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2022-175975 A（株式会社デンソー） 25.11.2022（2022 - 11 - 25） 段落[0013]-[0050], [0083], 図1	5
A		1-4, 6
A	JP 2022-180233 A（富士電機株式会社） 06.12.2022（2022 - 12 - 06）	1-6
A	JP 2022-154849 A（富士電機株式会社） 13.10.2022（2022 - 10 - 13）	1-6
A	JP 2022-44997 A（富士電機株式会社） 18.03.2022（2022 - 03 - 18）	1-6
A	WO 2019/159657 A1（富士電機株式会社） 22.08.2019（2019 - 08 - 22）	1-6

☐ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日27.06.2024国際調査報告の発送日09.07.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

石塚 健太郎 5F 4815

電話番号 03-3581-1101 内線 3514

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/016352

引用文献			公表日	パテントファミリー文献			公表日
JP	2022-175975	A	25.11.2022	(ファミリーなし)			
JP	2022-180233	A	06.12.2022	US	2022/0376054	A1	
				CN	115394831	A	
JP	2022-154849	A	13.10.2022	US	2022/0320268	A1	
JP	2022-44997	A	18.03.2022	US	2022/0077312	A1	
				CN	114156342	A	
WO	2019/159657	A1	22.08.2019	US	2020/0161460	A1	
				CN	111052393	A	