(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2020 年 1 月 2 日 (02.01.2020)

WIPO | PCT

(10) 国际公布号
WO 2020/000581 A1

(51) 国际专利分类号:
H01L 21/265 (2006.01)

(21) 国际申请号: PCT/CN2018/098433

(22) 国际申请日: 2018 年 8 月 3 日 (03.08.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201810677628.3 2018年6月27日 (27.06.2018) CN

(71) 申请人: 武汉华星光电半导体显示技术有限公司 (**WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.**) [CN/CN]; 中国湖北省武汉市东湖新技术开发区高新大道666号光谷生物创新园C5栋305室, Hubei 430079 (CN)。

(72) 发明人: 吕明仁 (**LU, Ming-jen**); 中国湖北省武汉市东湖新技术开发区高新大道666号光谷生物创新园C5栋305室, Hubei 430079 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所（普通合伙） (**ESSEN PATENT & TRADEMARK AGENCY**); 中国广东省深圳市福田区深南大道6021号喜年中心A座1709-1711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

(54) **Title:** MANUFACTURING METHOD OF POLYCRYSTALLINE SILICON SEMICONDUCTOR LAYER, AND THIN FILM TRANSISTOR AND MANUFACTURING METHOD THEREOF

(54) 发明名称: 一种多晶硅半导体层的制备方法、薄膜晶体管及制备方法

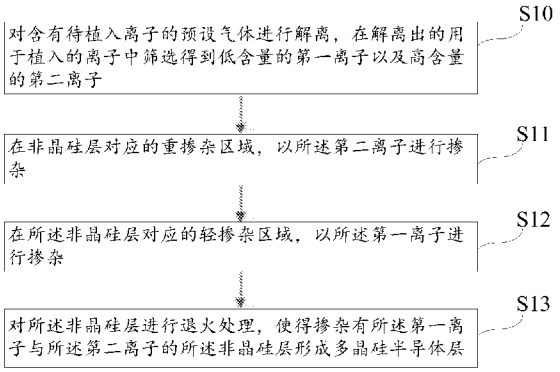


图 1

S10 Ionize a preset gas containing ions for implantation, perform filtering of the ions for implantation to obtain a low level of first ions and a high level of second ions
S11 Use the second ions to dope a corresponding heavily doped region of an amorphous silicon layer
S12 Use the first ions to dope a corresponding lightly doped region of the amorphous silicon layer
S13 Perform annealing on the amorphous silicon layer, such that the amorphous silicon layer doped with the first ions and the second ions forms a polycrystalline silicon semiconductor layer

(57) **Abstract:** Provided are a manufacturing method of a polycrystalline silicon semiconductor layer, and a thin film transistor and a manufacturing method thereof. The manufacturing method of a polycrystalline silicon semiconductor layer comprises the following steps: ionizing a preset gas, and performing filtering to obtain a low level of first ions and a high level of second ions for implantation; using the second ions to dope a heavily doped region, and using the first ions to dope a lightly doped region; and performing annealing on an amorphous silicon layer to form a polycrystalline silicon semiconductor layer.

(57) 摘要: 本发明提供一种多晶硅半导体层的制备方法、薄膜晶体管及制备方法，该多晶硅半导体层的制备方法包括以下步骤：解离预设气体，并筛选出用于植入的低含量的第一离子以及高含量的第二离子；以所述第二离子掺杂重掺杂区域，以所述第一离子掺杂轻掺杂区域；再进行退火处理，使得所述非晶硅层形成多晶硅半导体层。

WO 2020/000581 A1

[见续页]

RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

一种多晶硅半导体层的制备方法、薄膜晶体管及制备方法

技术领域

[0001] 本发明涉及显示制造技术领域，尤其涉及一种多晶硅半导体层的制备方法、薄膜晶体管及制备方法。

背景技术

[0002] 因应手持式智慧型移动装置的崛起，对于面板萤幕的表现与高品质要求越来越高，为了增加产品可靠度目前主流产品制程设计需求通道植入(Vth)是主要重点之一，由于目前显示面板的开口率越来越大，内部一些器件的制作越来越精密，如何更稳定更微小调整制作方法更显得重要之重。

[0003] 目前有透过离子B+的通道植入(Vth)作法来改善Vth起始电压，例如薄膜晶体管中多晶硅层的掺杂，由于轻掺杂部所需离子剂量低，需求制程的控制准确度要高，而重掺杂部由于所需离子的剂量高，对离子的吞吐量要求也高。但采用B+的通道植入法存在如下缺点：由于BF3气体解离出的B+离子是B2+离子的约5倍的量，以及相较于解离的B3+离子同样高出很多，因此在制作显示面板内较为精密的器件时，采用B+离子的通道植入法由于B+离子注入时难以实现小量且精准的控制，所以B+离子束的电流无法更小更稳定，因此无法很精确的控制通道植入。

[0004] 因此，有必要提供一种多晶硅半导体层的制备方法，以解决现有技术所存在的问题。

发明概述

技术问题

[0005] 本发明提供一种多晶硅半导体层的制备方法、薄膜晶体管及制备方法，能够以一种快速且精确的通道植入方法将离子植入相应的掺杂区域，能降低产品不良率，从而降低生产成本。

问题的解决方案

技术解决方案

[0006] 本发明提供一种多晶硅半导体层的制备方法，所述方法包括以下步骤：

[0007] 步骤S10、对含有待植入离子的预设气体进行解离，在解离出的用于植入的离子中筛选得到低含量的第一离子以及高含量的第二离子；

[0008] 步骤S11、在非晶硅层对应的重掺杂区域，以所述第二离子进行掺杂；

[0009] 步骤S12、在所述非晶硅层对应的轻掺杂区域，以所述第一离子进行掺杂；

[0010] 步骤S13、对所述非晶硅层进行退火处理，使得掺杂有所述第一离子与所述第二离子的所述非晶硅层形成多晶硅半导体层。

[0011] 根据本发明一优选实施例，所述方法具体包括以下步骤：

[0012] 步骤S101、对含有BF3的气体进行解离，筛选得到B2+/B3+离子以及B+离子；

[0013] 步骤S111、在所述非晶硅层对应的所述重掺杂区域，以所述B+离子进行掺杂；

[0014] 步骤S121、在所述非晶硅层对应的所述轻掺杂区域，以所述B2+/B3+离子进行掺杂；

[0015] 步骤S131、对所述非晶硅层进行退火处理，使所述非晶硅层形成多晶硅半导体层。

[0016] 根据本发明一优选实施例，对所述非晶硅层进行掺杂的方法包括采用含有所述待植入离子的离子束对所述非晶硅层表面进行轰击。

[0017] 根据本发明一优选实施例，获得所述离子束的方法包括通过灯丝产生电子束，利用所述电子束轰击离子源，以产生含有所述待植入离子的离子束。

[0018] 根据本发明一优选实施例，采用离子束对所述非晶硅层表面进行轰击前，通过质量分离器对所述离子束中不同质量的离子进行分离，滤掉杂质离子。

[0019] 本发明还提供一种薄膜晶体管的制备方法，所述方法包括以下步骤：

[0020] 步骤S20、提供一基板，所述基板上制备有非晶硅层，对预设气体进行解离，在解离出的用于植入所述非晶硅层的离子中筛选得到低含量的第一离子以及高含量的第二离子；

[0021] 步骤S21、在非晶硅层对应的重掺杂区域，以所述第二离子进行掺杂；

[0022] 步骤S22、在所述非晶硅层对应的轻掺杂区域，以所述第一离子进行掺杂；

[0023] 步骤S23、对所述非晶硅层进行退火处理，使得所述非晶硅层形成包括源极接触区和漏极接触区的多晶硅半导体层；

[0024] 步骤S24、在所述源极接触区和所述漏极接触区的相应位置形成源极与漏极，所述源极与所述漏极分别与所述源极接触区和所述漏极接触区电连接。

[0025] 根据本发明一优选实施例，所述第一离子为B2+/B3+离子，所述第二离子为B+离子。

[0026] 根据本发明一优选实施例，所述方法还包括以下步骤：

[0027] 步骤S25、在所述多晶硅半导体层上形成栅极绝缘层；

[0028] 步骤S26、在所述栅极绝缘层上对应所述多晶硅半导体层的预设位置形成栅极。

[0029] 根据本发明一优选实施例，在所述基板上制备所述非晶硅层之前，还包括以下步骤：

[0030] 步骤S201、在所述基板上制备栅极，并在所述栅极上制备一层栅绝缘层；

[0031] 步骤S202、在所述栅绝缘层上制备所述非晶硅层。

[0032] 本发明还提供一种采用上述制备方法制备的薄膜晶体管。

发明的有益效果

有益效果

[0033] 本发明的有益效果为：本发明的多晶硅半导体层的制备方法、薄膜晶体管及制备方法，通过将离子含量较低的B2+/B3+离子做为通道植入的起始电压的调整，用于掺杂多晶硅层的轻掺杂区域，由于该离子束产生的电流更小更稳定，所以易于调整控制。本方案可用于LTPS产品以及OLED TFT LCD等产品上，可以形成一种快速且精确的通道植入(Vth)方法。可避免通道植入(Vth)由于离子束电流过大不易控制而导致太大的变异，可提升产品的品质，降低产品不良率，从而降低生产成本！且不需要增购额外的IMP机台与制程，现有机台可以实现该方案。

对附图的简要说明

附图说明

[0034] 为了更清楚地说明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单介绍，显而易见地，下面描述中的附图仅仅是发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0035] 图1为本发明实施例提供的多晶硅半导体层的制备方法流程图；

[0036] 图2为本发明提供一种通道植入装置结构示意图；

[0037] 图3为本发明提供一种薄膜晶体管的制备方法流程图。

实施该发明的最佳实施例

本发明的最佳实施方式

[0038] 以下各实施例的说明是参考附加的图示，用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语，例如[上]、[下]、[前]、[后]、[左]、[右]、[内]、[外]、[侧面]等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本发明，而非用以限制本发明。在图中，结构相似的单元是用以相同标号表示。

[0039] 本发明针对现有技术的多晶硅半导体层的制备方法由于B+离子注入时难以实现小量且精准的控制，因此无法很精确的控制通道植入的技术问题，本实施例能够解决该缺陷。

[0040] 参阅图1，为本发明实施例提供的多晶硅半导体层的制备方法流程图。所述方法包括以下步骤:

[0041] 步骤S10、对含有待植入离子的预设气体进行解离，在解离出的用于植入的离子中筛选得到低含量的第一离子以及高含量的第二离子；

[0042] 所述步骤S10具体包括:

[0043] 步骤S101、对含有BF3的气体进行解离，筛选得到B2+/B3+离子以及B+离子；

[0044] 该预设气体可以为解离产生B2+/B3+离子的BF3气体、BH3气体等，本实施例以BF3气体为例，通过通道植入设备进行离子解离以及筛选，通过该通道植入设备的灯丝产生电子束，利用所述电子束轰击离子源，该离子源包括上述一种或一种以上的气体，以产生含有待植入离子的离子束。所述离子束中包含B+、B2+或/和B3+。该通道植入设备还包括基板承载台，用来承载待掺杂（离子植入）

的基板，所述基板上制备有非晶硅层，在所述离子束对所述非晶硅层表面进行轰击前，在所述基板承载台与所述离子源之间的质量分离器可以对所述离子束中不同质量的离子进行分离，滤掉杂质离子，只保留待植入离子。

[0045] 步骤S11、在非晶硅层对应的重掺杂区域，以所述第二离子进行掺杂；

[0046] 所述步骤S11具体包括：

[0047] 步骤S111、在所述非晶硅层对应的所述重掺杂区域，以所述B+离子进行掺杂；

[0048] 对所述非晶硅层进行掺杂的方法包括采用所述待植入离子的离子束对所述非晶硅层表面进行轰击。由于所述重掺杂区域相应植入的离子剂量较高，制程需求的剂量一般为1E15ions/cm2左右，所以筛选出可以用来植入的且含量较高的离子形成离子束对该区域进行掺杂，由于所述BF3气体解离的所述B+离子是所述B2+离子约5倍的量，而且也大大高于所述B3+离子的含量，所以以所述B+离子进行掺杂可以大大缩短制程时间。

[0049] 步骤S12、在所述非晶硅层对应的轻掺杂区域，以所述第一离子进行掺杂；

[0050] 所述步骤S12具体包括：

[0051] 步骤S121、在所述非晶硅层对应的所述轻掺杂区域，以所述B2+/B3+离子进行掺杂；

[0052] 由于所述非晶硅层的轻掺杂区域需求植入的离子剂量相对较低，制程需求的剂量一般为1E12ions/cm2左右，这就要求离子束在轰击时的准确度要高且易于控制，现有技术中一般采用离子含量较高的B+离子进行轰击，往往由于不能精确的控制而影响薄膜晶体管的导电性能。由于所述B2+/B3+离子在解离出的可用于植入的离子中的含量较低，且所述B2+/B3+离子形成的离子束的电流相较于所述B+离子形成离子束的电流可以更小更稳定，从而在对所述非晶硅层的所述轻掺杂区域进行轰击时可以更容易控制，进而能够精确的控制该通道植入，保证薄膜晶体管的电性。本实施例先对所述非晶硅层的所述重掺杂区域进行离子植入，在其他实施例中也可先对所述非晶硅层的所述轻掺杂区域进行离子植入，具体根据实际制程而定。

[0053] 步骤S13、对所述非晶硅层进行退火处理，使得掺杂有所述第一离子与所述第

二离子的所述非晶硅层形成多晶硅半导体层。

[0054] 所述步骤S13具体包括：

[0055] 步骤S131、对所述非晶硅层进行退火处理，使所述非晶硅层形成多晶硅半导体层。

[0056] 如图2所示，为本发明提供一种通道植入装置结构示意图，该装置包括：离子源1，所述离子源1用于解离后产生离子束2；所述离子束2包含有制程所需的植入离子以及杂质离子；所述离子束2在质量分离磁场3的作用下路径发生改变，且不同质量的离子具有不同的路径，以此将不同质量的离子进行分离，以过滤掉大部分的所述杂质离子；分离后的离子经过狭缝4进一步过滤，过滤掉所述杂质离子，只留下所述待植入离子（轻掺杂为B2+/B3+离子，重掺杂为B+离子）；经过过滤后的所述待植入离子的纯度提高，用提纯后的待植入离子束轰击制备有多晶硅层的基板6上，进行离子植入；两所述基板6可上下移动的设置于该通道植入装置上，测量仪7用于测量所述基板6上离子植入情况，所述待植入离子束依次经过等离子液冷枪5（PFG）和两所述基板6之间的间隙入射到所述测量仪7上，通过所述测量仪7所测量的结果及时调整控制所述待植入离子束。

[0057] 如图3所示，为本发明提供一种薄膜晶体管的制备方法流程图，所述方法包括以下步骤：

[0058] 步骤S20、提供一基板，所述基板上制备有非晶硅层，对预设气体进行解离，在解离出的用于植入所述非晶硅层的离子中筛选得到低含量的第一离子以及高含量的第二离子；

[0059] 其中，该预设气体与上述实施例中的一致，优选为BF3气体。该气体通过通道植入设备进行解离并筛选出含量较低的B2+/B3+离子以及含量较高的B+离子。

[0060] 步骤S21、在非晶硅层对应的重掺杂区域，以所述第二离子进行掺杂；

[0061] 步骤S22、在所述非晶硅层对应的轻掺杂区域，以所述第一离子进行掺杂；

[0062] 具体地，由于解离出可用于植入的离子中所述B+离子含量较高，所述B2+/B3+离子含量较低，因此分别用于所述非晶硅层的所述重掺杂区域以及所述轻掺杂区域的离子植入，具体方法请参照上述实施例中描述。

[0063] 步骤S23、对所述非晶硅层进行退火处理，使得所述非晶硅层形成包括源极接

触区和漏极接触区的多晶硅半导体层；

[0064] 步骤S24、在所述源极接触区和所述漏极接触区的相应位置形成源极与漏极，所述源极与所述漏极分别与所述源极接触区和所述漏极接触区电连接。

[0065] 如果是顶栅结构的薄膜晶体管，则在所述步骤S24完成之后执行以下步骤：

[0066] 步骤S25、在所述多晶硅半导体层上形成栅极绝缘层；

[0067] 步骤S26、在所述栅极绝缘层上对应所述多晶硅半导体层的预设位置形成栅极。

[0068] 其中，所述栅极对应所述非晶硅层中未被掺杂的相应位置。接着在所述栅极上形成层间介电层，在对应所述源极接触区和所述漏极接触区的上方形成贯穿所述层间介电层和所述栅极绝缘层的源极接触孔与漏极接触孔，在所述层间介电层的对应所述源极接触区和所述漏极接触区的相应位置分别形成源极与漏极，所述源极与所述漏极分别通过所述源极接触孔与所述漏极接触孔电性连接于所述源极接触区与所述漏极接触区。

[0069] 如果是底栅结构的薄膜晶体管，则在所述基板上制备所述非晶硅层之前，还包括以下步骤：

[0070] 步骤S201、在所述基板上制备栅极，并在所述栅极上制备一层栅绝缘层；

[0071] 步骤S202、在所述栅绝缘层上制备所述非晶硅层。

[0072] 本发明还提供一种采用上述制备方法制备的薄膜晶体管。

[0073] 本发明还提供一种采用上述制备方法制备的阵列基板。

[0074] 本发明的多晶硅半导体层的制备方法、薄膜晶体管及制备方法，通过将离子含量较低的B2+/B3+离子做为通道植入的起始电压的调整，用于掺杂多晶硅层的轻掺杂区域，由于该离子束产生的电流更小更稳定，所以易于调整控制。本方案可用于LTPS产品以及OLED TFT LCD等产品上，可以形成一种快速且精确的通道植入(Vth)方法。可避免通道植入(Vth)由于离子束电流过大不易控制而导致太大的变异，可提升产品的品质，降低产品不良率，从而降低生产成本！且不需要增购额外的IMP机台与制程，现有机台可以实现该方案。

[0075] 综上所述，虽然本发明已以优选实施例揭露如上，但上述优选实施例并非用以限制本发明，本领域的普通技术人员，在不脱离本发明的精神和范围内，均可

作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

权利要求书

[权利要求 1] 一种多晶硅半导体层的制备方法，其中，所述方法包括以下步骤：

步骤S10、对含有待植入离子的预设气体进行解离，在解离出的用于植入的离子中筛选得到低含量的第一离子以及高含量的第二离子；

步骤S11、在非晶硅层对应的重掺杂区域，以所述第二离子进行掺杂；

步骤S12、在所述非晶硅层对应的轻掺杂区域，以所述第一离子进行掺杂；

步骤S13、对所述非晶硅层进行退火处理，使得掺杂有所述第一离子与所述第二离子的所述非晶硅层形成多晶硅半导体层。

[权利要求 2] 根据权利要求1所述的制备方法，其中，所述方法具体包括以下步骤：

步骤S101、对含有BF3的气体进行解离，筛选得到B2+/B3+离子以及B+离子；

步骤S111、在所述非晶硅层对应的所述重掺杂区域，以所述B+离子进行掺杂；

步骤S121、在所述非晶硅层对应的所述轻掺杂区域，以所述B2+/B3+离子进行掺杂；

步骤S131、对所述非晶硅层进行退火处理，使所述非晶硅层形成多晶硅半导体层。

[权利要求 3] 根据权利要求1所述的制备方法，其中，对所述非晶硅层进行掺杂的方法包括采用含有所述待植入离子的离子束对所述非晶硅层表面进行轰击。

[权利要求 4] 根据权利要求3所述的制备方法，其中，获得所述离子束的方法包括通过灯丝产生电子束，利用所述电子束轰击离子源，以产生含有所述待植入离子的离子束。

[权利要求 5] 根据权利要求3所述的制备方法，其中，采用离子束对所述非晶硅层表面进行轰击前，通过质量分离器对所述离子束中不同质量的离子进

行分离，滤掉杂质离子。

[权利要求 6] 一种薄膜晶体管的制备方法，其中，所述方法包括以下步骤：

步骤S20、提供一基板，所述基板上制备有非晶硅层，对预设气体进行解离，在解离出的用于植入所述非晶硅层的离子中筛选得到低含量的第一离子以及高含量的第二离子；

步骤S21、在非晶硅层对应的重掺杂区域，以所述第二离子进行掺杂；

步骤S22、在所述非晶硅层对应的轻掺杂区域，以所述第一离子进行掺杂；

步骤S23、对所述非晶硅层进行退火处理，使得所述非晶硅层形成包括源极接触区和漏极接触区的多晶硅半导体层；

步骤S24、在所述源极接触区和所述漏极接触区的相应位置形成源极与漏极，所述源极与所述漏极分别与所述源极接触区和所述漏极接触区电连接。

[权利要求 7] 根据权利要求6所述的制备方法，其中，所述第一离子为B2+/B3+离子，所述第二离子为B+离子。

[权利要求 8] 根据权利要求6所述的制备方法，其中，所述方法还包括以下步骤：

步骤S25、在所述多晶硅半导体层上形成栅极绝缘层；

步骤S26、在所述栅极绝缘层上对应所述多晶硅半导体层的预设位置形成栅极。

[权利要求 9] 根据权利要求6所述的制备方法，其中，在所述基板上制备所述非晶硅层之前，还包括以下步骤：

步骤S201、在所述基板上制备栅极，并在所述栅极上制备一层栅绝缘层；

步骤S202、在所述栅绝缘层上制备所述非晶硅层。

[权利要求 10] 一种采用如权利要求6所述的制备方法制备的薄膜晶体管。

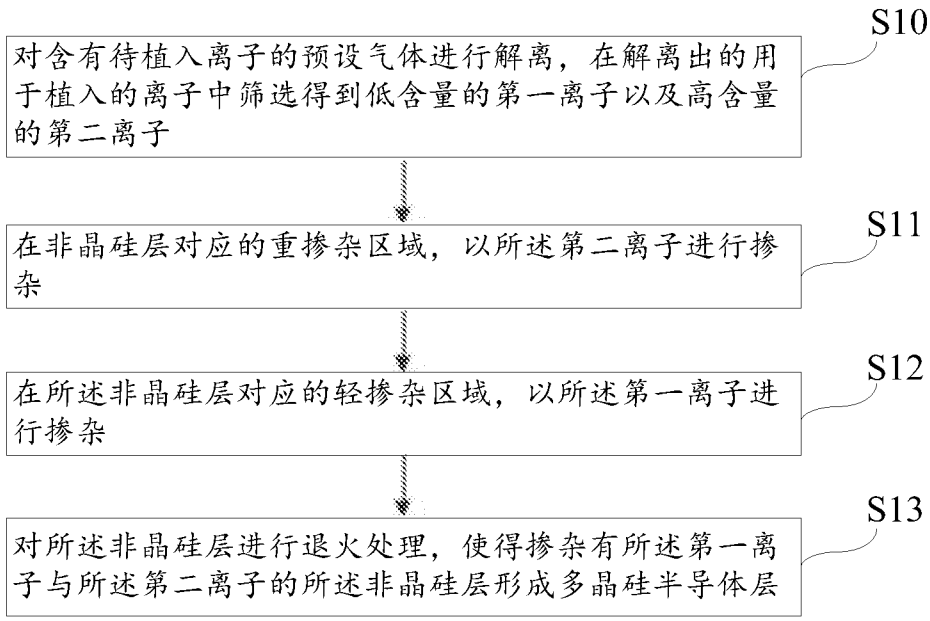

S10
对含有待植入离子的预设气体进行解离，在解离出的用于植入的离子中筛选得到低含量的第一离子以及高含量的第二离子
S11
在非晶硅层对应的重掺杂区域，以所述第二离子进行掺杂
S12
在所述非晶硅层对应的轻掺杂区域，以所述第一离子进行掺杂
S13
对所述非晶硅层进行退火处理，使得掺杂有所述第一离子与所述第二离子的所述非晶硅层形成多晶硅半导体层

图 1

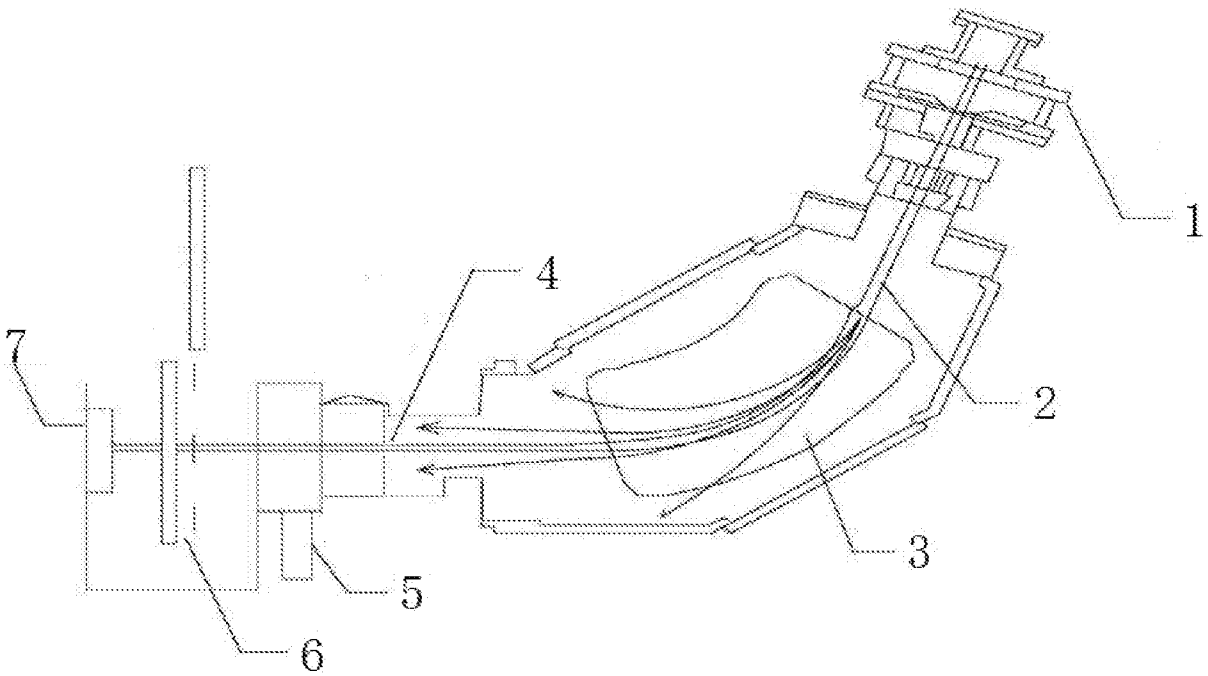

1
2
3
4
5
6
7

图 2

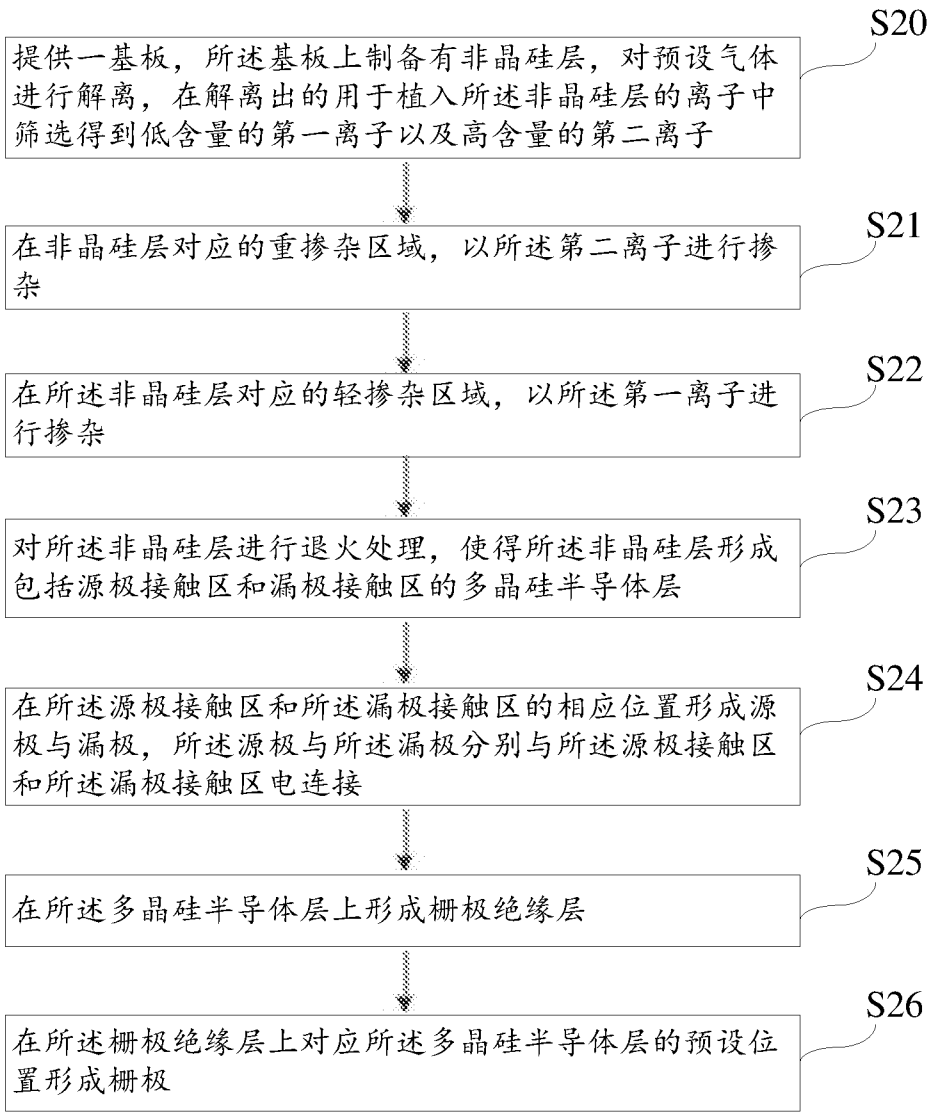

S20
提供一基板，所述基板上制备有非晶硅层，对预设气体进行解离，在解离出的用于植入所述非晶硅层的离子中筛选得到低含量的第一离子以及高含量的第二离子
S21
在非晶硅层对应的重掺杂区域，以所述第二离子进行掺杂
S22
在所述非晶硅层对应的轻掺杂区域，以所述第一离子进行掺杂
S23
对所述非晶硅层进行退火处理，使得所述非晶硅层形成包括源极接触区和漏极接触区的多晶硅半导体层
S24
在所述源极接触区和所述漏极接触区的相应位置形成源极与漏极，所述源极与所述漏极分别与所述源极接触区和所述漏极接触区电连接
S25
在所述多晶硅半导体层上形成栅极绝缘层
S26
在所述栅极绝缘层上对应所述多晶硅半导体层的预设位置形成栅极

图 3

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2018/098433

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/265(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/-;H01L29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; SIPOABS; VEN; USTXT; EPTXT; WOTXT; CNKI: 掺杂, 注入, 离子, 浓度, 含量, 硼, 多晶硅, 非晶硅, dope, implant, ion, concentration, content, boron, polysilicon, amorphous silicon

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP H0864549 A (SONY CORPORATION) 08 March 1996 (1996-03-08) description, paragraphs [0001]-[0013], and figures 1 and 2	1-10
A	CN 1610051 A (APPLIED MATERIALS, INC.) 27 April 2005 (2005-04-27) entire document	1-10
A	KR 20020050525 A (HYNIX SEMICONDUCTOR INC.) 27 June 2002 (2002-06-27) entire document	1-10
A	US 6440809 B1 (UNITED MICROELECTRONICS CORPORATION) 27 August 2002 (2002-08-27) entire document	1-10

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
15 March 2019	**02 April 2019**

Name and mailing address of the ISA/CN	Authorized officer
National Intellectual Property Administration, PRC (ISA/CN) **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088** **China**	
Facsimile No. **(86-10)62019451**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2018/098433

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	H0864549	A	08 March 1996	None			
CN	1610051	A	27 April 2005	TW	200515456	A	01 May 2005
				US	2005173651	A1	11 August 2005
				JP	2005174913	A	30 June 2005
				EP	1580788	A2	28 September 2005
				EP	1580788	A3	07 January 2009
				KR	20050039679	A	29 April 2005
				GB	2407433	A	27 April 2005
				CN	100533649	C	26 August 2009
				GB	2407433	B	24 December 2008
KR	20020050525	A	27 June 2002	KR	100379548	B1	10 April 2003
US	6440809	B1	27 August 2002	US	2002132433	A1	19 September 2002

国际检索报告

国际申请号 PCT/CN2018/098433

A. 主题的分类

H01L 21/265(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L21/-;H01L29/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNABS;CNTXT;SIPOABS;VEN;USTXT;EPTXT;WOTXT;CNKI:掺杂，注入，离子，浓度，含量，硼，多晶硅，非晶硅，dope，implant，ion，concentration，content，boron，polysilicon，amorphous silicon

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	JP H0864549 A (SONY CORP) 1996年 3月 8日 (1996 - 03 - 08) 说明书第1-13段，图1-2	1-10
A	CN 1610051 A (应用材料有限公司) 2005年 4月 27日 (2005 - 04 - 27) 全文	1-10
A	KR 20020050525 A (HYNIX SEMICONDUCTOR INC) 2002年 6月 27日 (2002 - 06 - 27) 全文	1-10
A	US 6440809 B1 (UNITED MICROELECTRONICS CORP) 2002年 8月 27日 (2002 - 08 - 27) 全文	1-10

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2019年 3月 15日	2019年 4月 2日

ISA/CN的名称和邮寄地址	受权官员
中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	黄宝莹
传真号 (86-10)62019451	电话号码 86-(20)-28958381

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2018/098433

检索报告引用的专利文件			公布日（年/月/日）	同族专利			公布日（年/月/日）
JP	H0864549	A	1996年 3月 8日	无			
CN	1610051	A	2005年 4月 27日	TW	200515456	A	2005年 5月 1日
				US	2005173651	A1	2005年 8月 11日
				JP	2005174913	A	2005年 6月 30日
				EP	1580788	A2	2005年 9月 28日
				EP	1580788	A3	2009年 1月 7日
				KR	20050039679	A	2005年 4月 29日
				GB	2407433	A	2005年 4月 27日
				CN	100533649	C	2009年 8月 26日
				GB	2407433	B	2008年 12月 24日
KR	20020050525	A	2002年 6月 27日	KR	100379548	B1	2003年 4月 10日
US	6440809	B1	2002年 8月 27日	US	2002132433	A1	2002年 9月 19日