

公告本

申請日期	90.10.29
案 號	90126711
類 別	H01L 27/00

A4
C4

519751

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新 型名稱	中 文	半導體記憶裝置
	日 文	半導体メモリ装置
二、發明 人 創作	姓 名	大澤 隆
	國 籍	日本
三、申請人	住、居所	日本國神奈川県横浜市青葉区奈良町1670-126
	姓 名 (名 稱)	日商東芝股份有限公司 KABUSHIKI KAISHA TOSHIBA
	國 籍	日本
	住、居所 (事務所)	日本國東京都港区芝浦1丁目1番1號
	代 表 人 姓 名	岡村 正 TADASHI OKAMURA

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權日本 2001年07月19日 特願2001-220461 ☒有 ☐無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝

訂

線

五、發明說明 (1)

發明背景發明範疇

本發明係關於半導體記憶裝置，尤其關於具有全耗盡型金絕半場效電晶體(MISFET)之半導體記憶裝置。

發明之技術領域

以往之DRAM(動態隨機存取記憶體)，其記憶體單元(memory cell)係由MOS(金屬氧化物半導體)電晶體與電容器構成。DRAM之微小化(micro miniaturization)因採用溝渠電容器構造或疊層電容器構造而大有進展。單位記憶體單元之大小(單元尺寸)，假設其最小特徵尺寸(minimum feature Size)為 F ，目前已可縮小至 $2F \times 4F = 8F^2$ 之面積。亦即最小特徵尺寸 F 正在隨著世代而變小，假設一般單元尺寸為 αF^2 ，係數 α 也跟著世代而變小，使得目前水準 $F = 0.18 \mu m$ 之情況下，也能實現 $\alpha = 8$ 之地步。

為確保今後也與以往不會有任何改變之單元尺寸或晶片尺寸趨勢，乃要求在 $F < 0.18 \mu m$ 時，則需滿足 $\alpha < 8$ 之條件，而在 $F < 0.13$ 時，則需滿足 $\alpha < 6$ 之條件，因而與微加工(micro fabrication)同樣地如何將單元尺寸形成為小面積是個重要課題。因此也有各種使一電晶體/一電容器型之記憶體單元作成為 $6F^2$ 或 $4F^2$ 大小之提案。但卻會衍生電晶體必須構成為縱型之技術性困難，或造成鄰接記憶體單元間電子干擾變大之問題，甚至也有加工或製膜等之製造技術上困難存在，致不容易實現實用化。

與此相對，也有一些如下列不用電容器而以一個電晶體

五、發明說明 (2)

作為記憶體單元的DRAM之提案。

(1) JOHN E. LEISS et al."dRAM Design Using the Taper-Isolated Dynamic Cell"(IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. ED-29, NO. 4, APRIL 1982, pp707-714)

(2) 日本專利特開平第3-171768號公報

(3) Marnix R. Tack et al."The Multistable Charge-Controlled Memory Effect in SOI MOS Transistors at Low Temperatures"(IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 37, MAY, 1990 pp1373-1382)

(4) Hsing-jen Wann et al."A Capacitorless DRAM Cell on SOI Substrate"(IEDM 93, pp635-638)

(1)之記憶體單元係使用掩埋通道構造之MOS電晶體構成。其係利用形成在元件隔離絕緣膜之錐形部之寄生電晶體實施表面反向層之充電・放電，而執行二進制記憶。

(2)之記憶體單元係使用隔離成個別的井之MOS電晶體。以取決於MOS電晶體之井電位之閾值作為二進制資料。

(3)之記憶體單元係由SOI(絕緣體上積矽)基板上之MOS電晶體構成。由SOI基板之一方施加較大的負電壓，利用與矽層之氧化膜的界面部之電洞蓄積而以該電洞之釋放、注入動作執行二進制記憶。

(4)之記憶體單元係由SOI基板上之MOS電晶體構成。MOS電晶體在構造上雖為一個，但其係疊放於汲極擴散層表面而形成反向導電型層，作成實質上將寫入用PMOS電晶體與讀出用NMOS電晶體組合成一體之構造，並以NMOS

五、發明說明 (3)

電晶體之基板區作為浮動之節點(node)，而以其電位記憶二進制資料。

然而，(1)之記憶體單元，因其構造複雜且係利用寄生電晶體，以致在特性之控制性上有困難。(2)之記憶體單元，其構造雖單純，但必須將電晶體之汲極、源極均連接於信號線俾控制其電位。加上其係屬井隔離型，單元尺寸大，且不能施予按各位元之重寫，致在控制性上有困難。(3)之記憶體單元，必須由SOI基板側施予電位控制，因而不能施予按各位元之重寫，致在控制性上有困難。(4)之記憶體單元，則需要特殊的電晶體構造，且其記憶體單元需要字線、寫入位元線、讀出位元線、以及清除線，因而信號線數增多。

發明總結

有鑑於上述諸缺點，本發明之第一發明半導體記憶裝置，其特徵為係具有用以構成介以絕緣膜形成在在半導體基板上的記憶體單元所需之複數個全耗盡型 MISFET 者，各 MISFET 具有：形成在上述絕緣膜上之半導體層；形成在上述半導體層之源極區；汲極區，其係一種與上述源極區隔著而形成在上述半導體層之汲極區，而上述源極區與該汲極區間之半導體層係充當浮動狀態之通道體；主閘，其係用以形成形成在上述通道體第一面之通道；輔助閘，其係形成在與上述通道體第一面相反側之第二面；且上述 MISFET，係以上述通道體在於因來自於上述主閘之電場而變成全耗盡化狀態，且因來自於上述輔助閘之電場而可供

五、發明說明 (4)

在上述通道體之第二面蓄積眾多載子之狀態作為基準狀態，而具有在上述通道體第二面蓄積了眾多載子之第一資料狀態，與釋放了上述通道體第二面的眾多載子之第二資料狀態。

本發明之第二發明半導體記憶裝置，其特徵為係具有用以構成介以絕緣膜形成在在半導體基板上的記憶體單元所需之複數個全耗盡型 MISFET 者，各 MISFET 具有：在上述半導體基板上形成為柱狀之柱狀半導體層；形成在上述柱狀半導體層上部或下部之一方的源極區；汲極區，其係一種與上述源極區隔著而形成在上述半導體層之汲極區，而上述源極區與該汲極區間之半導體層係充當浮動狀態之通道體；主閘，其係用以形成形成在上述通道體第一側面之通道；輔助閘，其係形成在與上述通道體第一側面相反側之第二側面；且上述 MISFET，係以上述通道體在於因來自於上述主閘之電場而變成全耗盡化狀態，且因來自於上述輔助閘之電場而可供在上述通道體之第二側面蓄積眾多載子之狀態作為基準狀態，而具有在上述通道體第二側面蓄積了眾多載子之第一資料狀態，與釋放了上述通道體第二側面的眾多載子之第二資料狀態。

圖式之簡要說明

 FIG. 1 係顯示使用 PD (部分耗盡) 型 MISFET 之記憶體單元構造圖。

 FIG. 2 係顯示用以說明同記憶體單元之動作原理的通道體電位與字線電壓間之關係圖。

五、發明說明 (5)



FIG. 3 係顯示同記憶體單元之能帶構造。



FIG. 4A 係顯示使用依本發明實施形態 1 之 FD (全耗盡) 型 MISFET 之記憶體單元構造圖 (單元區)。



FIG. 4B 係顯示使用依本發明實施形態 1 之 FD 型 MISFET 之記憶體單元構造圖 (周邊區)。



FIG. 5 係顯示同記憶體單元之基本能帶構造。



FIG. 6 係顯示同記憶體單元在基準狀態下之基本能帶構造。



FIG. 7 係顯示同記憶體單元之資料 "0"、"1" 之閾值與輔助開電壓間之關係圖。



FIG. 8 係顯示同記憶體單元之 "0" 寫入 / 讀出之動作波形圖。



FIG. 9 係顯示同記憶體單元之 "1" 寫入 / 讀出之動作波形圖。



FIG. 10 係顯示同記憶體單元在讀出時之汲極電流 - 開電壓特性圖。



FIG. 11 係顯示同記憶體單元之各資料狀態之閾值與輔助開電壓間之關係圖。



FIG. 12A 係顯示依實施形態 2 之記憶體單元構造圖 (單元區)。



FIG. 12B 係顯示依實施形態 2 之記憶體單元構造圖 (周邊區)。



FIG. 13A 係顯示依實施形態 3 之記憶體單元構造圖 (單元區)。



FIG. 13B 係顯示依實施形態 3 之記憶體單元構造圖 (周邊區)。

五、發明說明(6)

區)。



FIG. 14A 係顯示依實施形態4之記憶體單元構造圖(單元

區)。



FIG. 14B 係顯示依實施形態4之記憶體單元構造圖(周邊

區)。



FIG. 15 係顯示依實施形態5之記憶體單元構造圖。



FIG. 16A 係顯示依實施形態6之記憶體單元構造圖(沿位元線BL之剖面圖)。

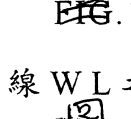


FIG. 16B 係顯示依實施形態6之記憶體單元構造圖(沿字線WL之剖面圖)。



FIG. 17 係顯示同實施形態之記憶體單元"0"寫入/讀出之動作波形圖。



FIG. 18 係顯示同記憶體單元之"1"寫入/讀出之動作波形圖。



FIG. 19 係顯示同記憶體單元在讀出時之汲極電流-閘電壓特性之圖。



FIG. 20A 係顯示通道體在使用本質矽時各資料狀態之閾值與輔助閘電壓間之關係圖。



FIG. 20B 係顯示在記憶體單元陣列再加上具有仿效電晶體的記憶體晶片之構成圖。



FIG. 21 係顯示依實施形態1之單元構造的具體單元陣列佈置圖。



FIG. 22 係 FIG. 21 之 I-I' 剖面圖。



FIG. 23 係 FIG. 21 之 II-II' 剖面圖。

五、發明說明 (7)



FIG. 24係FIG. 21之III-III'剖面圖。



FIG. 25係顯示依實施形態5之單元構造的具體單元陣列佈置圖。



FIG. 26係FIG. 25之I-I'剖面圖。



FIG. 27係FIG. 25之II-II'剖面圖。



FIG. 28係顯示依實施形態6之單元構造的具體單元陣列佈置圖。



FIG. 29係FIG. 28之I-I'剖面圖。



FIG. 30係FIG. 28之II-II'剖面圖。



FIG. 31係FIG. 28之III-III'剖面圖。

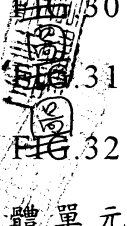


FIG. 32係顯示具有以各實施形態之記憶體單元所構成記憶體單元陣列之記憶體晶片等效電路圖。

發明之詳細說明

在說明實施形態以前，作為記憶體單元之原理先就使用部分耗盡(Partially Depleted)型MISFET之情形加以說明。部分耗盡型MISFET係指對於閘施加電壓而形成通道時，只有一部分通道體(channel body)耗盡化而會留下電荷中性區域者，以下將之稱為PD型MISFET。使用此PD型MISFET，便可以動態方式加以記憶過量的眾多載子蓄積在電荷中性區域之第一狀態，與釋放了過量的眾多載子之第二狀態。

FIG.1係顯示如上述的記憶體單元MC之剖面構造。其係使用在矽基板1上介以矽層氧化膜等絕緣膜2形成有p型矽層3之SOI基板。並以矽層3作為通道體，在其表面介以閘絕緣膜4形成閘極5，並以可達到絕緣膜2之深度，形成源

五、發明說明(8)

極及汲極擴散層6、7以構成n型通道MISFET。

以n型通道MISFET構成之記憶體單元MC，係以橫向也有施予元件隔離的浮動通道體之狀態下排成矩陣，以構成單元陣列。汲極7係連接於位元線BL，閘極5係連接於字線WL，源極6則連接於固定電位線。

該記憶體單元MC之操作原理，係利用MISFET通道體(p型矽層3)之眾多載子的電洞蓄積。亦即，使MISFET執行五極管模式操作，使大的通道電流由汲極流通，而在汲極接合部附近使其產生撞擊電離化。使經由該撞擊電離化產生之過量的眾多載子(電洞)保持於通道體，而將此狀態假設為"1"。並假設使正方向電流流通於汲極7與通道體之間以使通道體之過量的電洞釋放於汲極之狀態為資料"0"。

資料"0"、"1"就是通道體電位之差，將之作為MISFET之閾值差而記憶。亦即如FIG.2所示，因為電洞蓄積，通道體電位Vbody高的資料"1"狀態之閾值Vth1，係比資料"0"狀態之閾值Vth0為低。為穩定地加以保持在通道體保持著電洞之資料"1"，則以將施加於字線WL之電壓VWL保持於負為宜。此資料保持狀態，只要在線性領域內執行讀出操作，且只要不執行反向資料之寫入操作，則即使執行讀出操作也不會變。換言之，與利用電容器之電容保持之一電晶體/一電容器型之DRAM不同，可供執行非破壞讀出。

資料之讀出，基本上係加以檢測記憶體單元之導通度而執行。由於字線電壓VWL與通道體電位Vbody之關係係呈如FIG.2所示，因而例如對於字線WL施加資料"0"、"1"之

五、發明說明 (9)

閾值 V_{th0} 、 V_{th1} 的中間讀出電壓而檢測記憶體單元有無電流通，便可檢測出資料。或是施加大於閾值 V_{th0} 、 V_{th1} 之字線電壓而檢測記憶體單元之電流大小，也可檢測出資料。

FIG.1之記憶體單元係使用在通道體區存在著電荷中性區域之PD型MISFET。亦即，如在FIG.3所示能帶圖，當對於閘極施加供形成通道之電壓 $V_{fg}=V_{th}$ 時，耗盡層即將延伸至通道體中途，在底部則會留下電荷中性區域。此種情況下，若依照通道體區之厚度也須跟著設計標準之縮小而縮小之成比例縮小法則(Scaling law)，則通道體之雜質濃度也必須使其跟著濃。而且為抑制MISFET之閾值 V_{th} 相對於閘長度(通道長度) L 之滾降(roll-off)效應，即短通道效應，通道體雜質濃度也應跟著縮小閘長度 L 而增加。

然而pn結洩漏電流卻會以指數函數的關係依存於通道體雜質濃度而增加。pn結之洩漏電流有擴散電流、形成·複合電流及熱激勵電場放射電流(Thermal Field Emission Current)(G. Vincent, A. Chantre and D. Boies, "Electric Field Effect on the Thermal Emission of Traps in Semiconductor Junctions," J. Appl. Phys., 50, pp. 5484-5487, 1979)。這些之中前兩者就是一提高雜質濃度 N_A 就會減少之成分。因為若提高 N_A 則因中性區域之少數載子濃度會減少而使擴散電流減少，若使 N_A 增大則因耗盡層會變短而使形成·複合電流減少之故。最後之成分係因隧道效應而產生，亦即其係位於矽的帶隙內深的位置之電子因熱能釋放而有助於傳導之機

五、發明說明 (10)

率，因耗盡層內之強烈電場而增加，可以洩漏電流之形態觀測到者。若据此理論，洩漏電流就與耗盡層內電場強度有指數函數上的依存性，因而若使NA增加，洩漏電流必定以指數函數上的關係依存於其而增加。

另外，可以"0"資料單元之閾值 V_{th0} ，與"1"資料單元之閾值 V_{th1} 之差表示之信號電壓 $\Delta V_{th} = |V_{th0} - V_{th1}|$ ，係依基板偏壓效應而定。經使MISFET微小化後，若為抑制閾值之滾降效應而使閘絕緣膜厚度 t_{ox} 作薄，便會導致基板偏壓效應減弱之結果。因而如欲確保信號電壓 ΔV_{th} ，則需提高通道體雜質濃度。所以增大信號電壓與改善資料保持特性乃是互相矛盾之條件。

於是，在後述實施形態中則以全耗盡(Fully Depleted)型MISFET構成記憶體單元，俾施予微小化時也能抑制洩漏電流且獲得優異的資料保持特性。該全耗盡型MISFET係指將通道體之雜質濃度與厚度設定成可在對於閘極施加電壓以形成通道時，通道體會完全耗盡化者，以下將之稱為FD型MISFET。以此種FD型MISFET作為記憶體單元，便可以通道體在於因來自於主閘之電場而變成全耗盡化狀態且因來自於輔助閘之電場而可供在通道體之第二面蓄積眾多載子之狀態作為基準狀態，而以動態方式將通道體第二面蓄積了眾多載子之第一資料狀態，與釋放了通道體第二面之眾多載子之第二資料狀態加以記憶。

[實施形態1]

茲將使用FD型MISFET的實施形態1之記憶體單元構造顯

五、發明說明 (11)

示於 FIG.4A 及 FIG.4B。其係使用在矽基板 11 上形成氧化矽膜等絕緣膜 12，並在該絕緣膜 12 上形成了 p 型矽層 13 之 SOI 基板。絕緣膜 12 係埋設在矽層 13 下方，因此以下將之稱為 BOX 層 (掩埋氧化物)。記憶體單元 MC 係在 p 型矽層 13 介以閘絕緣膜 14 形成主閘 15，並自對準於主閘 15 而形成可到達矽層 13 底部的源極、汲極擴散層 16、17 之 n 型通道 MISFET。

p 型矽層 13，如容後具體說明，p 型矽層 13 之受體 (acceptor) 濃度 NA 與厚度 t_{Si} 係設定成施加可供在表面形成通道之閘極電壓時即能使其呈全耗盡化。具體而言，自 p 型矽層 13 延伸的耗盡層之厚度，設費米能階為 Φ_F ，矽之介電常數為 ϵ_{Si} 時即可表示為 $(4 \epsilon_{Si} \cdot \Phi_F / q \cdot NA)^{1/2}$ ，因此全耗盡型 MISFET 之條件為 $(4 \epsilon_{Si} \cdot \Phi_F / q \cdot NA)^{1/2} > t_{Si}$ 。

另外，圖示之例子，係將矽基板 11 作成為 p 型，並在矽基板 11 上，與 BOX 層 12 之界面形成 n^+ 型擴散層 18，以作為對於由 p 型矽層 13 所構成通道體之背面以電容耦合方式施加一定電場所需之輔助閘。 n^+ 型擴散層 18 係至少跨越單元陣列區全體以作為共同電極 (底板) 而形成。在此則針對於從背面對於通道體施加負的偏壓之情況，而將 n^+ 型擴散層 18 形成為輔助閘，惟不予形成 n^+ 型擴散層 18 而也可將基板 11 本身作成為輔助閘，或是將 p^+ 型擴散層作成為輔助閘而形成。

記憶體單元 MC 係以各通道體在橫向也能成為互相隔離而浮動之方式予以排列成矩陣。作為輔助閘之 n^+ 型擴散層 18 係形成在單元陣列全體，並在單元陣列周邊，藉由埋設

五、發明說明 (12)

在BOX層12及形成在其上面的層間絕緣膜19之多晶矽等接觸插塞20，在上部形成輔助閘端子。

舉一個具體例子，閘長度作成為 $L = 70 \text{ nm}$ ，閘絕緣膜厚度作成為 $t_{ox} = 10 \text{ nm}$ ，而p型矽層13(通道體)之受體濃度則作成為如 $NA = 1.0 \times 10^{15} \text{ cm}^{-3}$ 之極低濃度。並且將矽層13之厚度作成為 $t_{Si} = 25 \sim 50 \text{ nm}$ 左右。另外，BOX層12則作成為如 $30 \sim 50 \text{ nm}$ 之比較薄，俾易於自背面對於通道體施加電場。

依如上述條件下記憶體單元即可成為FD型MISFET。若將形成表面通體時之能帶構造對應於FIG.3而繪示，則如FIG.5所示，施加於主閘之電壓為 $V_{fg} = V_{th}$ 時通道體就會達到全耗盡化。但其係針對於p型矽基板係直接接觸於BOX層12之情況。先使這樣的全耗盡化條件滿足之後，更進一步施加供自於輔助閘之偏壓 V_{bg} ，藉此以在經予全耗盡化之通道體背面形成可供蓄積電洞之狀態。換言之，以供自於主閘之電場使通道體全耗盡化，且在該通道體背面施加供自於輔助閘之偏壓 V_{bg} 藉此以實現再形成電洞蓄積層(p型反向層)之狀態。將此情形對應於FIG.5而顯示於FIG.6。

如FIG.6所示可供電洞蓄積於經由主閘之電壓 V_{fg} 與輔助閘之電壓 V_{bg} 而全耗盡化的通道體底部之狀態，假設為基準狀態。此基準狀態若時間就那樣地經過，即將變成電洞蓄積於通道體底部之熱平衡狀態，設此狀態為"1"資料保持狀態。要寫入"0"資料時則使正向電流流通於汲極與通道體之間，使該狀態變成釋放出通道體電洞之狀態(即通道體全耗盡化之非平衡狀態)，而要在"0"資料單元寫入

五、發明說明 (13)

"1" 資料時則以五極管模式操作產生沖擊電離化，俾變成為在通道體底部蓄積了電洞之狀態。

茲就依本實施形態之記憶體單元閾值電壓 V_{th} 說明如下。當在以供自主閘之電場使矽層 13 全耗盡化狀態下，對於輔助閘施加電壓 V_{bg} 而使接觸於 BOX 層 12 之矽層 13 背面之電位下降時，便可得蓄積了眾多載子 (在此場合為電洞) 之狀態。在此狀態下關於 MISFET 表面通道之閾值電壓 V_{thacc} ，由於矽層 13 背面之電位受到固定而並無自輔助閘對於通道體之電容耦合存在，因此可以表示為如下列式 1。

【式 1】

$$V_{thacc} = \Phi_{FB} + (1 + C_{si}/C_{ox}) \cdot 2\Phi_F - Q_{dep}/2C_{ox} - (C_{si}/C_{ox}) \cdot \Phi_{bs}$$

式中， Φ_{FB} 為由 n 型多晶矽構成之主閘 15 與 P 型矽層 13 在 MOS 構造下之平帶電壓 (flat band voltage)， Φ_F 為費米能階， Φ_{bs} 為通道體背面之電位， C_{si} 為通道體之電容 ($= \epsilon_{si}/t_{si}$)， C_{ox} 為閘絕緣膜之電容 ($= \epsilon_{ox}/t_{ox}$)， Q_{dep} 為經全耗盡化的通道體之空間電荷量 ($= -q \cdot N_A \cdot t_{si}$)。

相對地，在輔助閘電壓 V_{bg} 並未對於矽層 13 背面施加蓄積眾多載子 (電洞) 所需電場之條件下，矽層 13 已完全受到耗盡化，因此表面電晶體之閾值電壓即將受到來自於矽層 13 背面之輔助閘產生之電容耦合影響。亦即，閾值電壓即將依存於 BOX 層 12 膜厚 t_{BOX} 與 V_{bg} 值而變。假設此種情況下之閾值為 V_{thdep} ，則可以下列式 2 表示之。

【式 2】

$$V_{thdep} = V_{thacc} - (C_{box}/C_{ox}) / (1 + C_{box}/C_{si}) \cdot (V_{bg} - V_{bgacc})$$

五、發明說明 (14)

其中，Vbgacc係為使眾多載子(電洞)蓄積在矽層13裡面所需輔助閘電壓Vbg之值，可以次式求得。

【式3】

$$Vbgacc = \Phi_{FB} - C_{si}/C_{box} \cdot 2\Phi_F - Q_{dep}/2C_{box} + (1 + C_{si}/C_{box}) \cdot \Phi_{bs}$$

式中， Φ_{bs} 為矽層13背面之電位，但在蓄積了眾多載子(電洞)而穩定下來之熱平衡狀態下， Φ_{bs} 卻是 $\Phi_{bs} = 0V$ 。此狀態就是對於主閘施加可使矽層13全耗盡化所需電壓，並對於輔助閘施加Vbgacc而得之穩定狀態，也是使記憶體單元在五極管模式下操作，產生眾多載子而寫入"1"資料之狀態。

相對地，在寫入"0"資料之狀態亦即對於位元線與通道體之pn結施予正向偏壓，抽出所蓄積之眾多載子(正孔)，使其自熱平衡狀態偏離之狀態下，矽層13背面之電位 Φ_{bs} 並非0V，而為負值。茲將該"0"資料狀態之矽層13裡面之電位 Φ_{bs} ，以目前之場合下由裝置模擬操作結果，假定為 $\Phi_{bs0} = -1.57 \times \Phi_F$ 。

使用上述公式就 $t_{ox} = 10 \text{ nm}$ 、 $t_{BOX} = 30 \text{ nm}$ 、 $t_{Si} = 25 \text{ nm}$ 、 $NA = 1.0 \times 10^{15} \text{ cm}^{-3}$ 、室溫(300K)之情形，求閾值 V_{th} 與輔助閘電壓Vbg之關係時，便可得FIG.7之結果。

由該FIG.7便可知，Vbg在於比-3V為正值側時，由於眾多載子(電洞)不會蓄積在矽裡面，通道體即呈全耗盡化狀態，致不會顯現記憶功能。也就是說即使執行"1"寫入操作，產生眾多載子，也不能使之蓄積，會立刻向汲極或源極釋放。

五、發明說明 (15)

若使Vbg由-3V向負值逐漸增大，則因來自於輔助閘側之電場，將變成可蓄積眾多載子(電洞)之狀態，逐漸地顯現出記憶體功能。若由另一種看法來說，其係意味著Vbg在較之-3V為大時，該單元構造可保持著不可能有非平衡狀態存在的穩定狀態(全耗盡化狀態)，惟使Vbg更偏於負值時，即將轉移至可有非平衡狀態存在的非穩定狀態。將此包含非穩定狀態之系統結構當作DRAM單元而利用者，就是本實施形態之元件。亦即，施加以一定的正之主閘Vfg與負之輔助閘電壓Vbg而保持著"1"資料之狀態(Vth低的狀態)就是熱平衡狀態，而"1"資料狀態(Vth高的狀態)就是至少釋放了一部分所蓄積的眾多載子之非平衡狀態，此狀態乃是若保持長時間則將返回"1"資料之非穩定狀態。

記憶操作若在輔助閘電壓Vbg十分低，且使"0"資料、"1"資料均蓄積眾多載子(電洞)之狀態下執行，信號電壓 ΔV_{th} 即可由式1而以次式4表示之。

【式4】

$$\Delta V_{th} = (C_{si}/C_{ox}) \cdot \Delta \Phi_{bs}$$

$\Delta \Phi_{bs}$ 為"0"資料狀態與"1"資料狀態下之矽背面之電位差。由此即可知，如欲增大信號電壓，則將Csi與Cox之比提高，換言之將tox/tSi增大，或是 $\Delta \Phi_{bs}$ 增大即可。前者係意味著關於裝置構造之條件，而後者則意味著若將"0"資料寫入時之位元線設定成足夠的負值，便有效果。

由式4即可明瞭，在本實施形態之情況下信號量則與使用PD型MISFET之情形不同，並非依存於通道體之雜質濃度

五、發明說明 (16)

。使 C_{ox} 小，所以使閘氧化膜厚度 t_{ox} 厚，便可增加信號量之情況雖然相似，但在 PD 型 MISFET 之情況下短通道效應大，因而 t_{ox} 未便設定為厚。

與此相對，在使用 FD 型 MISFET 的本實施形態之情況下，卻能大幅度地改善短通道效應，因而可將 t_{ox} 設定為厚。而且就構造上來看，信號量僅依存於 t_{ox}/t_{Si} 之情形乃是意味著將來即使將通道長度更加以縮小，只要保持著該比例而縮小，便可使信號量保持成一定量，這是在暗示有可能更進一步的微小化。

茲將以實際依二次元裝置模擬法驗證記憶操作之結果，列出於後。裝置參數為：閘長度 $L=70\text{ nm}$ 、閘氧化膜厚度 $t_{ox}=10\text{ nm}$ 、BOX 層厚度 $t_{BOX}=30\text{ nm}$ 、矽層厚度 $t_{Si}=25\text{ nm}$ 、受體濃度 $N_A=1.0\times 10^{15}\text{ cm}^{-3}$ 、 $V_{bg}=-5\text{ V}$ 。

FIG.8 係顯示 "0" 寫入與接著而執行 "0" 讀出之情況，而 FIG.9 係顯示 "1" 寫入與接著而執行 "1" 讀出之情況。FIG.8 之情況係使閘極自 -4 V 升起至 1 V ，並與此晚一些使汲極自 0 V 下降至 -1.5 V ，以實施 "0" 寫入。然後使閘極返回 -4 V ，並使汲極返回至大致為 0 V 之時序 $2.5\text{E}-08$ 就是表示資料保持狀態，之後，則再度使閘極升起以實施讀出。

FIG.9 之情況係使閘極自 -4 V 升起至 1 V ，並與此晚一些使汲極自 0 V 升起至 1.5 V ，以實施 "1" 寫入。然後使閘極返回 -4 V ，並使汲極返回至大致為 0 V 之時序 $2.5\text{E}-08$ 就是表示資料保持狀態，之後，則再度使閘極升起以實施讀出。在任何情況下源極(固定電位線)皆為 0 V 。

五、發明說明 (17)

FIG.8及FIG.9中，以通道體電位表示之電位為通道體中央(通道長度方向與矽深度方向之中央)的電洞之準費米電位(quasi-Fermi potential)。FIG.10係各自在讀出時之汲極電流 I_{ds} -閘電壓 V_{gs} 特性，其中 I_{ds0} 、 I_{ds1} 為各自在"0"寫入/讀出、"1"寫入/讀出時之特性。

由上述結果，即可知資料讀出時之信號量 ΔV_{th} 可獲得大致為500 mV，因而可確保足夠的信號量。

FIG.11係顯示使輔助閘電壓 V_{bg} 變化而實施同樣的裝置模擬法所得"0"資料之 V_{th0} ，與"1"資料之 V_{th1} 的輔助閘電壓 V_{bg} 依存性。其顯示與據以理論運算之FIG.7極其相符之結果。

[實施形態2]

FIG.12A及FIG.12B係將依實施形態2之記憶體單元MC剖面構造對應於FIG.4A及FIG.4B而顯示。在此實施形態則在BOX層12下面替代擴散層18而埋設 p^+ 型多晶矽層21，以此作為輔助閘。換言之 p^+ 型多晶矽層21就是位於半導體基板11與矽層13間之雜質摻入層。 P^+ 型多晶矽層21作為至少跨越單元陣列區全體之共同電極而形成即可。

[實施形態3]

FIG.13A及FIG.13B係將依實施形態3之記憶體單元構造對應於FIG.12A及FIG.12B而顯示。此實施形態，其BOX層12較厚，且在其內部埋設了供作輔助閘用之多晶矽層21。此種情況下，多晶矽層21也作為至少跨越單元陣列區全體之共同電極而予以埋入形成即可。

五、發明說明 (18)

[實施形態4]

FIG.14A及FIG.14B係將FIG.13之構造稍加以變形而成之實施形態。在本實施形態，則將埋設在BOX層12之多晶矽層21，作為與由閘極15構成之字線WL成並行的條紋狀陽極線(輔助字線)而形成。多晶矽層21係以字線方向在端部，例如在與供設置字線驅動器的一側之相反側端部，以接觸插塞20連接於輔助閘電壓Vbg之施加端子。

另外，如FIG.14A及FIG.14B所示，輔助閘隔離成條紋狀之構造也可同樣地採用於；FIG.4A及FIG.4B之實施形態1的擴散層18，或FIG.12A及FIG.12B及FIG.13A及FIG.14B之實施形態2及3的多晶矽層21之場合。

[實施形態5]

在到此為止之實施形態中，其MISFET係使用通道係形成為與基板面成平行之橫型MISFET，但也可使用與基板面成垂直方向形成通道之縱型MISFET。這樣的實施形態之雙記憶體單元部剖面構造顯示於FIG.15。

其係在p型矽層基板31全面形成n型層32，且以圖案形成製程在該n型層32上各記憶體單元區形成柱狀之p型矽層33。n型矽層32將作為全記憶體單元之共同源極。p型矽層32就是浮動之通道體，在其一側面形成介以閘絕緣膜35而相對的主閘36，在另一側面則形成介以閘絕緣膜37而相對的輔助閘38。圖中顯示鄰接於示相鄰接的記憶體單元MC共同使用輔助閘38之情形。主閘36及輔助閘38係各自作為字線WL及陽極線PL，朝一方向並行連續地設置。在各p型矽層

五、發明說明 (19)

33上面形成汲極擴散層34。在層間絕緣膜40上面則佈設供連接於各汲極34之位元線41。

在本實施形態之情況下，也可加以選擇p型矽層33厚度(橫向之寬度)及雜質濃度以作為FD型MISFET而實施與上述實施形態相同操作。

[實施形態6]

FIG.16A及FIG.16B，雖屬橫型MISFET，但其卻將用以控制通道體底面電位之輔助閘不予直接相對於底面，而使其相對於側面靠近於底面之部分。在BOX層12底部形成有 n^+ 型擴散層18之部分雖與FIG.4A及FIG.4B之情形相同，但BOX層12較厚。於是，在BOX層12內埋設介以閘絕緣膜23可與p型矽層13底部側面相對之多晶矽層22。在本實施形態，多晶矽層22係埋設在p型矽層13兩側，底部係連接於 n^+ 型擴散層18。因而多晶矽層22可充當以電容耦合控制p型矽層13底部電位之輔助閘。

經由模擬操作也獲得證實若依照本實施形態則也能實現與前述實施形態相同之記憶操作。以下說明其三維裝置模擬操作結果。各參數為：閘長度L及閘寬度W為 $L = W = 0.175 \mu\text{m}$ 、主閘側之閘氧化膜厚度 $t_{\text{oxf}} = 6.5 \text{ nm}$ 、通道體之受體濃度 $N_A = 1.0 \times 10^{15} \text{ cm}^{-3}$ 、主閘15及輔助閘22皆為 n^+ 型多晶矽，輔助閘電壓 $V_{\text{bg}} = -4 \text{ V}$ ，輔助閘側之閘氧化膜厚度 $t_{\text{oxb}} = 15 \text{ nm}$ 、矽層13 $t_{\text{Si}} = 140 \text{ nm}$ 、BOX層厚度 $t_{\text{BOX}} = 200 \text{ nm}$ 。側面之多晶矽層22則將之埋至通道體高度之正好是中央。

五、發明說明 (20)

FIG.17及FIG.18係分別對應於實施形態1之FIG.8及FIG.9之"0"寫入/讀出及"1"寫入/讀出之動作波形圖。另外FIG.19係對應於FIG.10之讀出時汲極電流 I_{ds} -閘電壓 V_{gs} 特性圖。在本實施形態之信號量為 $\Delta V_{th} = 250 \text{ mV}$ 。

[以本質矽作為通道體之MISFET]

在到此為止之實施形態，係使用具有由p型矽構成的通道體之n型通道MISFET。惟對於此，也可使用以實質上並未含有雜質之本質矽作為通道體之MISFET。如此予以構成，便能消除起因於通道體中因雜質擴散所造成結晶失配的洩漏電流，可更加以改善資料保持特性。為使MISFET之閾值成為正的值，主閘需要使用 p^+ 型擴散層。但是閾值 V_{th} 即使為負值，惟由於只要使字線位準、位元線位準、源極位準等全部下降大約為-1V狀態下操作即可，因此主閘可不必使用 n^+ 型多晶矽。

FIG.20A係在以本質矽作為通道體使用的MISFET之情況下將計算"0"、"1"資料之閾值 V_{th0} 、 V_{th1} 與輔助閘電壓 V_{bg} 之關係所得結果，對應於FIG.11而顯示。此時，則假定為 p^+ 型多晶矽閘。

輔助閘電壓 V_{bg} 之值，必須在於較之可在"1"資料單元之通道體蓄積眾多載子之值為偏於負側。另外，若使輔助閘電壓 V_{bg} 較之能在"0"資料單元之通道蓄積眾多載子之值(在FIG.20A之情形為 $V_{bg} = -2V$)為偏於負側時，信號量 ΔV_{th} 即變成最大。然為使資料保持時間增大，則須使"0"資料單元之通道體內汲極、源極接合部之電場變小為重要。就

五、發明說明 (21)

從這一點來考量，"0"資料單元之通道體仍以在不致使底面電位大大地往負側降低下能使其成為不會蓄積眾多載子之全耗盡化狀態為宜。為這一點，將輔助閘電壓Vbg設定於能使"0"資料單元之通道體蓄積眾多載子之值，與能使"1"資料單元之通道體蓄積眾多載子之值間之值即可。但是資料保持時間若為比要求的規格允許放寬增大，則以設定成比在"0"資料單元之通道體也能蓄積眾多載子之值為小的電壓Vbg以增大信號量為宜。

[上述實施形態之資料參數變化性]

茲將在製造依上述實施形態之DRAM時關於各種裝置參數之特性變化，列舉如表1。

表1

樣本 No.	0	1	2	3	4	5	6
NA [cm^{-3}]	1E+15	1E+15	1E+15	1E+15	1E+15	1E+15	1E+15
tox [nm]	10	10	10	10	10	8	12
tBOX [nm]	30	30	30	20	40	30	30
tSi [nm]	25	15	35	25	25	25	25
Vbg0 [V]	-5	-7.5	-4	-4	-6.5	-5	-5
Vbgl [V]	-3	-4.5	-2.25	-2	-3.5	-3	-3
Vbgs [V]	-4.5	-6.75	-3.56	-3.5	-5.75	-4.5	-4.5
Vth0 [mV]	1050	1800	710	1100	1050	810	1290
Vthl [mV]	620	1100	410	610	610	490	780
ΔV_{th} [mV]	430	700	300	490	440	320	510

表1中，通道長度L與通道體之受體濃度NA，即使有變化性，由於其影響並不大，因而無視其變化性。相對於除此以外之閘氧化膜厚度tox、BOX層厚度tBOX、矽層厚度

五、發明說明 (22)

tSi之變動，Vbg0係顯示在"0"資料單元之通道體蓄積眾多載子(電洞)所需最大輔助閘電壓，而Vbg1係顯示在"1"資料單元之通道體蓄積眾多載子(電洞)所需最大輔助閘電壓。另外，作為實際輔助閘電壓之設定值Vbgs，在"0"資料保持時之通道體雖受到全耗盡化，但基於信號量儘可能得到大的條件下，則顯示 $Vbgs = Vbg0 + (Vbg1 - Vbg0) \times 0.25$ ，並顯示其時之"0"資料單元之閾值Vth0與"1"資料單元之閾值Vth1，以及這些之差 ΔVth 。

由表1便可知，出現 $t_{ox} = 10 \text{ nm} \pm 20\%$ ， $t_{BOX} = 30 \text{ nm} \pm 33\%$ ， $t_{Si} = 25 \text{ nm} \pm 40\%$ 之變動時，輔助閘電壓之最適設定值Vbgs將以-3.5V~-6.75V範圍變動。另外，"0"資料之閾值Vth0將以710 mV~1800 mV範圍變動，而"1"資料之閾值Vth1則將以410 mV~1100 mV範圍變動。

須加以抑制這些變動乃是重要課題是肯定的。前述例子雖故意誇大變動幅度，惟實際上仍會有 $\pm 10\%$ 左右之變動。

以這樣的前提下，即使有變動，在進行選擇檢驗時應加以微調(trimming)輔助閘電壓Vbgs，與隨著閾值Vth0、Vth1而變動的寫入時之高位準電壓VWLHW、讀出時之字線電壓VWLHR、保持時之字線低位準電壓VWLL，也是重要課題。這些參數變動可視為並不存在於晶片單位內，因而按晶片而作微調即可。或是也有可按晶圓單位或按批量而實施之情況。至於關於讀出時對於感測放大器之影響，只要虛擬單元(dummy cell)使用與記憶體單元相同構造，由於可將Vth變動當作共同變動而互相抵消，因此不成問題。

五、發明說明 (23)

關於輔助閘電壓 V_{bgs} ，與上述字線電位 $V_{WLHW}/V_{WLHR}/V_{WLL}$ 之微調，有各種方式可採用，例如有一種為：在每一晶片設置與記憶體單元相同構造之測試用 MISFET。在進行選擇檢驗時，則就該測試用 MISFET 實施 "0" 寫入/讀出及 "1" 寫入/讀出，以測試該 MISFET 在三極管模式下之閾值 V_{th0} 、 V_{th1} 。同樣的測試在邊使輔助閘電壓 V_{bgs} 變化下邊重覆實施，以決定最適輔助閘電壓 V_{bgs} 。

FIG.20B 係顯示這樣的晶片構成之圖。如該 FIG.20B 所示，對於記憶體單元陣列 80 再加設仿效 (mimic) 電晶體 90。該仿效電晶體 90 具有與記憶體單元陣列 80 中記憶體單元 MC 相同構造。但其主閘 MG 與源極區 S 與汲極區 D 與輔助閘 AG 各自係連接於焊墊 (pad) 92、94、96、98 之部分卻互異。亦即，該晶片設有供測試仿效電晶體 90 之用的焊墊 92、94、96、98。

因此可由焊墊 92 直接對於主閘 MG 施加主閘電壓 V_{fg} ，可由焊墊 98 直接對於輔助閘 AG 施加輔助閘電壓 V_{bg} 。並且加以檢測流通於焊墊 94 與焊墊 96 間之電流，便能直接檢測流通於該仿效電晶體 90 之源極/汲極間電流。因此可對於仿效電晶體 90 寫入 "1" 資料，或寫入 "0" 資料。而且也可容易檢測到寫入 "1" 資料狀態下之閾值 V_{th1} ，以及寫入 "0" 資料狀態下之閾值 V_{th0} 。

設置此種構成之仿效電晶體 90，便可經由晶片測試正確地檢測出究竟應將寫入時之高位準電壓 V_{WLHW} 、讀出時之字線電壓 V_{WLHR} 、保持時之字線低位準電壓 V_{WLL} 、以

五、發明說明 (24)

及輔助閘電壓Vbg設定於多少伏特才合適。

另一方面，在記憶體單元預先設置保險絲等非揮發性記憶體元件，以作為供初始設定操作條件用之初始設定記憶體電路。然後據以上述測試結果，編製保險絲程式。該程式資料應設計成接通電源時，即可自動讀出而進行記憶體晶片內輔助閘電壓設定電路、VWLHW/VWLHR/VWLL等字線電壓產生電路等之初始設定。依如上述，便可對每一個記憶體單元設定最適操作條件。

[實施形態1之單元陣列構造]

FIG.21係對應於實施形態1之具體單元陣列佈置，FIG.22、FIG.23及FIG.24各自為FIG.21之I-I'、II-II'及III-III'之剖面圖。SOI基板之p型矽層13係如FIG.23及FIG.24所示，藉由經以STI(淺溝渠隔離；Shallow Trench Isolation)所埋設之元件隔離絕緣膜106，劃分為朝位元線BL連續的條紋狀元件形成區。並且在各p型矽層13使源極16及汲極17以共有朝位元線方向鄰接的MISFET之方式，排列形成複數個MISFET。

閘極15係作為字線WL朝與位元線BL交叉之方向，具體而言，朝正交的方向而連續地設置。閘極15之上面及側面則作為以氮化矽膜101所覆蓋之狀態。在覆蓋著元件之層間絕緣膜103內，則作為多晶矽佈線而形成用以共同連接朝字線WL方向所排列MISFET的源極16之共同源極線(SL)102。在層間絕緣膜103上則佈設供連接於MISFET之汲極用的位元線(BL)105。作為輔助閘之 n^+ 型層18係形成為跨越單元陣列區全體之共同電極。

五、發明說明 (25)

假設以最小特徵尺寸F之線/空間形成字線WL及位元線BL，單位單元面積將呈如FIG.21中以一點鏈線所示之 $4F^2$ 。

[對應於實施形態5之單元陣列構造]

FIG.25係對應於以FIG.15顯示基本單元構造的實施形態5之具體單元陣列之佈置圖，FIG.26及FIG.27各自為FIG.25之I-I'及II-II'剖面圖。使用p/n/p構造之矽晶圓而加工形成可到達n型矽層32的深度之溝渠，即可排列形成柱狀p型矽層33。絕緣膜39係埋設在溝渠。在該絕緣膜39，在字線WL及陽極線PL之埋設位置形成溝渠，而在矽層33兩側面埋設介以閘絕緣膜35、37而相對的主閘36及輔助閘38。主閘36及輔助閘38係如FIG.25所示，以圖案形成製程形成為並行的字線WL及陽極線(輔助字線)PL。

閘絕緣膜35、37，如欲作成相同膜厚，雖可採取同時形成方式，但如欲作成互異膜厚時則需個別工序。主閘36及輔助閘38之上面及側面係作成為由氮化矽膜110所覆蓋之狀態。並且經在矽層33上面以擴散形成汲極34後，再沉積層間絕緣膜40。然後在層間絕緣膜40埋設接觸插塞112，並在其上面佈設位元線(BL)41，便可製得單元陣列。

如FIG.25所示，陽極線PL係以供由朝位元線BL方向鄰接的記憶體單元所共有之方式，佈置成為兩條字線WL所夾住之狀態。設字線WL及陽極線PL之線/空間為F，位元線BL之線/空間為F，則在本實施形態之情況下，單位單元面積為 $6F^2$ 。

[對應於實施形態6之單元陣列構造]

五、發明說明 (26)

FIG.28係對應於以FIG.16顯示基本單元構造的實施形態6之具體單元陣列之佈置圖，FIG.29、FIG.30及FIG.31各自為FIG.28之I-I'及II-II'及III-III'剖面圖。FIG.28及FIG.29之基本單元陣列構造雖與FIG.21及FIG.22之情形相同，但，在各位元線BL之間隙部，與位元線BL成並行埋設了作為輔助閘之多晶矽膜22之部分則不相同。如FIG.30所示，多晶矽膜22係以相對於p型矽層13之側面底部之方式，具體而言，係以能使其位於p型矽層13厚度中央左右之方式，埋設在BOX層12內，這就是陽極線(輔助字線)PL。

[記憶體晶片等效電路]

到此為止，係針對於單元陣列之構造例子加以說明，惟若連同周邊電路在內一併列出記憶體晶片之等效電路，則為如FIG.32。記憶體單元陣列201之由主閘構成之字線，係由列譯碼器(包含字線驅動器)205驅動。記憶體單元陣列201之位元線係連接於感測放大器202，經由行譯碼器203選取之行位元線將經由資料緩衝器204為I/O端子進行資料交流。

位址信號係輸入於位址緩衝器206，其列位址、行位址則各自以列譯碼器205、行譯碼器203加以解碼。

經由列譯碼器205提供給單元陣列字線之各種控制電壓VWL(如上述，包含寫入時之高位準電壓VWLHW、讀出時之字線電壓VWLHR、保持時之低位準字線電壓VWLL)，及提供給輔助閘之固定的輔助閘電壓Vbg，係由使用升壓電路等之內部電壓產生電路207產生。為使電壓產生電路207

五、發明說明 (27)

之輸出電壓按每一個晶片設定成最適值，設有初始設定暫存器 209。

如上述，設有作成非揮發性記憶電路之保險絲電路 208，俾據以測試結果將電壓產生電路 207 所輸出之各種電壓設定於最適值。各種電壓之初始設定值係依該保險絲電路 208 之程式而定。並且欲執行記憶操作時，則依用來檢測電源接通之電源接通電路 210 之輸出，使保險絲電路 208 之資料自動讀出於初始設定暫存器 209，而以該初始設定暫存器 209 之輸出控制電壓產生電路 207，藉此便可產生經按每一個晶片予以最適化之控制電壓 VWL 或輔助閘電壓 Vbg。

四、中文發明摘要(發明之名稱：半導體記憶裝置)

半導體記憶裝置具有用以構成介以絕緣膜(12)形成在在半導體基板(11)上的記憶體單元(MC)所需之複數個全耗盡型 MISFET。各 MISFET 具有：半導體層(13)；源極區(16)；汲極區，其係一種汲極區(17)，而上述源極區與上述汲極區間之上述半導體層係充當浮動狀態之通道體；形成在上述通道體第一面之主閘(15)；以及形成在上述通道體第二面之輔助閘(18)。上述 MISFET，係以上述通道體在於因來自於上述主閘之電場而變成全耗盡化狀態，且因來自於上述輔助閘之電場而可供在上述通道體之第二面蓄積眾多載子之狀態作為基準狀態，而具有蓄積了眾多載子之第一資料狀態，與釋放了眾多載子之第二資料狀態。

日文發明摘要(發明之名稱：半導体メモリ装置)

半導体メモリ装置は、半導体基板(11)上に絶縁膜(12)を介して形成されたメモリセル(MC)を構成するための複数の完全空乏型のMISFETを有する。各MISFETは、半導体層(13)と、ソース領域(16)と、ドレイン領域(17)であって、前記ソース領域と前記ドレイン領域との間の前記半導体層が、フローティング状態のチャネルボディとなる、ドレイン領域と、前記チャネルボディの第1の面に形成された主ゲート(15)と、前記チャネルボディの第2の面に形成された補助ゲート(18)とを備えている。前記MISFETは、前記主ゲートからの電界により前記チャネルボディが完全空乏化した状態で且つ、前記補助ゲートからの電界により前記チャネルボディの第2の面に多数キャリアが蓄積可能とした状態を基準状態として、多数キャリアが蓄積された第1データ状態と、多数キャリアを放出した第2データ状態とを有する。

六、申請專利範圍

1. 一種半導體記憶裝置，其特徵為係具有用以構成介以絕緣膜形成在在半導體基板上的記憶體單元所需之複數個全耗盡型 MISFET 者，各 MISFET 具有：

形成在上述絕緣膜上之半導體層；

形成在上述半導體層之源極區；

汲極區，其係一種與上述源極區隔著而形成在上述半導體層之汲極區，而上述源極區與該汲極區間之半導體層係充當浮動狀態之通道體；

主閘，其係用以形成形成在上述通道體第一面之通道；

輔助閘，其係形成在與上述通道體第一面相反側之第二面；且

上述 MISFET，係以上述通道體在於因來自於上述主閘之電場而變成全耗盡化狀態，且因來自於上述輔助閘之電場而可供在上述通道體之第二面蓄積眾多載子之狀態作為基準狀態，而具有在上述通道體第二面蓄積了眾多載子之第一資料狀態，與釋放了上述通道體第二面的眾多載子之第二資料狀態。

2. 如申請專利範圍第1項之半導體記憶裝置，其中

上述第一資料狀態係使 MISFET 作五極管模式操作而在汲極接合部附近產生沖擊電離化，藉此以寫入；

上述第二資料狀態係使正向偏壓電流流通於上述通道體與汲極間，藉此以寫入。

六、申請專利範圍

3. 如申請專利範圍第1項之半導體記憶裝置，其中之MISFET係以上述半導體層之表面為第一面，以接觸於上述絕緣膜的背面為第二面，並在表面介以閘絕緣膜形成有主閘。
4. 如申請專利範圍第3項之半導體記憶裝置，其中之輔助閘係形成在上述半導體基板上之雜質擴散層。
5. 如申請專利範圍第3項之半導體記憶裝置，其中之輔助閘係埋設在上述半導體基板與上述絕緣膜間之雜質摻入層。
6. 如申請專利範圍第3項之半導體記憶裝置，其中之輔助閘係上述絕緣膜內之雜質摻入層。
7. 如申請專利範圍第3項之半導體記憶裝置，其中
上述主閘係朝一方向連續地形成而構成字線；
上述輔助閘係埋設在上述絕緣膜內之雜質摻入層，且
形成為平行於上述字線之條紋狀。
8. 如申請專利範圍第3項之半導體記憶裝置，其中之輔助閘係在上述絕緣膜內埋設成對著上述半導體層靠近於背面之側面。
9. 如申請專利範圍第1項之半導體記憶裝置，其中
複數個MISFET係排列成矩陣，而使各MISFET之汲極區連接於位元線，使主閘連接於與位元線交叉之字線，
使源極區連接於固定電位線以構成單元陣列，且
上述輔助閘係形成為上述複數個記憶體單元之共同電

六、申請專利範圍

極。

10.如申請專利範圍第9項之半導體記憶裝置，其中之輔助閘係形成為上述單元陣列全體之共同電極。

11.如申請專利範圍第8項之半導體記憶裝置，其中

複數個 MISFET 係排列成矩陣，而使各 MISFET 之汲極區連接於位元線，使主閘連接於與位元線交叉之字線，使上述輔助閘連接於與位元線平行之陽極線，使源極區連接於固定電位線以構成單元陣列。

12.如申請專利範圍第1項之半導體記憶裝置，其中

複數個 MISFET 係排列成矩陣，而使各 MISFET 之汲極區連接於位元線，使主閘連接於與位元線交叉之字線，使源極區連接於固定電位線以構成單元陣列，

上述輔助閘係形成為與上述位元線平行且位於上述位元線間之輔助閘線。

13.如申請專利範圍第1項之半導體記憶裝置，其中加上上述記憶體單元更具有與上述 MISFET 相同構成之仿效電晶體，且使用該仿效電晶體實施測試藉以設定提供給上述 MISFET 之各種電壓。

14.如申請專利範圍第13項之半導體記憶裝置，其中仿效電晶體之主閘與輔助閘與源極區與汲極區，係各自連接於測試用焊墊。

15.如申請專利範圍第1項之半導體記憶裝置，其中具有：

內部電壓產生電路，用以產生按照寫入/讀出/保持之

六、申請專利範圍

各操作模式提供給上述主閘之各種控制電壓，及記憶操作中提供給上述輔助閘之固定電壓；

非揮發性記憶電路，其可按照測試結果將上述各種控制電壓及固定電壓之值加以程式設計；以及

初始設定暫存器，用以保持該非揮發性記憶電路之讀出資料而控制上述內部電壓產生電路之輸出電壓。

16. 如申請專利範圍第15項之半導體記憶裝置，其中加上上述記憶體單元更具有有一種與上述MISFET相同構成之仿效電晶體，而使主閘與源極區與汲極區各自連接於測試用焊墊之仿效電晶體。

17. 一種半導體記憶裝置，其特徵為係具有用以構成介以絕緣膜形成在在半導體基板上的記憶體單元所需之複數個全耗盡型MISFET者，各MISFET具有：

在上述半導體基板上形成為柱狀之柱狀半導體層；

形成在上述柱狀半導體層上部或下部之一方的源極區；

汲極區，其係一種與上述源極區隔著而形成在上述半導體層之汲極區，而上述源極區與該汲極區間之半導體層係充當浮動狀態之通道體；

主閘，其係用以形成形成在上述通道體第一側面之通道；

輔助閘，其係形成在與上述通道體第一側面相反側之第二側面；且

六、申請專利範圍

上述 MISFET，係以上述通道體在於因來自於上述主閘之電場而變成全耗盡化狀態，且因來自於上述輔助閘之電場而可供在上述通道體之第二側面蓄積眾多載子之狀態作為基準狀態，而具有在上述通道體第二側面蓄積了眾多載子之第一資料狀態，與釋放了上述通道體第二側面的眾多載子之第二資料狀態。

18. 如申請專利範圍第17項之半導體記憶裝置，其中

上述第一資料狀態係使 MISFET 作五極管模式操作而在汲極接合部附近產生沖擊電離化，藉此以寫入；

上述第二資料狀態係使正向偏壓電流流通於上述通道體與汲極間，藉此以寫入。

19. 如申請專利範圍第17項之半導體記憶裝置，其中之源極區係在上述柱狀半導體層下部為複數個記憶體單元所共用。

20. 如申請專利範圍第19項之半導體記憶裝置，其中之源極區係為單元陣列全體所共用。

21. 如申請專利範圍第17項之半導體記憶裝置，其中

複數個 MISFET 係排列成矩陣，而使各 MISFET 之汲極區連接於位元線，使主閘連接於與位元線交叉之字線，使上述輔助閘連接於與位元線平行之陽極線，使源極區連接於固定電位線以構成單元陣列。

22. 如申請專利範圍第17項之半導體記憶裝置，其中加上上述記憶體單元更具有與上述 MISFET 相同構成之仿效電

六、申請專利範圍

晶體，且使用該仿效電晶體實施測試藉以設定提供給上述 MISFET 之各種電壓。

23. 如申請專利範圍第 22 項之半導體記憶裝置，其中仿效電晶體之主閘與輔助閘與源極區與汲極區，係各自連接於測試用焊墊。

24. 如申請專利範圍第 17 項之半導體記憶裝置，其中具有：

內部電壓產生電路，用以產生按照寫入/讀出/保持之各操作模式提供給上述主閘之各種控制電壓，及記憶操作中提供給上述輔助閘之固定電壓；

非揮發性記憶電路，其可按照測試結果將上述各種控制電壓及固定電壓之值加以程式設計；以及

初始設定暫存器，用以保持該非揮發性記憶電路之讀出資料而控制上述內部電壓產生電路之輸出電壓。

25. 如申請專利範圍第 24 項之半導體記憶裝置，其中加上述記憶體單元更具有有一種與上述 MISFET 相同構成之仿效電晶體，而使主閘與源極區與汲極區各自連接於測試用焊墊之仿效電晶體。

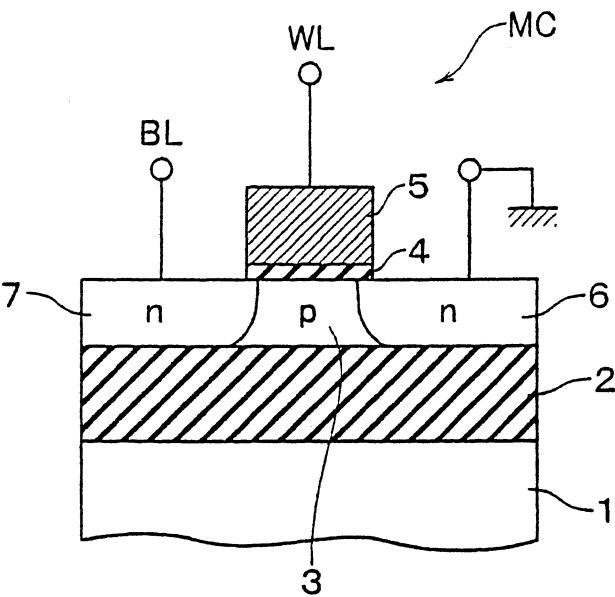


圖 1

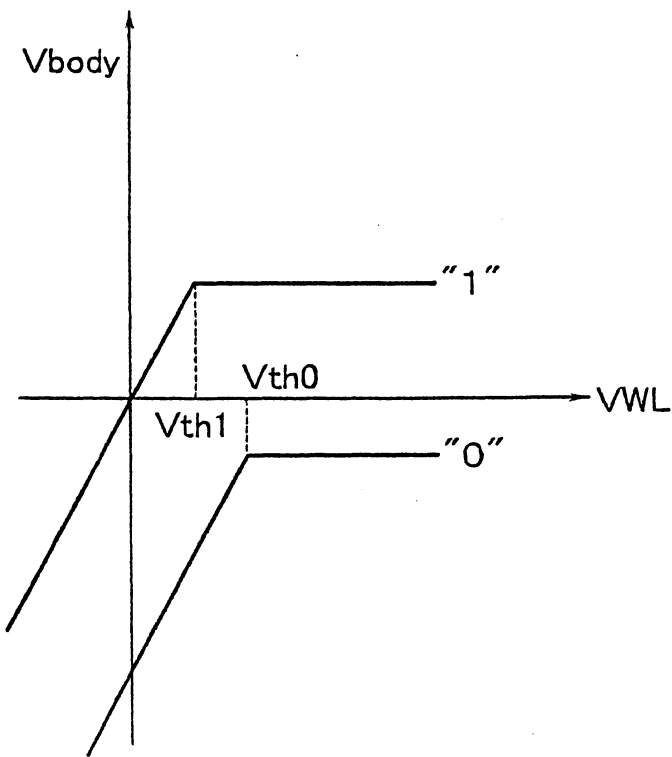


圖 2

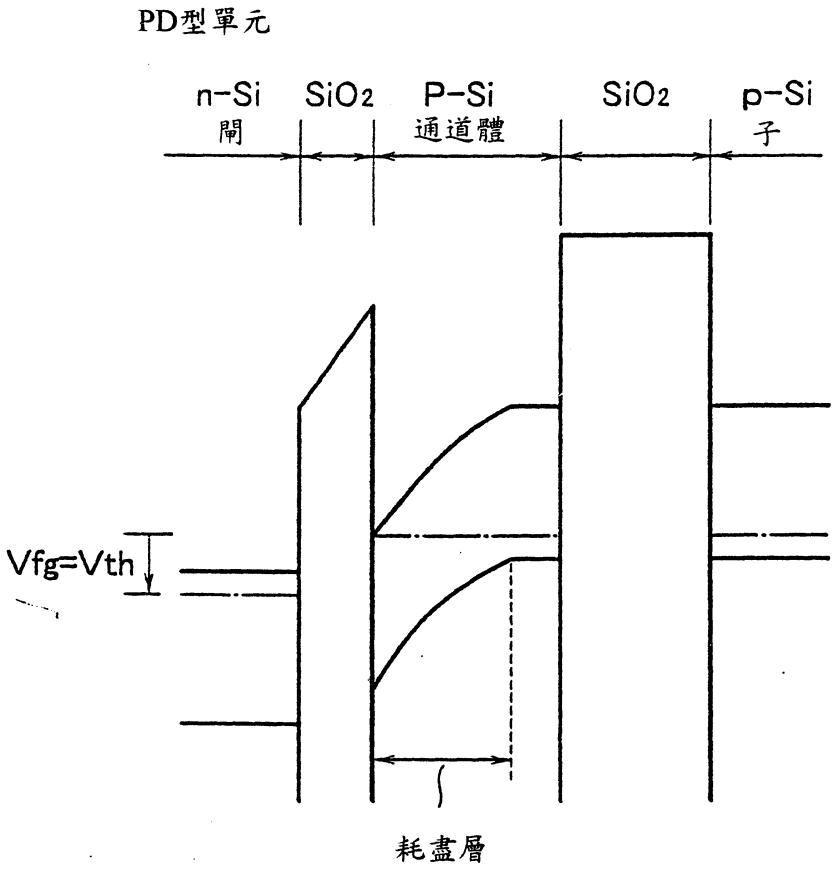
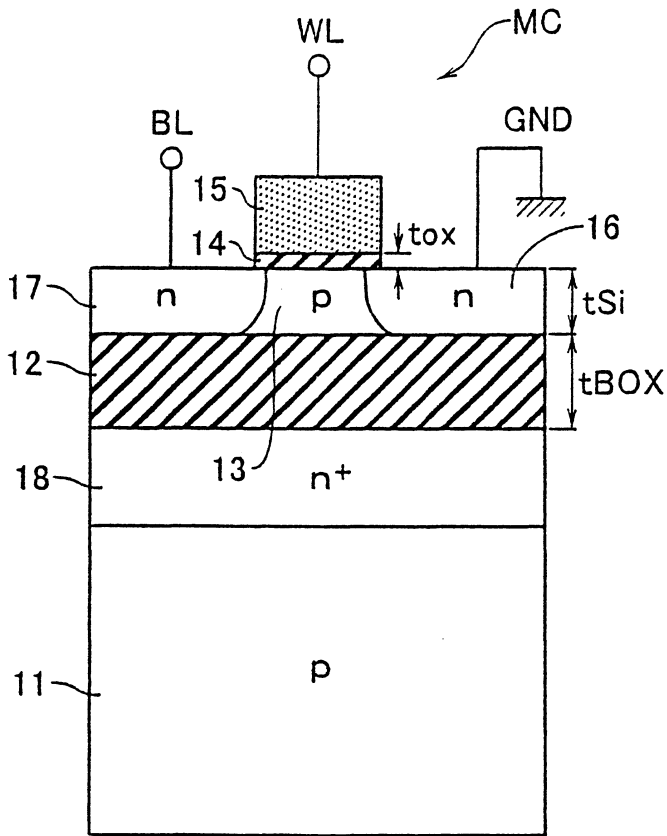
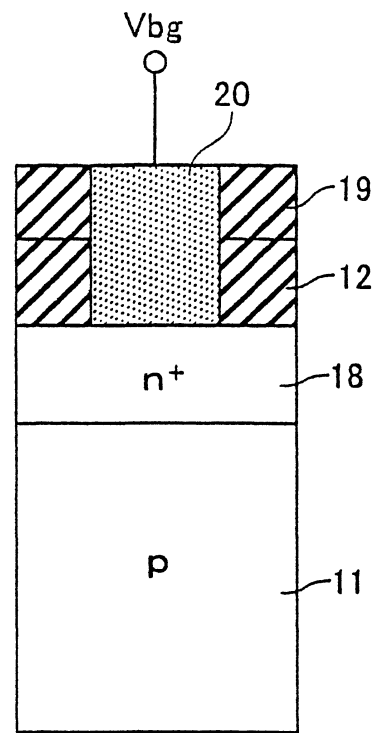


圖 3



單元區

圖 4A



周邊區

圖 4B

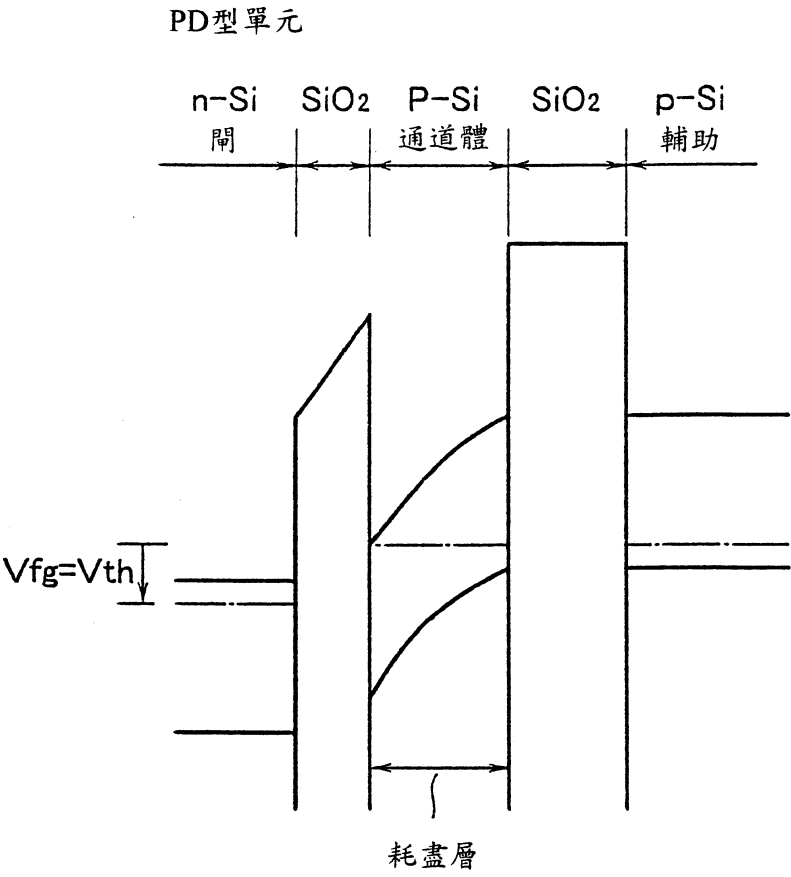


圖 5

PD型單元之"0"狀態

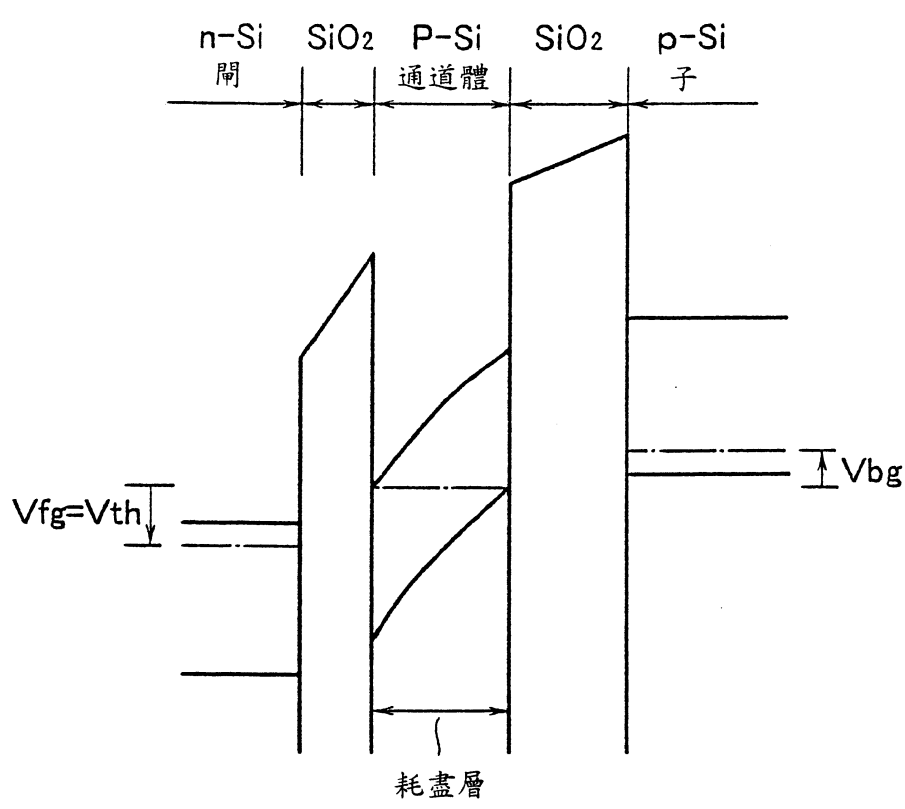


圖 6

$t_{ox}=10\text{nm}$, $t_{BOX}=30\text{nm}$, $t_{Si}=25\text{nm}$, $NA=1.0e15\text{cm}^{-3}$

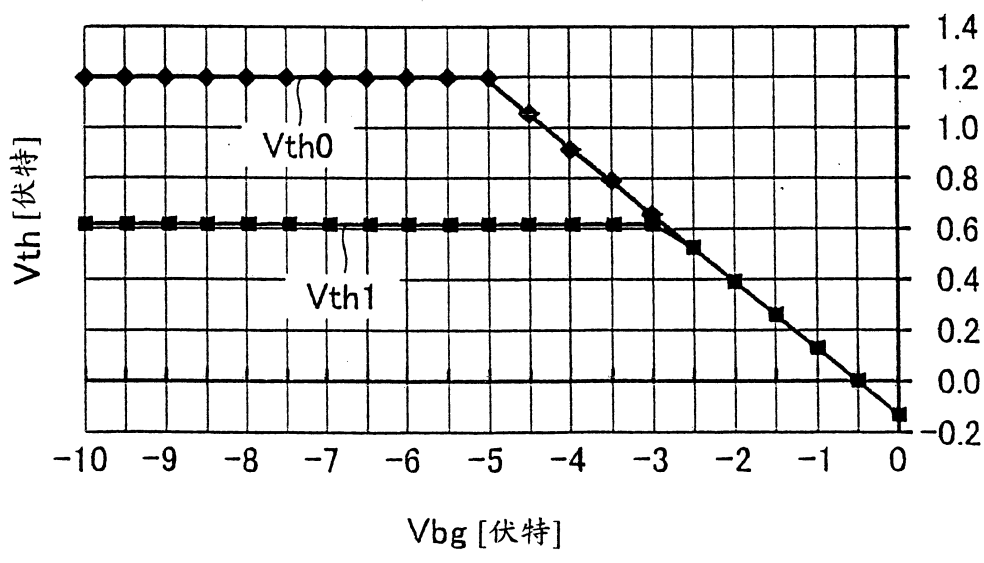


圖 7

“0” 寫入/讀出

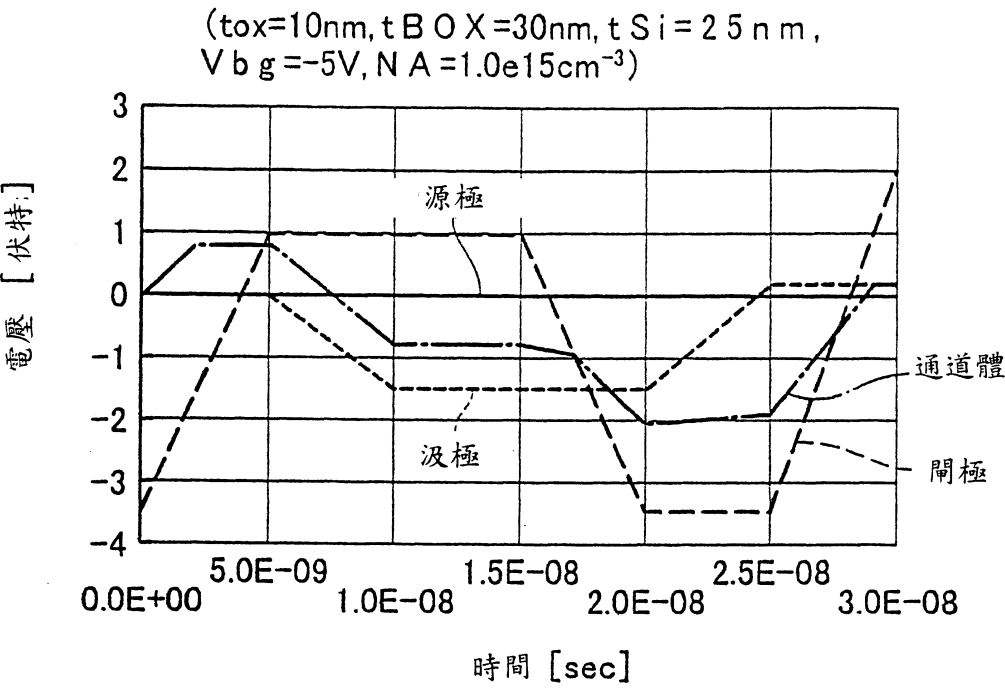


圖 8

“1” 寫入/讀出

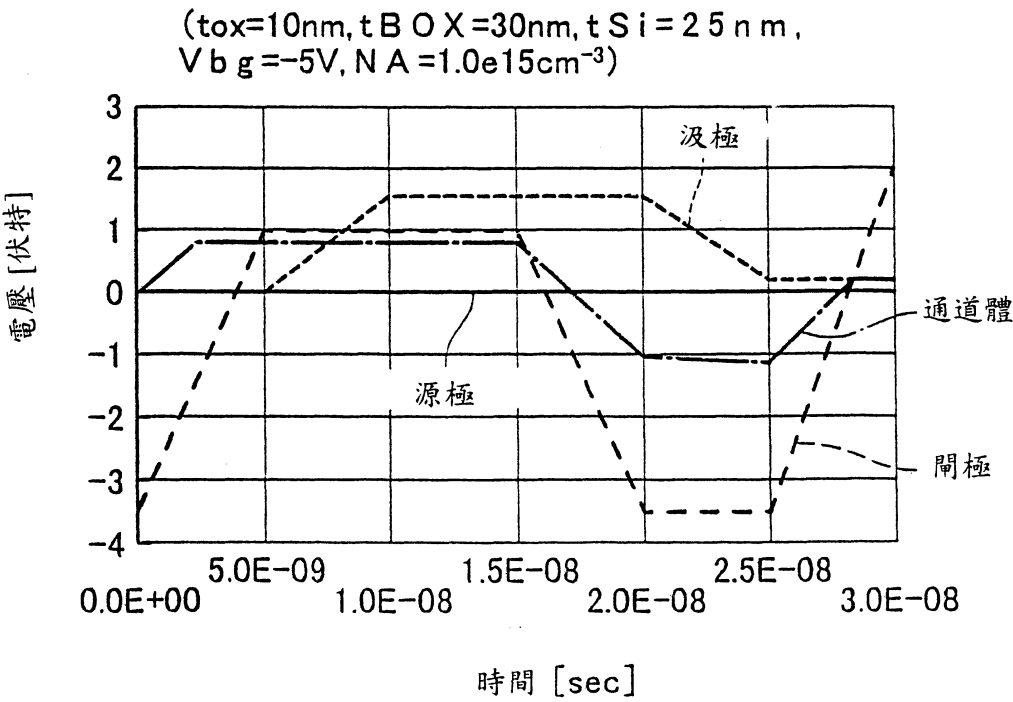


圖 9

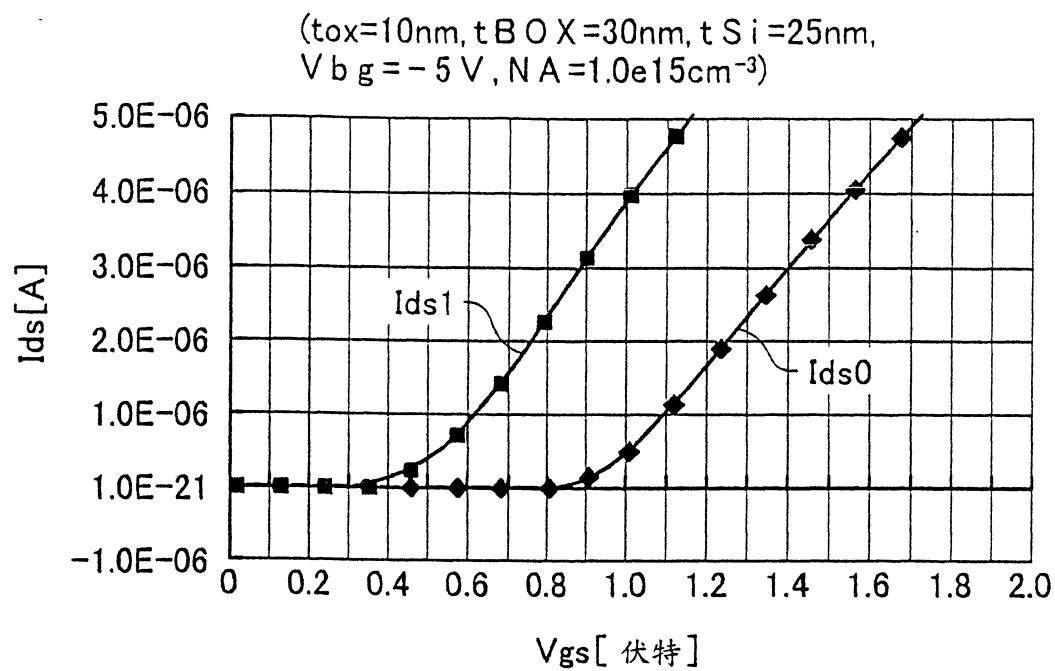


圖 10

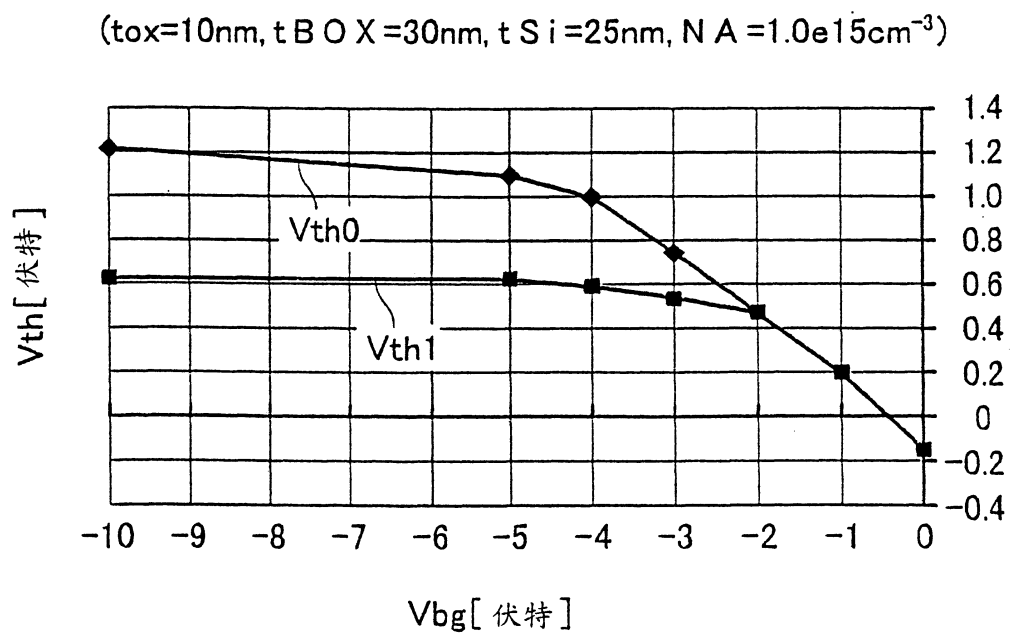
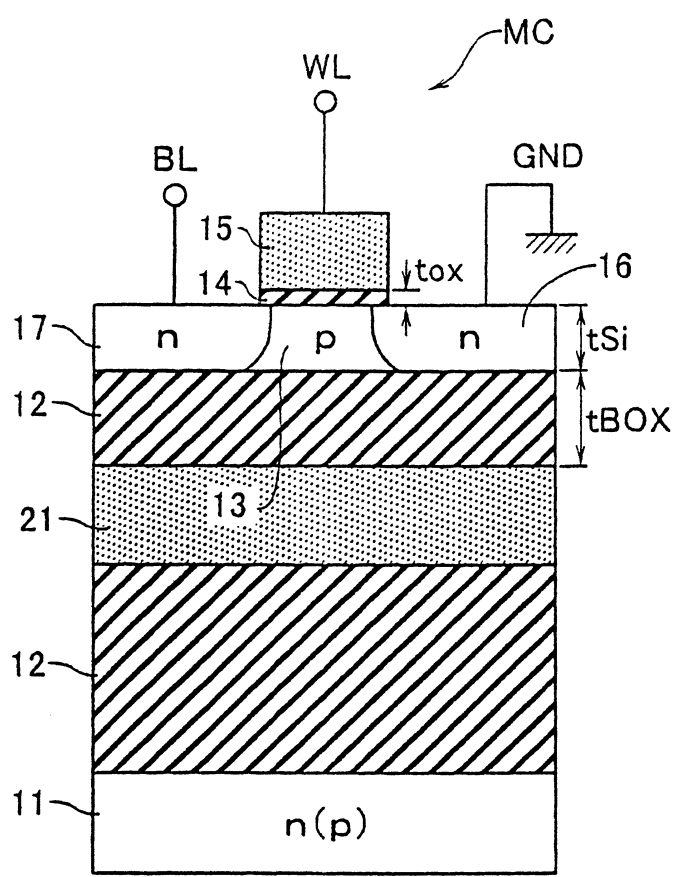
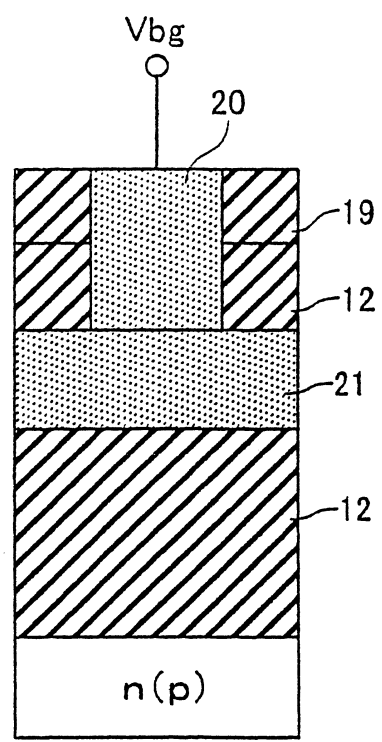


圖 11



單元區

圖 13A



周邊區

圖 13B

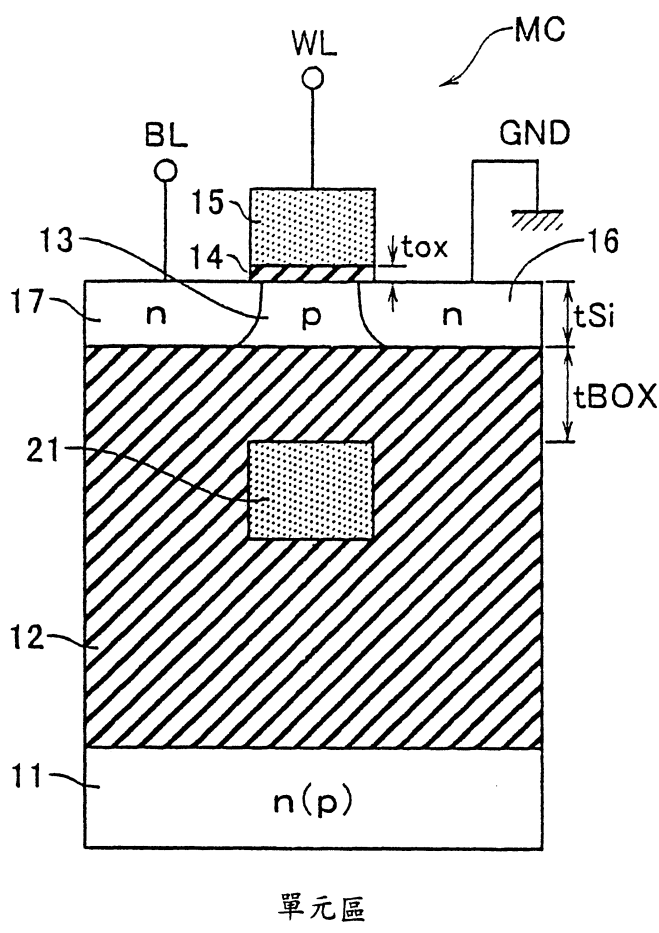


圖 14A

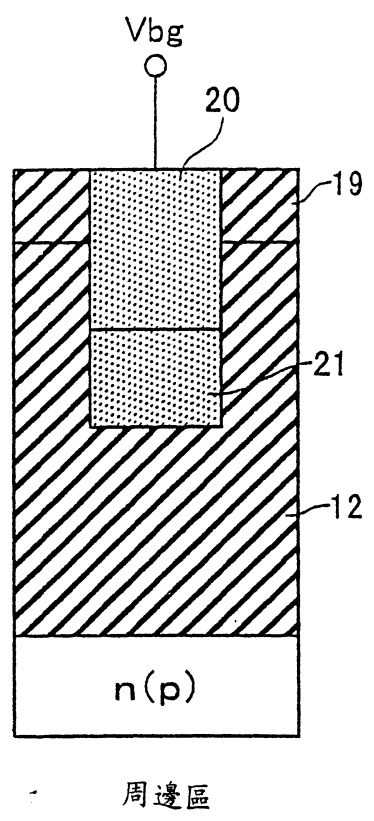


圖 14B

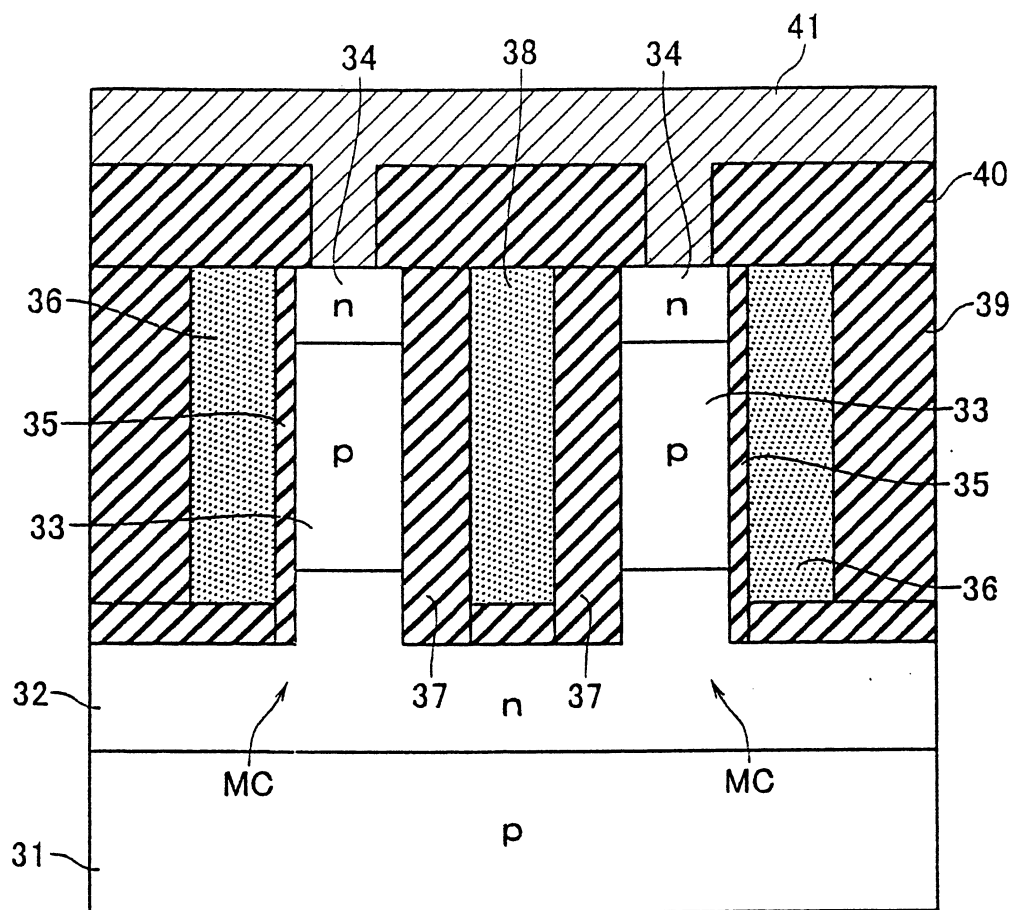
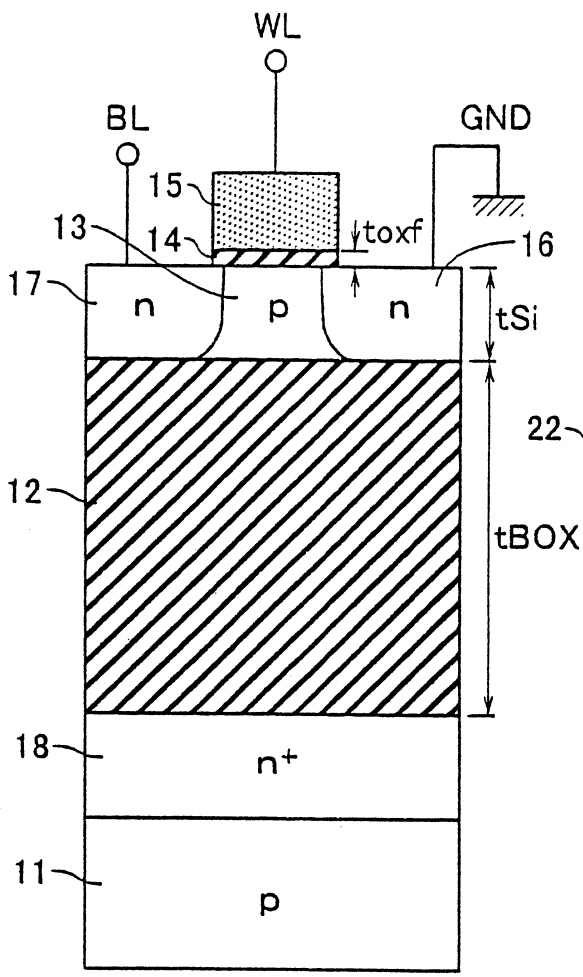
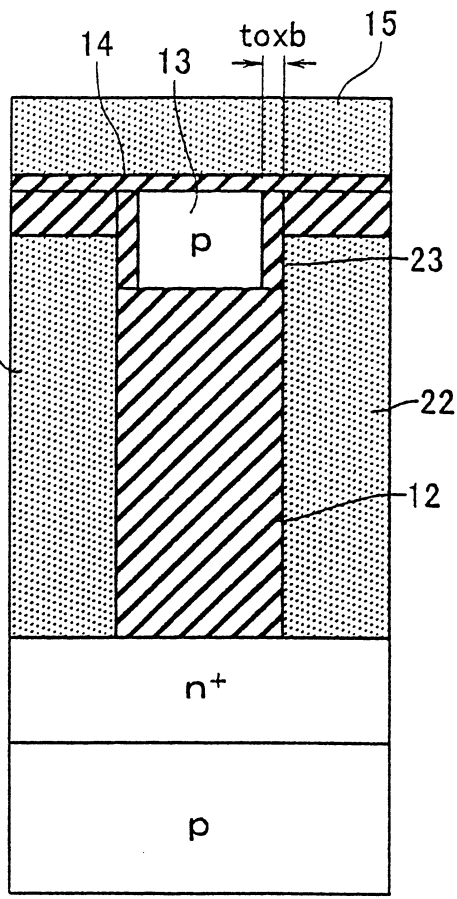


圖 15



單元區
(沿 BL 剖面)

圖 16A



單元區
(沿 WL 剖面)

圖 16B

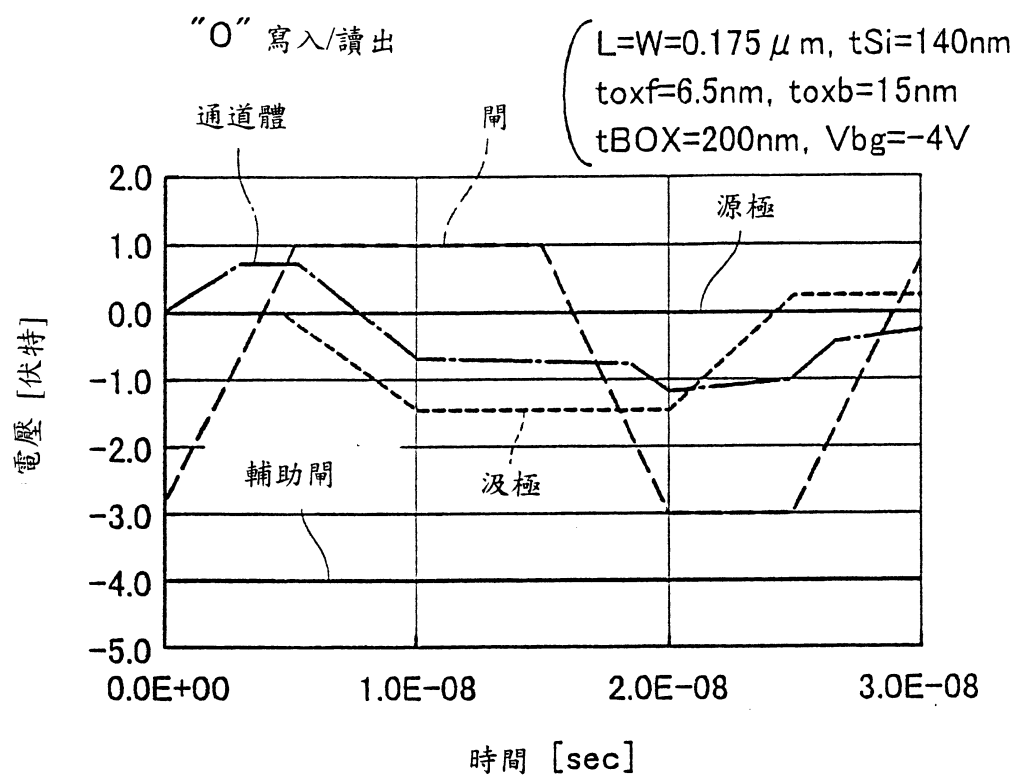


圖 17

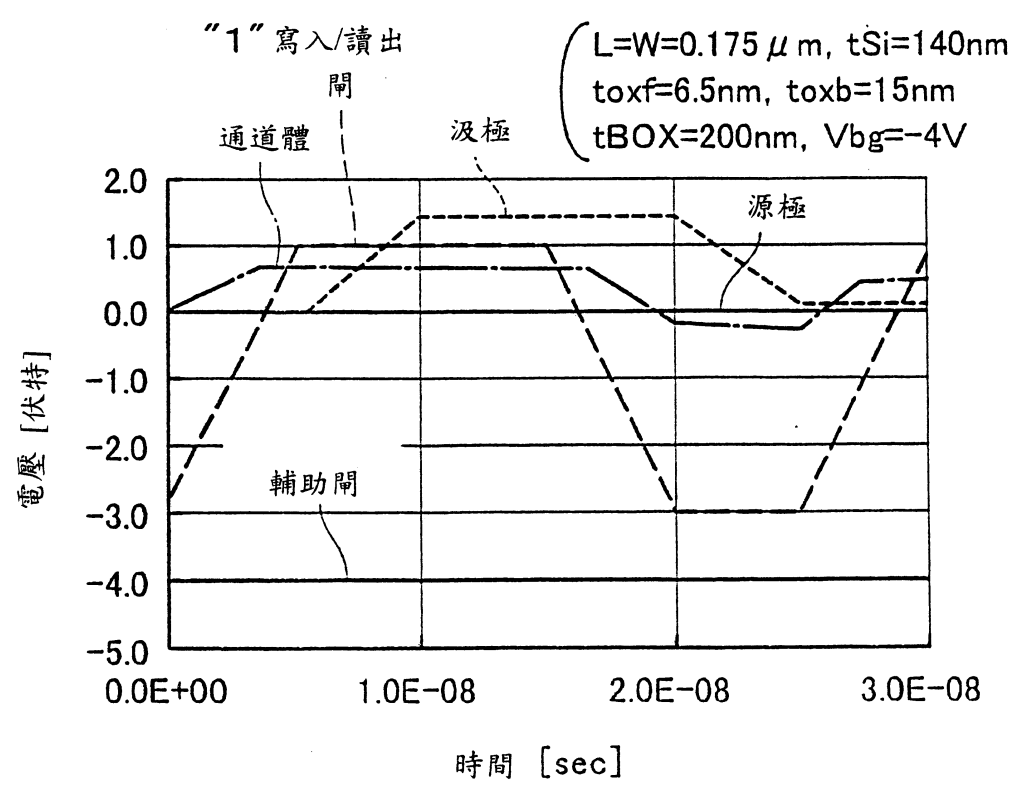


圖 18

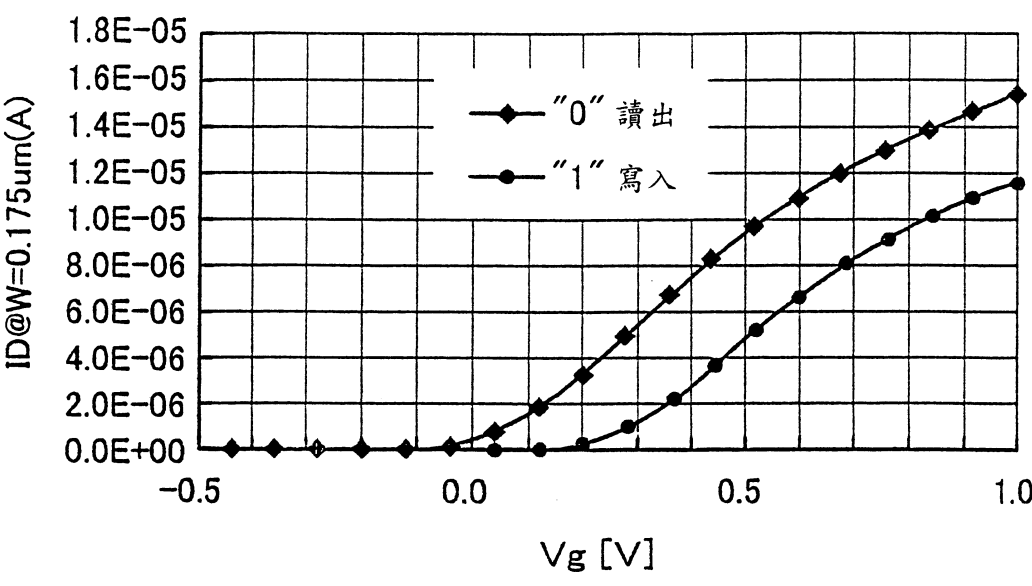


圖 19

$t_{ox}=10\text{nm}$, $t_{BOX}=30\text{nm}$, $t_{Si}=25\text{nm}$,
 $N_A=n_i=1.0e10\text{cm}^{-3}$ @300K, p+多晶矽閘

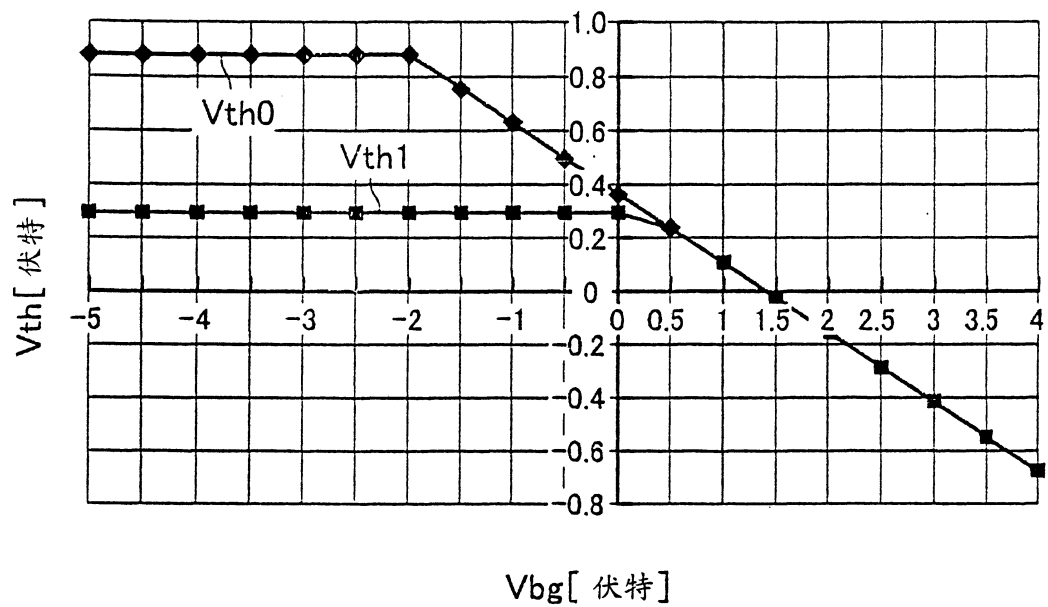


圖 20A

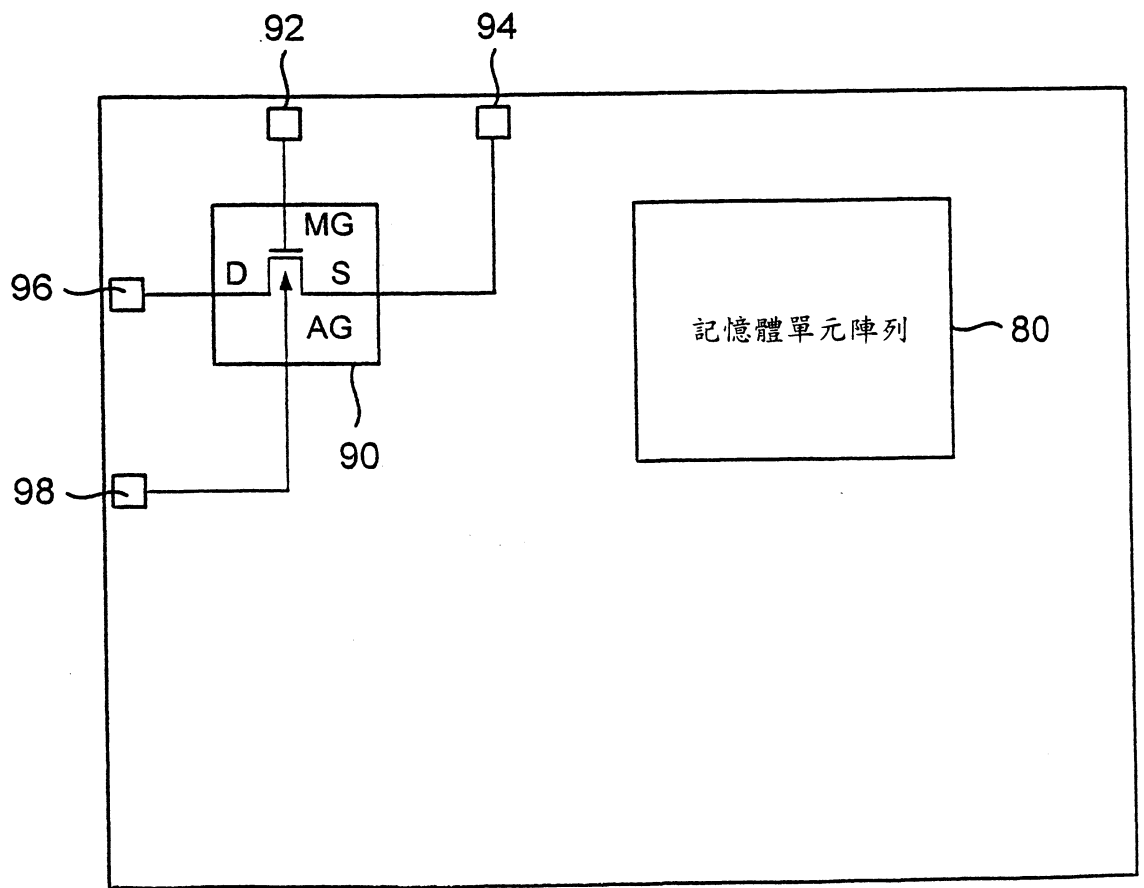


圖 20B

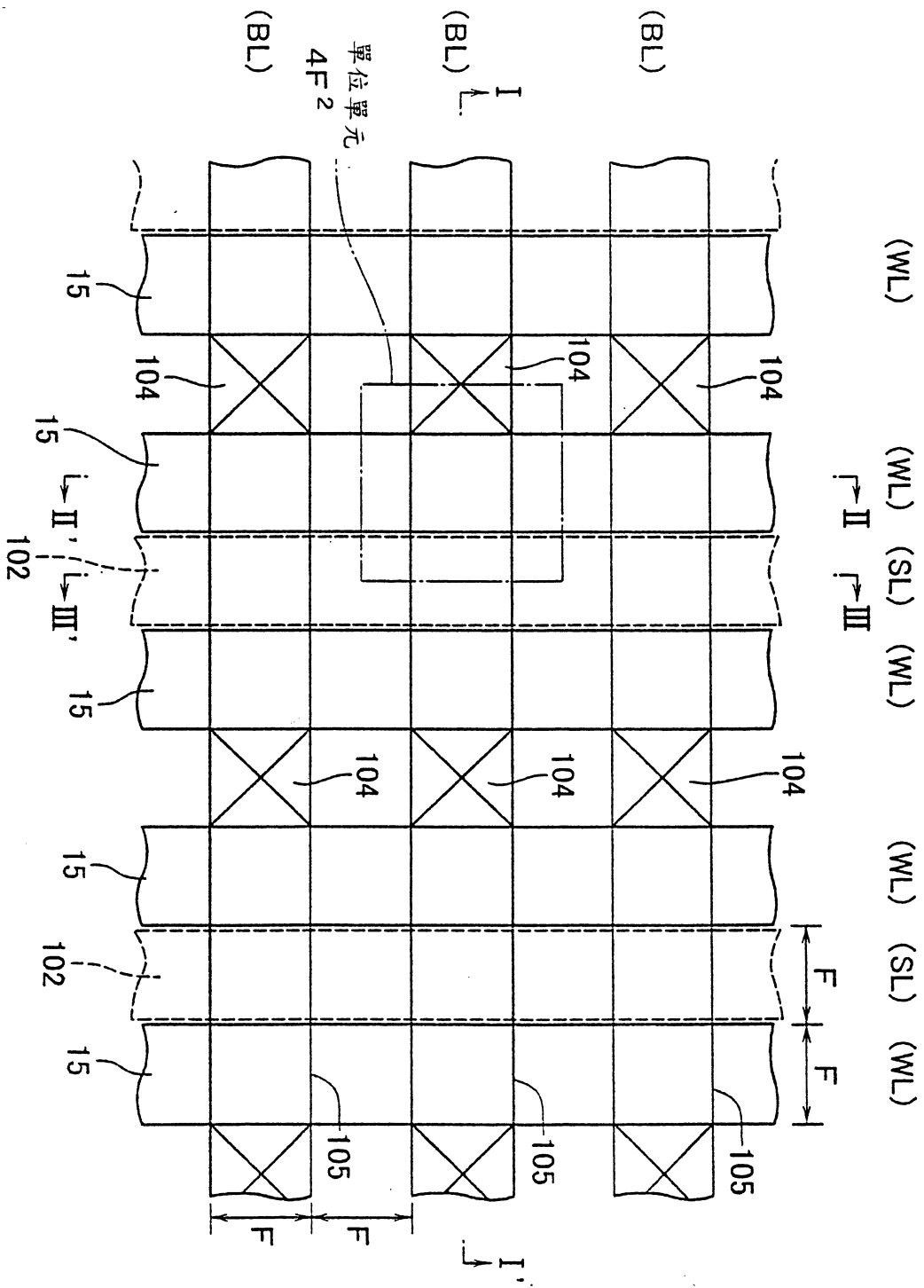


圖 21

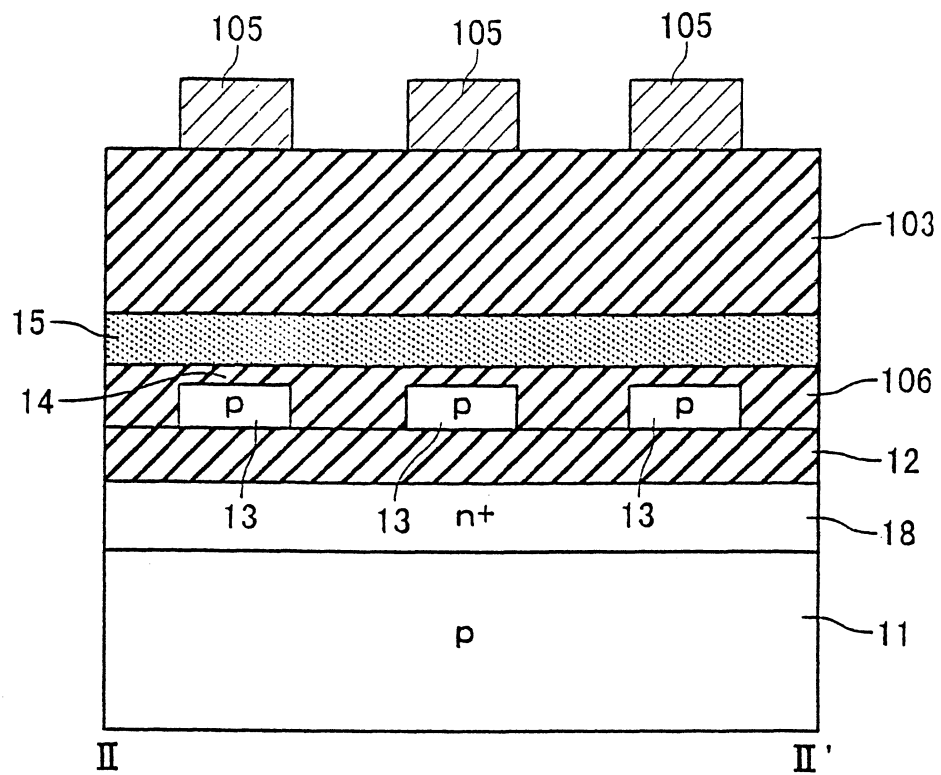


圖 23

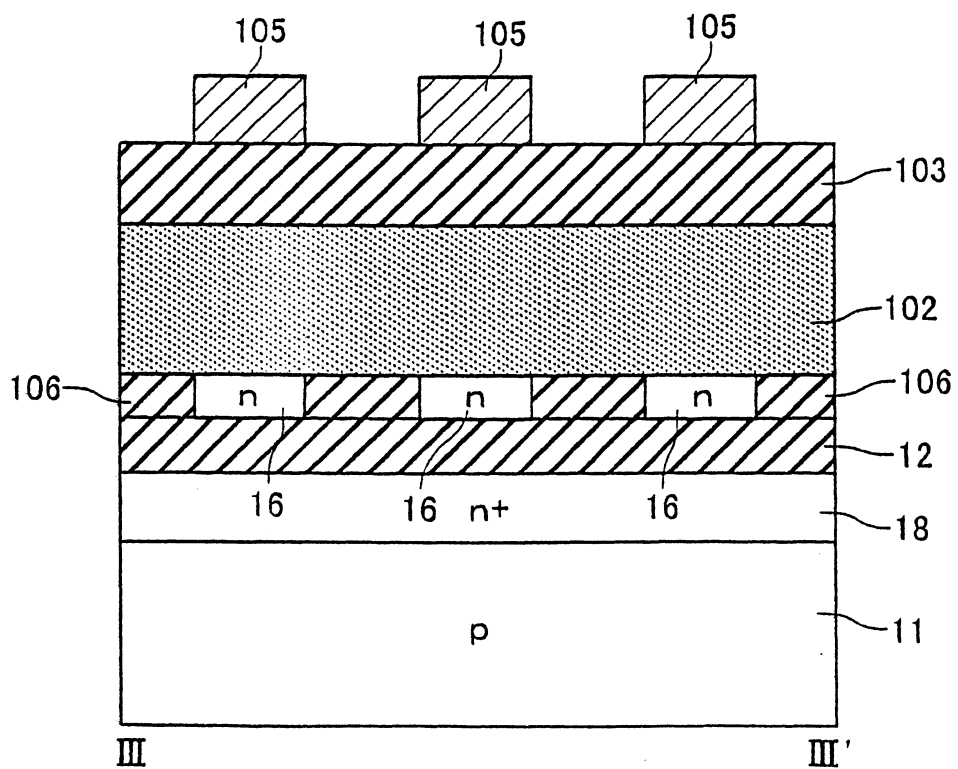


圖 24

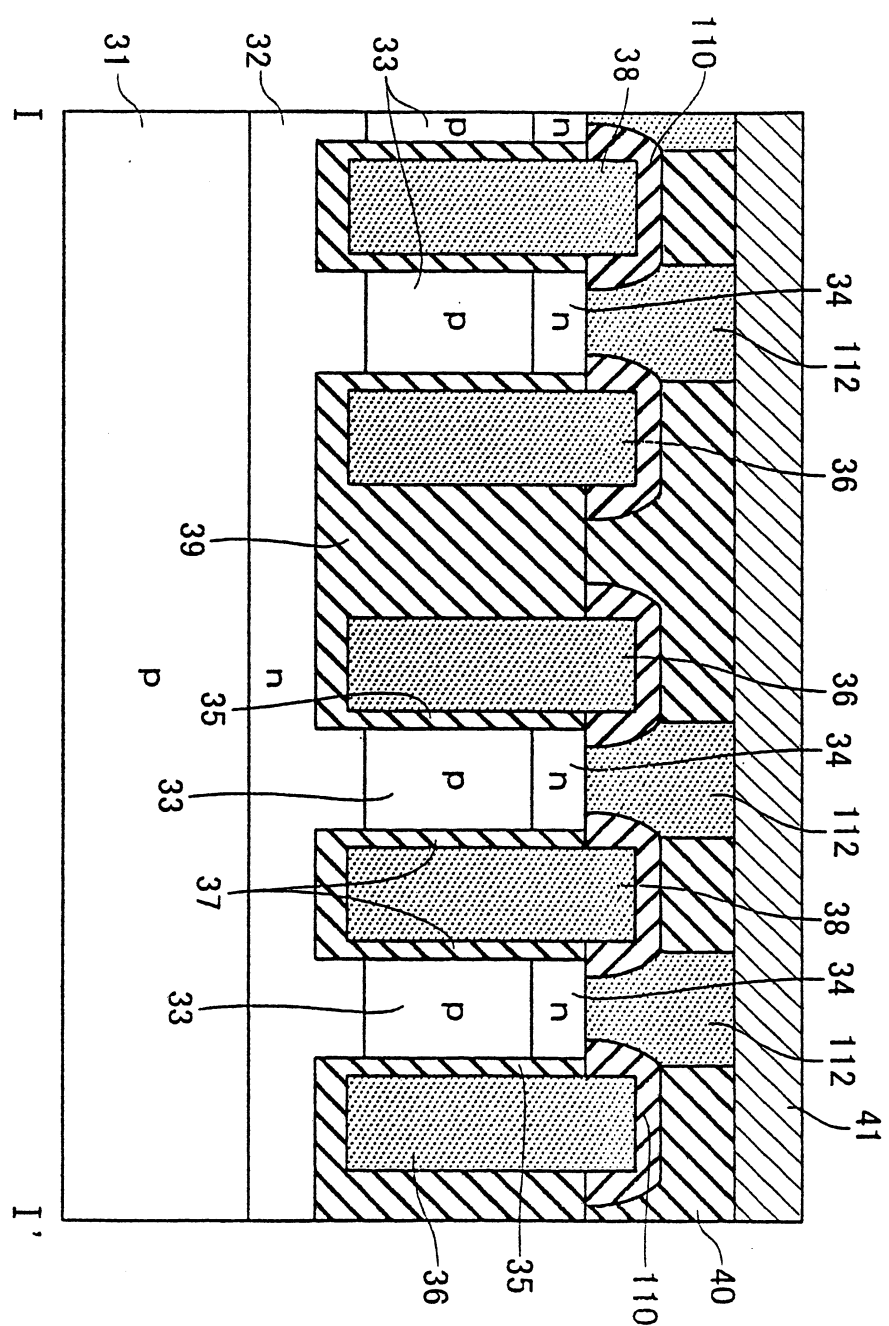


圖 26

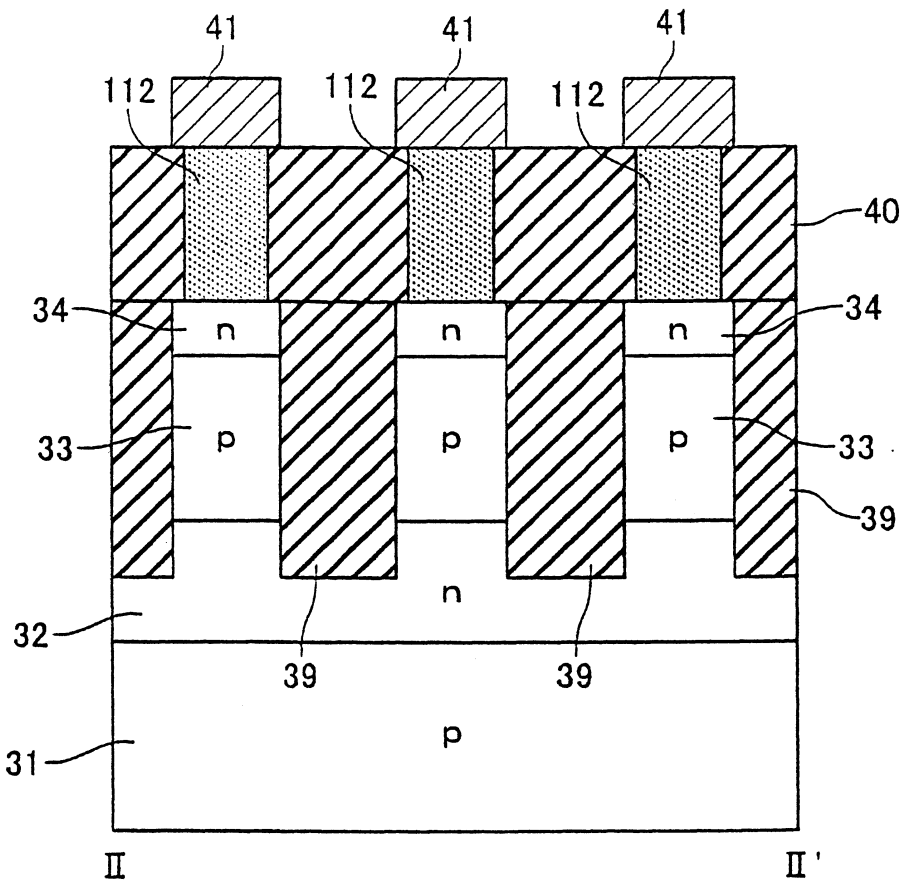


圖 27

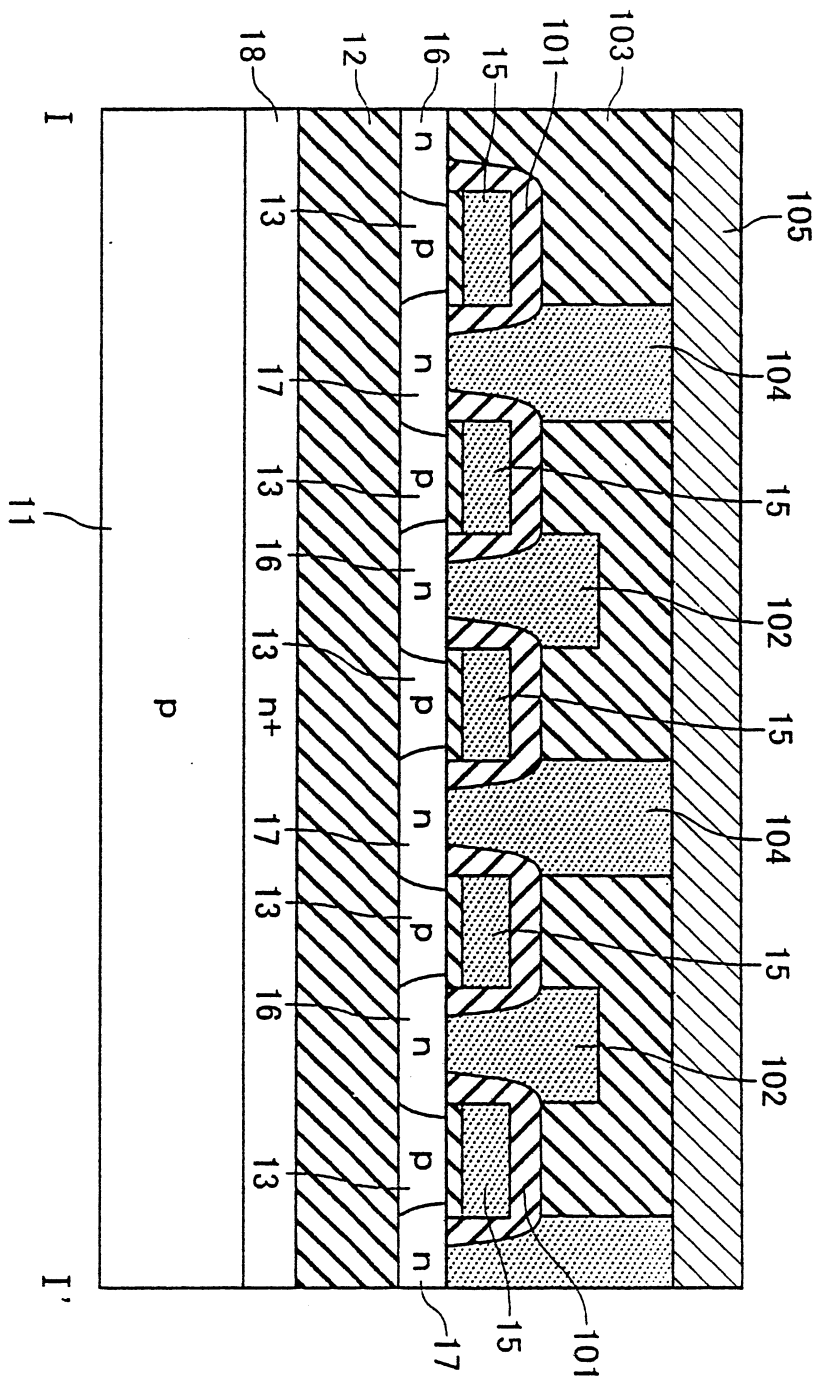


圖 29

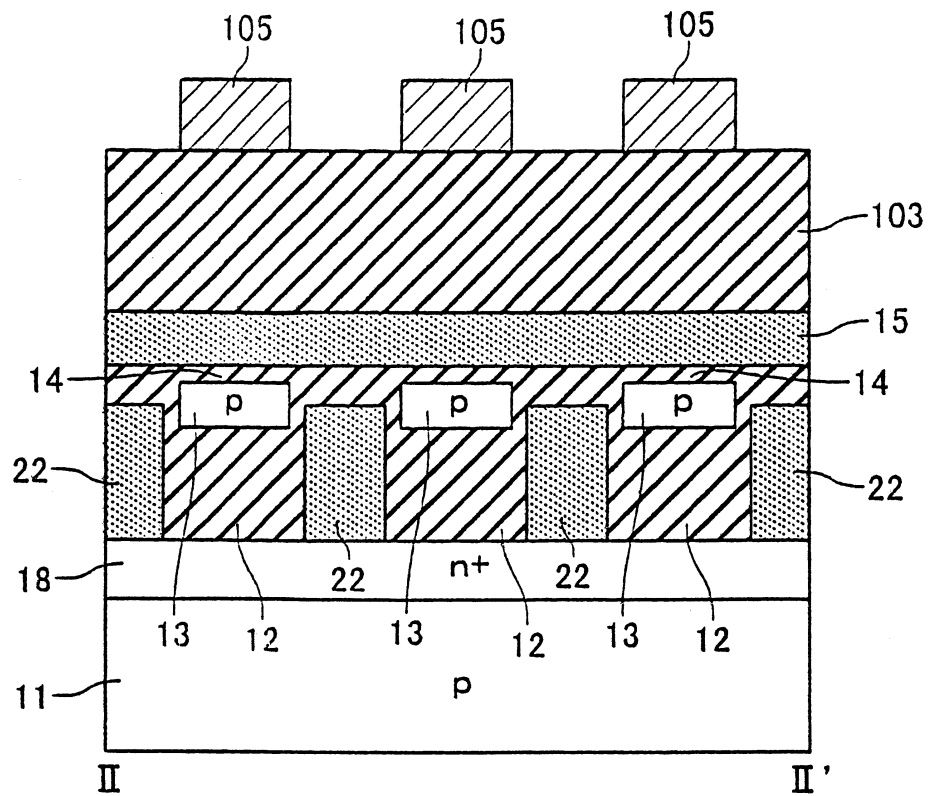


圖 30

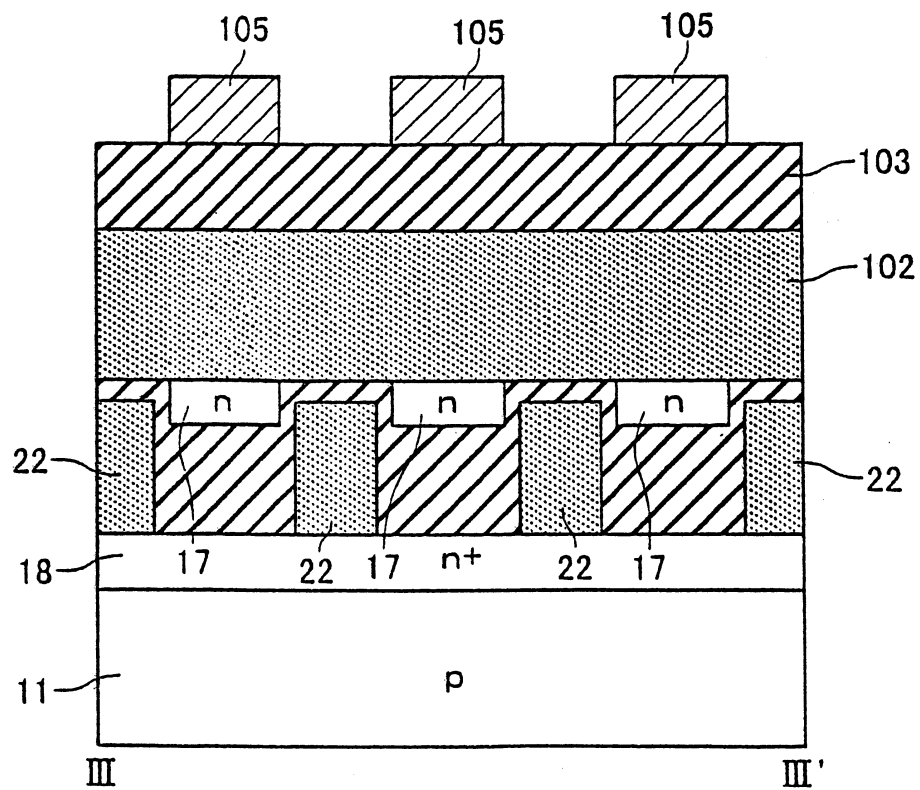


圖 31

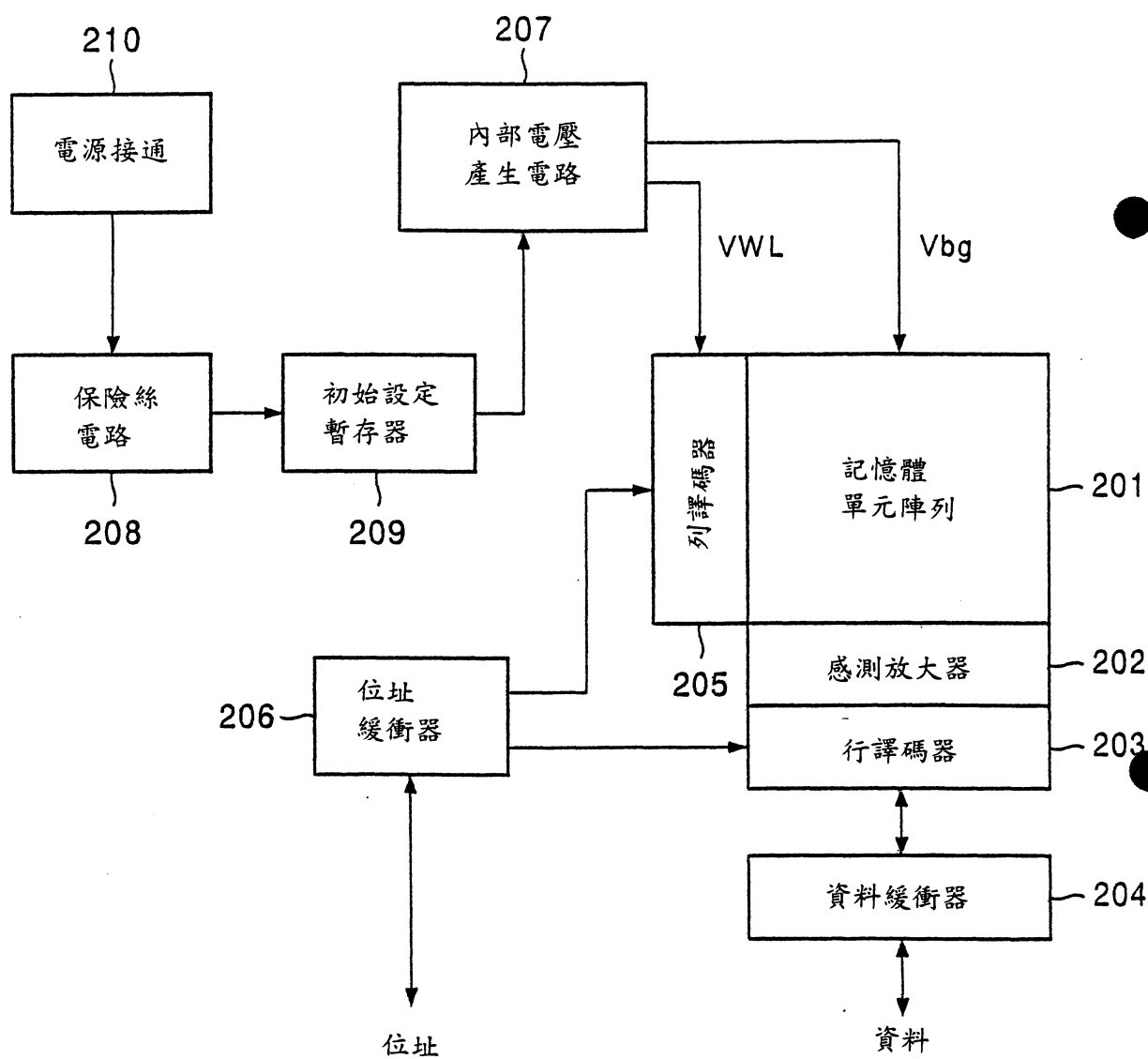


圖 32