



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0017676
(43) 공개일자 2015년02월17일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/336 (2006.01)
(21) 출원번호 10-2014-0100997
(22) 출원일자 2014년08월06일
심사청구일자 없음
(30) 우선권주장
JP-P-2013-163811 2013년08월07일 일본(JP)

(71) 출원인
가부시킴가이사 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
엔도 유타
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시킴가이사 한도오따이 에네루기 켄큐쇼 내
노다 교세이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시킴가이사 한도오따이 에네루기 켄큐쇼 내
사토 유이치
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시킴가이사 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
장훈

전체 청구항 수 : 총 20 항

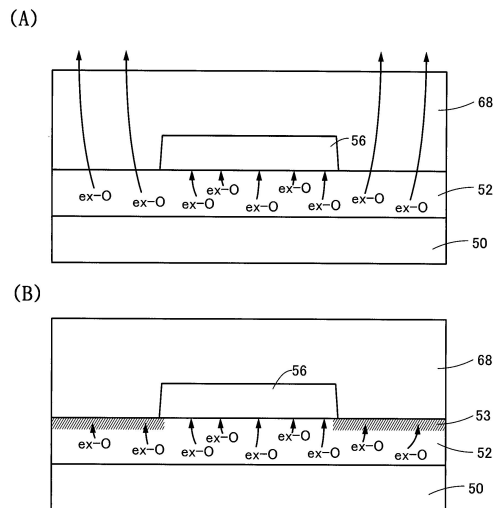
(54) 발명의 명칭 반도체 장치 및 그 제작 방법

(57) 요약

본 발명은 산화물 반도체막을 사용한 트랜지스터를 제공한다. 또는, 산소 결손이 저장된 산화물 반도체막을 사용한 트랜지스터를 제공한다. 또는, 전기 특성이 뛰어난 트랜지스터를 제공한다.

제 1 절연막과, 제 1 산화물 반도체막과, 게이트 절연막과, 게이트 전극을 갖고, 제 1 절연막은 제 1 영역과, 제 2 영역을 갖고, 제 1 영역은 제 2 영역보다 산소를 투과시키기 어려운 영역이며, 제 1 산화물 반도체막은 적어도 제 2 영역 위에 배치되는 반도체 장치이다.

대표도 - 도1



특허청구의 범위

청구항 1

반도체 장치에 있어서:

기판 위의 제 1 절연막;

상기 제 1 절연막 위의 섬 형상을 갖는 제 1 산화물 반도체막;

상기 제 1 산화물 반도체막 위의 게이트 절연막; 및

상기 게이트 절연막 위의 게이트 전극을 포함하고,

상기 제 1 절연막은 제 1 영역과 제 2 영역을 포함하고,

상기 제 1 영역은, 상기 제 2 영역보다 적은 산소를 투과시키는 영역이고,

상기 제 1 산화물 반도체막과 상기 제 2 영역은 서로 중첩하고,

상기 제 1 산화물 반도체막의 부분은 높은 저항 영역과 낮은 저항 영역을 포함하고,

상기 높은 저항 영역과 상기 게이트 전극은 서로 중첩하는, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 절연막은 돌출부를 갖고,

상기 돌출부는 상기 제 2 영역의 적어도 일부를 포함하는, 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 제 1 절연막은 섬 형상을 갖는, 반도체 장치.

청구항 4

제 1 항에 있어서,

상기 제 2 영역은 상기 게이트 전극과 중첩하는, 반도체 장치.

청구항 5

제 1 항에 있어서,

상기 제 1 영역은 인 또는 붕소를 함유하는, 반도체 장치.

청구항 6

제 1 항에 있어서,

상기 낮은 저항 영역은 인 또는 붕소를 함유하는, 반도체 장치.

청구항 7

제 1 항에 있어서,

상기 제 1 절연막은 가열에 의해 방출된 산소를 함유하는, 반도체 장치.

청구항 8

제 1 항에 있어서,

상기 제 1 절연막은 상기 게이트 절연막보다 큰 두께를 갖는, 반도체 장치.

청구항 9

제 3 항에 있어서,

상기 제 1 절연막과 상기 제 1 산화물 반도체막 사이에 제 2 산화물 반도체막을 더 포함하고,

상기 제 2 산화물 반도체막과 상기 제 1 절연막의 두께의 합은 상기 게이트 절연막의 두께보다 큰, 반도체 장치.

청구항 10

반도체 장치에 있어서:

기관 위의 제 1 절연막;

상기 제 1 절연막 위의 섬 형상을 갖는 제 1 산화물 반도체막;

상기 제 1 산화물 반도체막 위의 제 2 절연막;

상기 제 2 절연막 위의 게이트 전극; 및

상기 제 1 산화물 반도체막과 상기 게이트 전극 위의 제 3 절연막을 포함하고,

상기 제 1 절연막은 제 1 영역과 제 2 영역을 포함하고,

상기 제 1 영역은, 상기 제 2 영역보다 적은 산소를 투과시키는 영역이고,

상기 제 1 산화물 반도체막과 상기 제 2 영역은 서로 중첩하고,

상기 제 1 산화물 반도체막의 부분은 높은 저항 영역과 낮은 저항 영역을 포함하고,

상기 높은 저항 영역과 상기 게이트 전극은 서로 중첩하고,

상기 제 3 절연막은 상기 제 1 절연막 및 상기 제 2 절연막과 접하는, 반도체 장치.

청구항 11

제 10 항에 있어서,

상기 제 3 절연막은 산소가 쉽게 통과하지 못하는 막인, 반도체 장치.

청구항 12

제 10 항에 있어서,

상기 제 3 절연막은 산화 알루미늄막인, 반도체 장치.

청구항 13

제 10 항에 있어서,

상기 제 1 절연막은 돌출부를 갖고,

상기 돌출부는 상기 제 2 영역의 적어도 일부를 포함하는, 반도체 장치.

청구항 14

제 10 항에 있어서,

상기 제 1 절연막은 섬 형상을 갖는, 반도체 장치.

청구항 15

제 10 항에 있어서,

상기 제 1 절연막은 가열에 의해 방출된 산소를 함유하는, 반도체 장치.

청구항 16

제 10 항에 있어서,

상기 제 1 절연막은 상기 제 2 절연막보다 큰 두께를 갖는, 반도체 장치.

청구항 17

제 14 항에 있어서,

상기 제 1 절연막과 상기 제 1 산화물 반도체막 사이에 제 2 산화물 반도체막을 더 포함하고,

상기 제 2 산화물 반도체막과 상기 제 1 절연막의 두께의 합은 상기 제 2 절연막의 두께보다 큰, 반도체 장치.

청구항 18

반도체 장치를 제작하는 방법에 있어서:

기판 위의 제 1 절연막을 형성하는 단계;

상기 제 1 절연막 위에 산화물 반도체막을 형성하여, 상기 산화물 반도체막이 섬 형상을 갖게 되는, 상기 산화물 반도체막을 형성하는 단계;

상기 산화물 반도체막 위에 제 2 절연막을 형성하는 단계;

상기 제 2 절연막 위에 게이트 전극을 형성하는 단계; 및

상기 게이트 전극을 마스크로 사용하여 상기 산화물 반도체막 및 상기 제 1 절연막에 인 또는 붕소를 첨가하는 단계를 포함하는, 반도체 장치를 제작하는 방법.

청구항 19

제 18 항에 있어서,

상기 제 1 절연막은 돌출부를 갖도록 형성되는, 반도체 장치를 제작하는 방법.

청구항 20

제 18 항에 있어서,

상기 산화물 반도체막을 형성하는 단계는:

상기 산화물 반도체막 위에 레지스트 마스크를 형성하는 단계; 및

상기 레지스트 마스크를 사용하여 상기 산화물 반도체막 및 상기 제 1 절연막을 에칭하여, 상기 산화물 반도체막이 섬 형상을 갖게 되는, 상기 에칭 단계를 포함하는, 반도체 장치를 제작하는 방법.

명세서

기술분야

[0001] 본 발명은 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명은 프로세스, 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 특히, 본 발명은 예를 들어, 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치, 이들의 구동 방법, 또는 이들을 생산하는 방법에 관한 것이다. 특히, 본 발명은 예를 들어, 트랜지스터를 갖는 반도체 장치, 표시 장치, 발광 장치, 또는 이들의 구동 방법 등에 관한 것이다. 또한 본 발명은 예를 들어, 상기 반도체 장치, 상기 표시 장치, 또는 상기 발광 장치를 갖는 전자 기기 등에 관한 것이다.

[0002] 또한 명세서에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 말한다. 표시 장치, 발광 장치, 전기 광학 장치, 반도체 회로, 및 전자 기기 등은 반도체 장치를 갖는 경우가 있다.

배경 기술

- [0003] 절연 표면을 갖는 기판 위에 형성된 반도체막을 사용하여 트랜지스터를 구성하는 기술이 주목을 받고 있다. 상기 트랜지스터는 집적 회로나 표시 장치와 같은 반도체 장치에 널리 응용되고 있다. 트랜지스터에 적용할 수 있는 반도체막으로서 실리콘막이 알려져 있다.
- [0004] 트랜지스터의 반도체막에 사용되는 실리콘막은 용도에 따라 비정질 실리콘막과 다결정 실리콘막이 가려서 사용되고 있다. 예를 들어, 대형 표시 장치를 구성하는 트랜지스터에 적용하는 경우에는 대면적 기판에 막을 형성하는 기술이 확립되어 있는 비정질 실리콘막을 사용하는 것이 바람직하다. 한편, 구동 회로를 일체로 형성한 고기능성 표시 장치를 구성하는 트랜지스터에 적용하는 경우에는 높은 전계 효과 이동도를 갖는 트랜지스터를 제작할 수 있는 다결정 실리콘막을 사용하는 것이 바람직하다. 다결정 실리콘막은 비정질 실리콘막에 대하여 고온 열처리, 또는 레이저광 처리를 수행하여 형성하는 방법이 알려져 있다.
- [0005] 근년에 들어, 인듐(In), 갈륨(Ga), 및 아연(Zn)을 함유한 산화물 반도체막을 사용한 트랜지스터가 주목을 받고 있다.
- [0006] 산화물 반도체막은 스퍼터링법 등을 사용하여 형성할 수 있기 때문에, 대형 표시 장치를 구성하는 트랜지스터에 사용할 수 있다. 또한, 산화물 반도체막을 사용한 트랜지스터는 높은 전계 효과 이동도를 갖기 때문에, 구동 회로를 일체로 형성한 고기능성 표시 장치를 실현할 수 있다. 또한, 비정질 실리콘막을 사용한 트랜지스터의 생산 설비의 일부를 개량하여 이용할 수 있기 때문에, 설비 투자를 억제할 수 있는 장점이 있다.
- [0007] 산화물 반도체막을 사용한 트랜지스터에 안정적인 전기 특성을 부여하는 방법으로서 산화물 반도체막에 접하는 절연막에 대한 산소 도핑 기술이 개시되어 있다(특허문헌 1 참조). 특허문헌 1에 개시된 기술을 사용함으로써 산화물 반도체막 중의 산소 결손을 저감할 수 있다. 이 결과, 산화물 반도체막을 사용한 트랜지스터의 전기 특성의 편차를 저감하여 신뢰성을 향상시킬 수 있다.
- [0008] 그런데, 산화물 반도체막을 사용한 트랜지스터는 오프 상태에서 누설 전류가 매우 작은 것이 알려져 있다. 예를 들어, 산화물 반도체막을 사용한 트랜지스터의 낮은 누설 특성을 응용한 저소비 전력의 CPU 등이 개시되어 있다(특허문헌 2 참조).

선행기술문헌

특허문헌

- [0009] (특허문헌 0001) 일본국 특개 2011-243974호 공보
(특허문헌 0002) 일본국 특개 2012-257187호 공보

발명의 내용

해결하려는 과제

- [0010] 산화물 반도체막을 사용한 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는 산소 결손이 저하된 산화물 반도체막을 사용한 트랜지스터를 제공하는 것을 과제 중 하나로 한다.
- [0011] 또는 전기 특성이 뛰어난 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는 미세한 구조를 갖는 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는 온 전류가 높은 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는 전기 특성이 안정적인 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는 스위칭 특성이 향상된 트랜지스터를 제공하는 것을 과제 중 하나로 한다.
- [0012] 또는, 오프 전류가 작은 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는, 상기 트랜지스터를 갖는 반도체 장치 등을 제공하는 것을 과제 중 하나로 한다. 또는, 신규 반도체 장치 등을 제공하는 것을 과제 중 하나로 한다.
- [0013] 또는, 산소의 확산 계수가 다른 영역을 갖는 절연막을 제공하는 것을 과제 중 하나로 한다. 또는, 고저항인 영역과 저저항인 영역을 갖는 산화물 반도체막을 제공하는 것을 과제 중 하나로 한다.

- [0014] 또는, 절연막 중에 산소의 확산 계수가 다른 영역을 형성하는 것을 과제 중 하나로 한다.
- [0015] 또한, 상술한 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는 상술한 과제 모두를 해결할 필요는 없는 것으로 한다. 또한, 상술한 과제 외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절로 명확해지는 것이며 명세서, 도면, 청구항 등의 기재로부터 상술한 과제 외의 과제를 추출할 수 있다.
- 과제의 해결 수단**
- [0016] 산소의 확산 계수가 큰 절연막이라도 상기 절연막 중에 불순물을 첨가함으로써 산소의 확산 계수가 작은 영역, 즉 산소를 차단하는 영역(산소 차단 영역이라고도 함)을 형성할 수 있는 경우가 있다. 예를 들어, 산화 실리콘막, 산화 질화 실리콘막 등으로 대표되는 산화물의 절연막에 대하여 인 또는 붕소를 첨가하면, 절연막 중에 산소 차단 영역을 형성할 수 있다.
- [0017] 산소 차단 영역은 예를 들어, 그 외의 영역에 비하여 산소(산소 원자 및 산소 원자를 갖는 분자 등을 포함함)의 확산 계수가 작은 영역이다. 따라서, 절연막 중에서 산소를 열 확산시킬 때, 산소 차단 영역은 그 외의 영역보다 산소가 투과(통과)하는 양이 적은 영역이다. 예를 들어, 산소 차단 영역을 가짐으로써 산소 차단 영역을 갖지 않는 경우에 비하여 산소가 투과하는 비율을 20% 미만, 15% 미만, 10% 미만, 5% 미만, 2% 미만 또는 1% 미만으로 할 수 있다.
- [0018] 산소 차단 영역을 반도체 장치의 일부에 가짐으로써 산화물 반도체막의 산소 결손을 저감할 수 있는 경우가 있다.
- [0019] 산소 차단 영역을 가짐으로써 예를 들어, 산화물 반도체막으로부터 산소가 탈리하여 반도체 장치의 외부까지 확산(외방 확산이라고도 함)하는 것을 억제할 수 있는 경우가 있다. 또는, 산소 차단 영역을 가짐으로써 산화물 반도체막과 접하는 막 등에 과잉 산소가 포함되는 경우, 과잉 산소의 외방 확산을 저감하여 산화물 반도체막으로의 과잉 산소의 공급을 효율적으로 수행할 수 있는 경우가 있다.
- [0020] 과잉 산소란, 예를 들어, 열이 가해짐으로써 방출 가능한(방출하는) 산소를 말한다. 또한, 열은 반도체 장치의 제작 공정 중에 가해지는 열을 말한다. 즉, 본 명세서에서 과잉 산소는 반도체 장치의 제작 공정 중에 가해지는 온도 이하의 열에 의하여 방출되는 산소이다. 또한, 과잉 산소는 예를 들어, 막이나 층의 내부를 이동할 수 있다. 과잉 산소의 이동은 막이나 층의 원자 사이를 이동하는 경우와, 막이나 층을 구성하는 산소와 치환하면서 연쇄적으로 이동하는 경우가 있다.
- [0021] 과잉 산소를 포함하는 막은 승온 이탈 가스 분광법(TDS: Thermal Desorption Spectroscopy)에 의하여 1×10^{18} atoms/cm³ 이상, 1×10^{19} atoms/cm³ 이상 또는 1×10^{20} atoms/cm³ 이상의 산소(산소 원자수로 환산)가 검출되는 경우도 있다.
- [0022] 또는, 과잉 산소를 포함하는 막은 과산화 라디칼을 포함하는 경우도 있다. 구체적으로는, 과산화 라디칼에 기인하는 스핀 밀도가 5×10^{17} 개/cm³ 이상인 막을 말한다. 또한, 과산화 라디칼을 포함하는 막은 전자 스핀 공명(ESR: Electron Spin Resonance)으로 g값이 2.01 근방에 비대칭의 신호를 갖는 경우도 있다.
- [0023] 본 발명의 일 형태는 기판 위의 섬 형상의 제 1 절연막과, 제 1 절연막 위에 제공된 제 1 산화물 반도체막과, 제 1 산화물 반도체막 위에 제공된 게이트 절연막과, 게이트 절연막 위에 제공된 게이트 전극을 갖고, 제 1 절연막은 제 1 영역과, 제 2 영역을 갖고, 제 1 영역은 제 2 영역보다 산소를 투과시키기 어려운 영역이며, 제 1 산화물 반도체막은 적어도 제 2 영역 위에 배치되는 반도체 장치이다.
- [0024] 또한, 본 발명의 일 형태는 기판 위의 제 1 절연막과, 제 1 절연막 위에 제공된 제 1 산화물 반도체막과, 제 1 산화물 반도체막 위에 제공된 게이트 절연막과, 게이트 절연막 위에 제공된 게이트 전극을 갖고, 제 1 절연막은 제 1 영역과, 제 2 영역을 갖고, 제 1 영역은 제 2 영역보다 산소를 투과시키기 어려운 영역이며, 제 1 절연막은 볼록부를 갖고, 상기 볼록부는 적어도 제 2 영역의 일부를 포함하고, 제 1 산화물 반도체막은 제 2 영역 위에 배치되는 반도체 장치이다.
- [0025] 또한, 상기 구성에서 제 2 영역은 게이트 전극과 중첩되면 바람직하다. 또한, 제 1 산화물 반도체막의 일부에 고정형인 영역과, 저저항인 영역을 가지면 바람직하다. 또한, 제 1 영역은 인 또는 붕소를 포함하는 영역이면 바람직하다. 또한, 저저항인 영역은 인 또는 붕소를 포함하는 것이 바람직하다.

- [0026] 또한, 본 발명의 일 형태는 기관 위의 섬 형상의 제 1 절연막과, 제 1 절연막 위에 제공된 제 1 산화물 반도체막과, 제 1 산화물 반도체막 위에 제공된 게이트 절연막과, 게이트 절연막 위에 제공된 게이트 전극과, 보호 절연막을 갖고, 보호 절연막은 제 1 산화물 반도체막 위 및 게이트 전극 위에 배치하고, 보호 절연막은 제 1 절연막 및 게이트 절연막과 접하고, 보호 절연막은 산소를 투과시키기 어려운 반도체 장치이다.
- [0027] 또한, 본 발명의 일 형태는 기관 위의 제 1 절연막과, 제 1 절연막 위에 제공된 제 1 산화물 반도체막과, 제 1 산화물 반도체막 위에 제공된 제 2 절연막과, 제 2 절연막 위에 제공된 게이트 전극과, 보호 절연막을 갖고, 제 1 절연막은 볼록부를 갖고, 보호 절연막은 제 1 절연막 위, 제 1 산화물 반도체막 위 및 게이트 전극 위에 배치하고, 보호 절연막은 제 1 절연막 및 게이트 절연막과 접하고, 보호 절연막은 산소를 투과시키기 어려운 반도체 장치이다.
- [0028] 또한, 상기의 구성에서 제 1 절연막은 과잉 산소를 가지면 바람직하다. 또한, 제 1 절연막은 게이트 절연막보다 두꺼우면 바람직하다. 또한, 제 1 산화물 반도체막의 아래에 제 2 산화물 반도체막을 갖고, 제 2 산화물 반도체막의 두께와 제 1 절연막의 두께의 합은 게이트 절연막의 두께보다 두꺼우면 바람직하다.
- [0029] 또한, 본 발명의 일 형태는 기관 위에 제 1 절연막을 형성하고, 제 1 절연막 위에 제 1 산화물 반도체막을 형성하고, 제 1 산화물 반도체막 위에 제 2 절연막을 형성하고, 제 2 절연막 위에 게이트 전극을 형성하고, 게이트 전극의 형성 후에 게이트 전극을 마스크로 하여, 제 1 산화물 반도체막 및 제 1 절연막에 인 또는 붕소를 첨가하는 반도체 장치의 제작 방법이다.

발명의 효과

- [0030] 본 발명의 일 형태에 의하여 산화물 반도체막을 사용한 트랜지스터를 제공할 수 있다. 또는, 산소 결손이 저감된 산화물 반도체막을 사용한 트랜지스터를 제공할 수 있다.
- [0031] 또는 전기 특성이 뛰어난 트랜지스터를 제공할 수 있다. 또는 미세한 구조를 갖는 트랜지스터를 제공할 수 있다. 또는 온 전류가 높은 트랜지스터를 제공할 수 있다. 또는 전기 특성이 안정적인 트랜지스터를 제공할 수 있다.
- [0032] 또는 오프 전류가 작은 트랜지스터를 제공할 수 있다. 또는 높은 전계 효과 이동도를 갖는 트랜지스터를 제공할 수 있다. 또는 수율 높은 트랜지스터를 제공할 수 있다. 또는 상기 트랜지스터를 갖는 반도체 장치 등을 제공할 수 있다.

도면의 간단한 설명

- [0033] 도 1은 반도체 장치 내부에서의 과잉 산소의 확산에 대하여 설명하는 단면 모식도.
- 도 2는 이온의 입사를 설명하는 도면.
- 도 3은 본 발명의 일 형태에 따른 반도체 장치의 일례를 도시한 상면도 및 단면도.
- 도 4는 본 발명의 일 형태에 따른 반도체 장치의 일례를 도시한 상면도 및 단면도.
- 도 5는 트랜지스터의 단면도.
- 도 6은 밴드 구조를 설명하는 도면.
- 도 7은 트랜지스터의 전기 특성을 설명하는 도면.
- 도 8은 본 발명의 일 형태에 따른 반도체 장치의 제작 방법의 일례를 도시한 단면도.
- 도 9는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법의 일례를 도시한 단면도.
- 도 10은 본 발명의 일 형태에 따른 반도체 장치의 제작 방법의 일례를 도시한 단면도.
- 도 11은 본 발명의 일 형태에 따른 반도체 장치의 일례를 도시한 상면도 및 단면도.
- 도 12는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법의 일례를 도시한 단면도.
- 도 13은 본 발명의 일 형태에 따른 반도체 장치의 제작 방법의 일례를 도시한 단면도.
- 도 14는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법의 일례를 도시한 단면도.

- 도 15는 반도체 장치 내부에서의 과잉 산소의 확산에 대하여 설명하는 단면 모식도.
- 도 16은 반도체 장치 내부에서의 불순물의 첨가에 대하여 설명하는 단면 모식도.
- 도 17은 반도체 장치 내부에서의 불순물의 첨가에 대하여 설명하는 단면 모식도.
- 도 18은 반도체 장치 내부에서의 불순물의 첨가에 대하여 설명하는 단면 모식도.
- 도 19는 본 발명의 일 형태에 따른 반도체 장치의 일례를 도시한 단면도.
- 도 20은 본 발명의 일 형태에 따른 CPU의 일례를 도시한 블록도.
- 도 21은 본 발명의 일 형태에 따른 전자 기기의 일례를 도시한 도면.
- 도 22는 TDS에 의한 기관 온도와 이온 강도의 관계를 도시한 도면.
- 도 23은 인 이온 주입 농도와 산소 방출량의 관계를 도시한 도면.
- 도 24는 에칭 깊이와 산소 방출량의 관계를 도시한 도면.
- 도 25는 TDS에 의한 기관 온도와 이온 강도의 관계를 도시한 도면.
- 도 26은 본 발명의 일 형태에 따른 반도체 장치의 일례를 도시한 상면도 및 단면도.
- 도 27은 본 발명의 일 형태에 따른 반도체 장치의 제작 방법의 일례를 도시한 단면도.
- 도 28은 본 발명의 일 형태에 따른 반도체 장치의 제작 방법의 일례를 도시한 단면도.
- 도 29는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법의 일례를 도시한 단면도.
- 도 30은 반도체의 저항을 측정하는 소자를 도시한 도면.
- 도 31은 본 발명의 일 형태에 따른 반도체 장치의 일례를 도시한 상면도 및 단면도.
- 도 32는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법의 일례를 도시한 단면도.
- 도 33은 본 발명의 일 형태에 따른 반도체 장치의 제작 방법의 일례를 도시한 단면도.
- 도 34는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법의 일례를 도시한 단면도.
- 도 35는 본 발명의 일 형태에 따른 반도체 장치의 일례를 도시한 상면도 및 단면도.

발명을 실시하기 위한 구체적인 내용

- [0034] 본 발명의 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만 본 발명은 이하의 설명에 한정되지 않고 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 쉽게 이해할 수 있다. 또한, 본 발명은 이하에 기재되는 실시형태의 내용에 한정하여 해석되는 것이 아니다. 또한, 도면을 사용하여 발명의 구성을 설명하는 데 있어서, 동일한 것을 가리킬 때에는 다른 도면간에서도 부호를 공통적으로 사용한다. 또한, 같은 것을 가리킬 때에는 해치 패턴을 같게 하고, 특별히 부호를 붙이지 않는 경우가 있다.
- [0035] 또한, 도면에서, 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 도시된 경우가 있다. 따라서 반드시 그 스케일에 한정되지 않는다.
- [0036] 또한, 전압은 어느 전위와 기준 전위(예를 들어, 접지 전위(GND) 또는 소스 전위)의 전위 차이를 가리키는 경우가 많다. 따라서, 전압을 전위로 바꿔 말할 수 있다.
- [0037] 본 명세서에서는 「전기적으로 접속한다」라고 표현되는 경우라도, 현실의 회로에서는 물리적인 접속 부분이 없고, 배선이 연장된 것 뿐인 경우도 있다.
- [0038] 또한 제 1, 제 2로서 붙여지는 서수사는 편의상 사용하는 것이며, 공정순 또는 적층순을 가리키는 것이 아니다. 그러므로 예를 들어, "제 1"을 "제 2" 또는 "제 3" 등으로 적절히 전환하여 설명할 수 있다. 또한, 본 명세서에 기재되는 서수사와 본 발명의 일 형태를 특정하기 위하여 사용되는 서수사는 일치되지 않는 경우가 있다.
- [0039] 본 명세서에서, 예를 들어, 물체의 형상을 "직경", "입자 직경", "크기", "사이즈", "폭" 등으로 규정하는 경우, 물체가 들어가는 최소의 입방체에서의 한 변의 길이, 또는 물체의 한 단면에서의 원 상당 직경이라고 해석하여도 좋다. 물체의 한 단면에서의 원 상당 직경이란 물체의 한 단면과 같은 면적이 되는 등근 원의 직경을

말한다.

- [0040] 또한, "반도체"라고 표기한 경우라도, 예를 들어 도전성이 충분히 낮은 경우에는 "절연체"로서의 특성을 가질 수 있다. 또한, "반도체"와 "절연체"는 그 경계가 애매하여 엄밀하게 구별할 수 없는 경우가 있다. 따라서, 본 명세서에 기재된 "반도체"는 "절연체"라고 바꿔 말할 수 있다. 마찬가지로, 본 명세서에 기재된 "절연체"는 "반도체"라고 바꿔 말할 수 있다.
- [0041] 또한, "반도체"라고 표기한 경우라도, 예를 들어 도전성이 충분히 높은 경우에는 "도전체"로서의 특성을 가질 수 있다. 또한, "반도체"와 "도전체"는 그 경계가 애매하여 엄밀하게 구별할 수 없는 경우가 있다. 따라서, 본 명세서에 기재된 "반도체"는 "도전체"라고 바꿔 말할 수 있다. 마찬가지로, 본 명세서에 기재된 "도전체"는 "반도체"라고 바꿔 말할 수 있다.
- [0042] 또한, 본 명세서에서, "평행"이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, "수직"이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다.
- [0043] <과잉 산소의 거동에 대하여>
- [0044] 이하에서는, 반도체 장치 내부에서의 과잉 산소의 거동에 대하여 도 1을 사용하여 설명한다.
- [0045] 도 1의 (A)는 기판(50)과, 기판(50) 위의 절연막(52)과, 절연막(52) 위의 섬 형상의 산화물 반도체막(56)과, 절연막(52) 및 산화물 반도체막(56) 위의 절연막(68)을 갖는 시료의 단면 모식도이다. 도 1의 (A)에 도시된 시료에서 절연막(52)은 과잉 산소(도면 중에서는 ex-0라고 표기함)를 포함하는 절연막으로 한다.
- [0046] 절연막(52)으로서는 산화물막, 산화 질화물막 등을 사용할 수 있다. 예를 들어, 절연막(52)으로서는 산화 실리콘막 또는 산화 질화 실리콘막 등을 사용하면 좋다. 다만, 본 명세서에서 산화 질화물막이란 질소를 0.1원자% 이상 25원자% 미만 포함하는 산화물막을 말한다. 또한, 질화 산화물막이란 산소를 0.1원자% 이상 25원자% 미만 포함하는 질화물막을 말한다.
- [0047] 산화물 반도체막(56) 및 절연막(68)에 대하여는 장황해지므로 각각 후술하는 산화물 반도체막(103) 및 절연막(106)에 대한 기재를 참조하는 것으로 하고, 여기에서는 설명을 생략한다.
- [0048] 열이 가해지면 절연막(52) 중에 과잉 산소가 확산된다. 예를 들어, 절연막(52) 중에 확산된 과잉 산소는 절연막(52)과 산화물 반도체막(56)과의 계면에 도달하면, 산화물 반도체막(56) 중의 산소 결손을 보충할 수 있다. 산화물 반도체막(56) 중의 산소 결손이 저감됨으로써 산화물 반도체막(56) 중의 산소 결손에 기인하는 결함 준위의 밀도를 작게 할 수 있다.
- [0049] 그런데, 절연막(52) 중에 확산된 과잉 산소 전부가 절연막(52)과 산화물 반도체막(56)과의 계면에 도달하는 것은 아니다. 예를 들어, 절연막(52) 중에 확산된 과잉 산소는 절연막(68)을 통하여 외방 확산하는 경우가 있다. 또는, 예를 들어, 절연막(52) 중에 확산된 과잉 산소는 반도체 장치를 구성하는 배선 등과 반응하여 배선 저항을 높이는 경우가 있다.
- [0050] 따라서, 도 1의 (A)에 도시된 시료 구조는 과잉 산소의 활용이 효율적이지 않을 가능성이 있다.
- [0051] 도 1의 (B)에, 효율적으로 과잉 산소를 활용할 수 있는 시료 구조의 일례를 도시하였다.
- [0052] 도 1의 (B)는 도 1의 (A)에 도시된 시료와 유사한 구조를 갖는 시료이다. 다만, 도 1의 (B)에 도시된 시료는 절연막(52)이 절연막(68)의 근방에 영역(53)을 갖는 점이 다르다. 도 1의 (B)에 도시된 시료에서 절연막(52)은 과잉 산소를 포함하는 절연막으로 한다. 영역(53)은 절연막(52)의 상면으로부터 깊이 1nm 이상 200nm 이하, 바람직하게는 5nm 이상 150nm 이하, 더 바람직하게는 10nm 이상 100nm 이하로 제공되는 영역이다. 또한, 영역(53)이 깊이 방향에서 절연막(52)의 전체에 제공되어도 좋다.
- [0053] 영역(53)은 산소 차단 영역이다. 예를 들어, 절연막(52)에 붕소, 탄소, 마그네슘, 알루미늄, 실리콘, 인, 칼슘, 스칸듐, 티타늄, 바나듐, 크롬, 망간, 철, 코발트, 니켈, 갈륨, 게르마늄, 비소, 이트륨, 지르코늄, 니오븀, 몰리브덴, 인듐, 주석, 란탄, 세륨, 네오디뮴, 하프늄, 탄탈, 텅스텐 중에서 선택된 1종 이상을 첨가하면, 산소 차단 영역인 영역(53)을 형성할 수 있는 경우가 있다. 상술한 불순물의 첨가는 금속을 고저항화시키는 요인이 되기 어렵다. 또한, 절연막(52)에 인 또는 붕소를 첨가하면, 산소 차단성이 높은(산소의 확산 계수가 작은), 특히 양질의 영역(53)을 형성할 수 있다. 영역(53)은 예를 들어 절연막(52) 중에 상술한 불순물 원소를 5×10^{19} atoms/cm³ 이상, 바람직하게는 1×10^{20} atoms/cm³ 이상, 더 바람직하게는 2×10^{20} atoms/cm³ 이상, 더욱 바람

직하계는 5×10^{20} atoms/cm³ 이상 포함하는 영역이다.

- [0054] 도 1의 (B)에 도시된 시료에서의 과잉 산소의 거동을 이하에 설명한다.
- [0055] 열이 가해지면 절연막(52) 중에 과잉 산소가 확산된다. 절연막(52) 중에 확산된 과잉 산소는 절연막(52)과 산화물 반도체막(56)과의 계면에 도달하면, 산화물 반도체막(56) 중의 산소 결손을 보충할 수 있다.
- [0056] 절연막(52) 중에 확산된 과잉 산소는 영역(53)을 투과하기 어렵기 때문에 절연막(52)과 산화물 반도체막(56)과의 계면에 도달하는 과잉 산소의 비율은 높아진다. 따라서, 효율적으로 산화물 반도체막(56) 중의 산소 결손을 보충할 수 있다. 또한, 예를 들어, 절연막(52) 중에 확산된 과잉 산소가 절연막(68)을 통하여 외방 확산하는 것을 억제할 수 있다. 또는, 예를 들어, 절연막(52) 중에 확산된 과잉 산소가 반도체 장치를 구성하는 배선 등과 반응하여 배선 저항을 높이는 것을 억제할 수 있다.
- [0057] 따라서, 도 1의 (B)에 도시된 시료는 과잉 산소의 효율적인 활용이 가능한 구조인 것을 알 수 있다.
- [0058] 다음에, 도 1의 (B)와는 다른 시료 구조에 대하여 효율적으로 과잉 산소를 활용할 수 있는 일례를 도 15의 (A)에 도시하였다. 도 1의 (B)와 다른 점은 도 15의 (A)는 절연막(72)에 불록부를 갖는 점이다.
- [0059] 도 15의 (A)는 기판(70)과, 기판(70) 위의 절연막(72)과, 절연막(72) 위의 섬 형상의 산화물 반도체막(76)과, 절연막(72) 및 산화물 반도체막(76) 위의 절연막(88)을 갖는 시료의 단면 모식도이다. 도 15의 (A)에 도시된 시료에서 절연막(72)은 과잉 산소를 포함하는 절연막으로 한다. 도 15의 (A)에서 절연막(72)은 불록부를 갖고, 그 불록부의 위에 산화물 반도체막(76)이 위치한다. 절연막(72)에 대하여는 절연막(52)의 기재를 참조한다. 산화물 반도체막(76)과 절연막(88)에 대하여는 장황해지므로 각각 후술하는 산화물 반도체막(103) 및 절연막(106)에 대한 기재를 참조하는 것으로 하고, 여기에서는 설명을 생략한다.
- [0060] 영역(73)은 산소 차단 영역이다. 산소 차단 영역에 대하여는 영역(53)의 기재를 참조한다.
- [0061] 열이 가해지면 절연막(72) 중에 과잉 산소가 확산된다. 절연막(72) 중에 확산된 과잉 산소는 절연막(72)과 산화물 반도체막(76)과의 계면에 도달하면, 산화물 반도체막(76) 중의 산소 결손을 보충할 수 있다.
- [0062] 절연막(72) 중에 확산된 과잉 산소는 영역(73)을 투과하기 어렵기 때문에, 절연막(72)과 산화물 반도체막(76)과의 계면에 도달하는 과잉 산소의 비율은 높아진다. 따라서, 효율적으로 산화물 반도체막(76) 중의 산소 결손을 보충할 수 있다. 또한, 예를 들어, 절연막(72) 중에 확산된 과잉 산소가 외방 확산하는 것을 억제할 수 있다. 또는, 예를 들어, 절연막(72) 중에 확산된 과잉 산소가 반도체 장치를 구성하는 배선 등과 반응하여 배선 저항을 높이는 것을 억제할 수 있다.
- [0063] 따라서, 도 15의 (A)에 도시된 시료는 과잉 산소의 효율적인 활용이 가능한 구조인 것을 알 수 있다.
- [0064] 또한 도 15의 (C)에 도시한 바와 같이 절연막(72)을 섬 형상으로 형성하여도 좋다. 이 경우에는, 과잉 산소를 포함하는 영역이 섬 형상이 됨으로써, 가로 방향의 산소 확산이 제한되어 효율적으로 산소를 산화물 반도체막(76)에 공급할 수 있게 된다.
- [0065] <산화물 반도체막으로의 불순물 첨가에 대하여>
- [0066] 도 16의 (B)에, 산화물 반도체막에 불순물을 첨가하여 저항을 줄일 수 있는 일례를 도시하였다. 도 16의 (B)는 기판(70)과, 기판(70) 위의 절연막(72)과, 절연막(72) 위의 산화물 반도체막(76)을 갖는 시료의 단면 구조이다.
- [0067] 영역(77)은 산화물 반도체막(76)의 일부의 영역이며, 불순물을 갖는 영역이다. 예를 들어, 산화물 반도체막(76)에 붕소, 탄소, 마그네슘, 알루미늄, 실리콘, 인, 갈륨, 스칸듐, 티타늄, 바나듐, 크롬, 망간, 철, 코발트, 니켈, 갈륨, 게르마늄, 비소, 이트륨, 지르코늄, 니오븀, 몰리브덴, 인듐, 주석, 란탄, 세륨, 네오디뮴, 하프늄, 탄탈, 텅스텐 중에서 선택된 1종 이상을 첨가하면, 불순물을 갖는 영역인 영역(77)을 형성할 수 있는 경우가 있다. 영역(77)은 예를 들어 산화물 반도체막(76) 중에 상술한 불순물 원소를 5×10^{19} atoms/cm³ 이상, 바람직하게는 1×10^{20} atoms/cm³ 이상, 더 바람직하게는 2×10^{20} atoms/cm³ 이상, 더욱 바람직하게는 5×10^{20} atoms/cm³ 이상 포함하는 영역이다. 영역(77)에는 영역(73)에 첨가하는 불순물과 같은 불순물을 첨가할 수 있다.
- [0068] 상술한 불순물의 첨가 등을 수행함으로써 산화물 반도체막의 캐리어 밀도를 높게 할 수 있다. 따라서, 산화물 반도체막(76)에 불순물을 첨가함으로써 산화물 반도체막의 저항을 낮게 할 수 있다.

- [0069] 상술한 불순물의 첨가에 의하여 산화물 반도체막(76)에 산소 결손이 형성되는 경우가 있다. 산소 결손이 형성된 산화물 반도체막(76)에 수소를 첨가하면, 산소 결손 사이트에 수소가 들어가 전도대 근방에 도너 준위가 형성된다. 이 결과, 산화물 반도체막(76)의 저항을 더욱 낮게 할 수 있는 경우가 있다.
- [0070] 수소의 첨가는 예를 들어 이온 도핑법, 이온 주입법, 플라즈마 처리 등을 사용하여 수행하면 좋다. 또는, 수소를 포함하는 분위기 중에서 열처리를 수행하면 좋다. 또는, 수소를 포함하는 막을 산화물 반도체막(76)의 상층 또는 하층에 형성하고, 수소를 첨가하여도 좋다. 수소를 포함하는 막으로서 예를 들어 질화 실리콘막 등을 들 수 있다.
- [0071] 여기서, 수소는 산소 결손 사이트에 들어가면 안정화된다. 그러므로, 산화물 반도체막(76)에 들어간 수소는 산소 결손 사이트에 머물러 채널 영역으로 수소가 확산하는 것을 방지할 수 있다.
- [0072] 또한, 도 16의 (C)에 도시한 바와 같이 예를 들어, 부분적으로 불순물을 첨가함으로써 산화물 반도체막(76)은 불순물이 첨가된 영역(77)과, 불순물이 첨가되지 않은 영역(79)을 산화물 반도체막(76)으로 나누어 만들 수도 있다.
- [0073] 다음에, 도 15에 도시된 구조에, 또한 산화물 반도체막의 저저항 영역을 조합한 예를 나타낸다. 도 18의 (A)는 산소 차단 영역을 갖고, 또한 불순물 첨가에 의하여 저저항화된 산화물 반도체막을 갖는 예이다. 여기서 산소 차단 영역은 불순물이 첨가된 절연막이다.
- [0074] 도 18의 (A)는 기판(70)과, 기판(70) 위의 절연막(72)과, 절연막(72) 위의 섬 형상의 산화물 반도체막(76)과, 절연막(72) 및 산화물 반도체막(76) 위의 절연막(88)을 갖는 시료의 단면 모식도이다. 도 18의 (A)에 도시된 시료에서 절연막(72)은 과잉 산소를 포함하는 절연막으로 한다. 도 18의 (A)에서 절연막(72)은 불록부를 갖고, 산화물 반도체막(76)은 절연막(72)의 불록부의 위에 위치한다. 절연막(72)에 대하여는 절연막(52)의 기재를 참조한다. 산화물 반도체막(76)과 절연막(88)에 대하여는 장황해지므로 각각 후술하는 산화물 반도체막(103) 및 절연막(106)에 대한 기재를 참조하는 것으로 하고, 여기에서는 설명을 생략한다.
- [0075] 영역(73)은 산소 차단 영역이다. 영역(73)에 대하여는 영역(53)의 기재를 참조한다. 열이 가해지면 절연막(72) 중에 과잉 산소가 확산된다. 절연막(72) 중에 확산된 과잉 산소는 절연막(72)과 산화물 반도체막(76)과의 계면에 도달하면, 산화물 반도체막(76) 중의 산소 결손을 보충할 수 있다.
- [0076] 절연막(72) 중에 확산된 과잉 산소는 영역(73)을 투과하기 어렵기 때문에, 절연막(72)과 산화물 반도체막(76)과의 계면에 도달하는 과잉 산소의 비율은 높아진다. 따라서, 효율적으로 산화물 반도체막(76) 중의 산소 결손을 보충할 수 있다. 또한, 예를 들어, 절연막(72) 중에 확산된 과잉 산소가 외방 확산하는 것을 억제할 수 있다. 또는, 예를 들어, 절연막(72) 중에 확산된 과잉 산소가 반도체 장치를 구성하는 배선 등과 반응하여 배선 저항을 높이는 것을 억제할 수 있다.
- [0077] 영역(77)은 산화물 반도체막(76)의 일부의 영역이며, 불순물이 첨가된 영역이다. 산화물 반도체막에 불순물을 첨가함으로써 산화물 반도체막의 저항을 줄일 수 있다. 예를 들어 도 18의 (A)에 도시한 바와 같이, 불순물을 첨가함으로써 산화물 반도체막(76)의 일부의 영역에 저저항인 영역(78)을 만들 수 있다. 바꿔 말하면, 산화물 반도체막(76)에 저저항인 영역과, 고저항인 영역을 나누어 만들 수 있다.
- [0078] 또한, 영역(77)에 첨가하는 불순물은 영역(73)에 첨가하는 불순물과 같은 불순물을 사용할 수 있다. 따라서, 영역(77)과 영역(73)은 동시에 형성할 수 있다.
- [0079] 산화물 반도체막(76)에 저저항인 영역과 고저항인 영역을 나누어 만들므로써, 예를 들어 트랜지스터의 소스 영역이나 드레인 영역의 저항을 저감하여 트랜지스터의 온 특성을 높일 수 있다.
- [0080] 또한 도 18의 (B)에 도시한 바와 같이 절연막(72)을 섬 형상으로 형성하여도 좋다. 이 경우에는, 과잉 산소를 포함하는 영역이 섬 형상이 됨으로써 가로 방향의 산소 확산이 제한되어, 효율적으로 산소를 산화물 반도체막(76)에 공급할 수 있게 된다.
- [0081] <불순물의 첨가 방법>
- [0082] 이하에서는, 도 1의 (B)에 영역(53)으로 도시된 산소 차단 영역을 형성할 수 있는 방법에 대하여 설명한다.
- [0083] 먼저, 절연막(52)을 성막한다.
- [0084] 다음에, 산화물 반도체막(56)이 되는 산화물 반도체막을 성막한다.

- [0085] 다음에, 산화물 반도체막 위에 레지스트를 성막한다. 레지스트를 포토마스크를 통하여 노광한 후, 현상함으로써 레지스트 마스크를 형성한다.
- [0086] 다음에, 레지스트 마스크를 사용하여 산화물 반도체막을 에칭하고, 산화물 반도체막(56)을 형성한다.
- [0087] 다음에, 레지스트 마스크를 남긴 채, 불순물을 절연막(52)에 첨가함으로써 영역(53)을 형성한다. 이렇게, 레지스트 마스크를 남겨둠으로써 산화물 반도체막(56)의 상면에 불순물이 첨가되는 것을 억제할 수 있다. 다만, 산화물 반도체막(56)의 상면을 나중의 공정에서 제거하는 경우 등은 레지스트 마스크를 제거한 후에 절연막(52) 및 산화물 반도체막(56)에 불순물을 첨가하여도 좋다.
- [0088] 절연막(52)에 첨가하는 불순물로서는 예를 들어, 붕소, 탄소, 마그네슘, 알루미늄, 실리콘, 인, 칼슘, 스칸듐, 티타늄, 바나듐, 크롬, 망간, 철, 코발트, 니켈, 갈륨, 게르마늄, 비소, 이트륨, 지르코늄, 니오븀, 몰리브덴, 인듐, 주석, 란타, 세륨, 네오디뮴, 하프늄, 탄탈, 텅스텐 중에서 선택된 1종 이상을 사용하면 좋다. 또한, 절연막(52)에 인 또는 붕소를 첨가하면 산소 차단성이 높은, 특히 양질의 영역(53)을 형성할 수 있다.
- [0089] 절연막(52)으로의 불순물의 첨가는 이온 도핑법(질량 분리를 수행하지 않은 방법), 이온 주입법(질량 분리를 수행하는 방법), 플라즈마 처리 등을 사용하면 좋다. 또한, 원자 또는 분자의 클러스터를 생성하여 이온화하는 이온 도핑법 또는 이온 주입법을 사용하여도 좋다. 다만, 불순물 원소를 포함하는 분위기에서의 플라즈마 처리 등에 의하여 절연막(52)에 불순물을 첨가하여도 좋다.
- [0090] 이온 도핑법 또는 이온 주입법을 사용하여 절연막(52)에 영역(53)을 형성하는 경우, 예를 들어, 이온 도핑법 또는 이온 주입법에서의 가속 전압은 0.5kV 이상 100kV 이하, 바람직하게는 1kV 이상 50kV 이하, 더 바람직하게는 1kV 이상 30kV 이하, 더욱 바람직하게는 1kV 이상 10kV 이하로 한다. 또한, 이온의 주입 농도는 5×10^{14} atoms/cm² 이상, 바람직하게는 1×10^{15} atoms/cm² 이상으로 한다.
- [0091] 이온 도핑법 또는 이온 주입법에 의한 이온의 첨가는 시료면에 대하여 특정한 각도(예를 들어, 수직 각도)에서 수행하여도 좋지만, 도 2에 도시된 방법으로 수행하는 것이 바람직하다. 도 2는 하나의 이온이 시료면에 대하여 각도(θ) 및 각도(ϕ)로 입사하는 모양을 간략적으로 도시한 도면이다.
- [0092] 도면 중의 x축, y축 및 z축은 어떤 이온의 입사점에서 교차하는 직선이다. x축은 시료면 위에 임의로 정한 직선이다. y축은 시료면 위에 있고, x축과 직교하는 직선이다. z축은 입사점에서의 시료면의 법선이다. 각도(θ)는 단면도에서, 이온의 입사 방향과 z축이 이루는 각도이다. 또한, 각도(ϕ)는 상면도에서, 이온의 입사 방향과 x축이 이루는 각도이다.
- [0093] 시료면에 대하여 특정한 각도(θ , ϕ)에서만 이온을 입사시킨 경우, 이온이 첨가되지 않은 영역이 생기는 경우가 있다. 예를 들어, 절연막(52) 위에는 산화물 반도체막(56) 및 레지스트 마스크가 제공되어 있다. 그러므로, 이들에 의하여 절연막(52)의 일부에 이온이 첨가되지 않은 그늘진 영역이 생기는 경우가 있다. 따라서, 이온을 복수의 각도에서 입사시킴으로써 절연막(52)에 생기는 그늘진 영역의 영향을 저감하는 것이 바람직하다.
- [0094] 도 2의 (A1) 및 도 2의 (A2)에 도시한 바와 같이 이온을 시료면에 대하여 제 1 각도(θ , ϕ)에서 입사시킨 후, 제 2 각도(θ , ϕ)에서 입사시키면 좋다. 다만, 제 1 각도(θ , ϕ) 및 제 2 각도(θ , ϕ)는 θ , ϕ 의 적어도 한 쪽이 다른 각도이다.
- [0095] 제 1 각도(θ , ϕ)에서, 각도(θ)는 예를 들어, 0° 이상 90° 미만, 바람직하게는 30° 이상 88° 이하, 더 바람직하게는 60° 이상 85° 이하로 한다. 제 2 각도(θ , ϕ)에서, 각도(θ)는 예를 들어, 0° 이상 90° 미만, 바람직하게는 30° 이상 88° 이하, 더 바람직하게는 60° 이상 85° 이하로 한다. 제 2 각도(θ , ϕ)에서의 각도(ϕ)는 예를 들어, 제 1 각도(θ , ϕ)에서의 각도(ϕ)보다 90° 이상 270° 이하, 바람직하게는 135° 이상 225° 이하 큰 각도로 한다. 다만, 여기에서 나타낸 제 1 각도(θ , ϕ) 및 제 2 각도(θ , ϕ)는 일례이며, 이것에 한정되는 것은 아니다.
- [0096] 또한, 이온을 입사시키는 각도는 제 1 각도(θ , ϕ), 제 2 각도(θ , ϕ)의 2종류에 한정되지 않는다. 예를 들어, 제 1 내지 제 n(n은 2 이상의 자연수)의 각도(θ , ϕ)에서 입사시켜도 좋다. 제 1 내지 제 n 각도(θ , ϕ)는 각각 θ , ϕ 의 적어도 한 쪽이 다른 각도를 포함한다.
- [0097] 또는, 도 2의 (B)에 도시한 바와 같이 이온을 시료면에 대하여 제 1 각도(θ , ϕ)에서 입사시킨 후, 각도(θ)가 90° 를 경유하여 제 2 각도(θ , ϕ)까지 θ 방향으로 스캔(θ 스캔이라고도 함)시키면 좋다. 다만, 이온을 입사

시킨 각도(ϕ)는 한 종류에 한정되지 않고, 제 1 내지 제 n (n 은 2 이상의 자연수) 각도(ϕ)로 입사시켜도 좋다. 이온의 입사 각도를 θ 스캔시킴으로써 중횡비가 높은(예를 들어, 1 이상, 2 이상, 5 이상 또는 10 이상) 개구부 등이라도 깊은 영역까지 확실하게 이온을 첨가할 수 있다. 따라서 틈 없이 산소 차단 영역을 형성할 수 있다.

[0098] 제 1 각도(θ , ϕ)에서 각도(θ)는 예를 들어, 0° 이상 90° 미만, 바람직하게는 30° 이상 88° 이하, 더 바람직하게는 60° 이상 85° 이하로 한다. 제 2 각도(θ , ϕ)에서, 각도(θ)는 예를 들어, 0° 이상 90° 미만, 바람직하게는 30° 이상 88° 이하, 더 바람직하게는 60° 이상 85° 이하로 한다. 제 1 각도(θ , ϕ)와 제 2 각도(θ , ϕ)는 같은 각도(θ)라도 좋다.

[0099] 또한, θ 스캔은 연속적으로 스캔하여도 좋지만, 예를 들어, 0.5° , 1° , 2° , 3° , 4° , 5° , 6° , 10° , 12° , 18° , 20° , 24° 또는 30° 스텝에서 단계적으로 스캔하여도 좋다.

[0100] 또는, 이온은 도 2의 (C)에 도시한 바와 같이 시료면에 대하여 제 1 각도(θ , ϕ)에서 입사시킨 후, 제 2 각도(θ , ϕ)까지 ϕ 방향으로 스캔(ϕ 스캔이라고도 함)시켜도 좋다. 다만, 이온을 입사시키는 각도(θ)는 한 종류에 한정되지 않고, 제 1 내지 제 n (n 은 2 이상의 자연수) 각도(θ)로 입사시켜도 좋다.

[0101] 제 1 각도(θ , ϕ) 및 제 2 각도(θ , ϕ)에서, 각도(θ)는 예를 들어, 0° 이상 90° 미만, 바람직하게는 30° 이상 88° 이하, 더 바람직하게는 60° 이상 85° 이하로 한다. 제 1 각도(θ , ϕ)와 제 2 각도(θ , ϕ)는 같은 각도(ϕ)라도 좋다.

[0102] 또한, ϕ 스캔은 연속적으로 스캔하여도 좋지만, 예를 들어, 0.5° , 1° , 2° , 3° , 4° , 5° , 6° , 10° , 12° , 18° , 20° , 24° 또는 30° 스텝에서 단계적으로 스캔하여도 좋다.

[0103] 또한, 도시하지 않았지만 θ 스캔 및 ϕ 스캔을 조합하여 수행하여도 좋다.

[0104] 도 2에 도시한 방법을 사용함으로써 영역(53)은 산화물 반도체막(56)과 중첩되지 않는 영역에 더하여, 일부가 산화물 반도체막(56)과 중첩되는 영역에도 형성할 수 있다. 즉, 영역(53) 이외의 영역(산소 차단을 하지 않은 영역)이, 산화물 반도체막(56)이 제공된 영역으로부터 밀려나오지 않도록 영역(53)을 형성할 수 있다. 따라서, 절연막(52)에 포함된 과잉 산소를, 산화물 반도체막(56)의 산소 결손을 저감시키기 위하여 유효하게 활용할 수 있다.

[0105] 이상과 같이 하여 절연막(52)에 영역(53)을 형성한 후, 절연막(52)의 영역(53) 위 및 산화물 반도체막(56) 위에 절연막(68)을 성막함으로써, 도 1의 (B)에 도시된 시료 구조를 제작할 수 있다.

[0106] 다음에, 도 15의 (A)에 도시된 시료 구조의 제작 방법에 대하여 설명한다. 도 15의 (B)는 도 15의 (A)에 도시된 시료 구조의 제작 방법을 설명하기 위한 도면이다. 이하에 제작 방법에 대하여 설명한다.

[0107] 먼저, 기판(70) 위에 절연막(72)을 성막한다.

[0108] 다음에, 산화물 반도체막(76)이 되는 산화물 반도체막을 성막한다.

[0109] 다음에, 산화물 반도체막 위에 레지스트를 성막한다. 레지스트를 포토마스크를 통하여 노광한 후, 현상함으로써 레지스트 마스크(81)를 형성한다.

[0110] 다음에, 레지스트 마스크(81)를 사용하여 산화물 반도체막 및 절연막(72)을 에칭하고, 섬 형상의 산화물 반도체막(76) 및, 불록부를 갖는 절연막(72)을 형성한다.

[0111] 다음에, 레지스트 마스크(81)를 남긴 채, 불순물을 절연막(72)에 첨가함으로써 영역(73)을 형성한다. 절연막(72)에 첨가하는 불순물은 절연막(52)에 첨가하는 불순물의 기재를 참조한다.

[0112] 영역(73)은 이온 도핑법 또는 이온 주입법을 사용하여 형성할 수 있다.

[0113] 이온 도핑법 및 이온 주입법에 대하여는 영역(53)의 기재를 참조한다. 도 2에 도시한 방법을 사용함으로써 영역(73)으로서 산화물 반도체막(76)과 중첩되지 않는 영역에 더하여, 산화물 반도체막(76)과 일부 중첩되는 영역인 영역(73a)도 형성할 수 있다. 영역(73a)을 형성함으로써 막의 측면으로부터의 산소의 외방 확산을 억제할 수 있어, 효율적으로 산소를 산화물 반도체막(76)에 공급할 수 있게 된다.

[0114] 다음에 도 16의 (B)에 도시된 시료 구조의 제작 방법에 대하여 설명한다.

[0115] 먼저, 기판(70) 위에 절연막(72)을 성막한다.

- [0116] 다음에, 산화물 반도체막(76)이 되는 산화물 반도체막을 성막한다(도 16의 (A)).
- [0117] 다음에 불순물을 산화물 반도체막(76)에 첨가함으로써 영역(77)을 형성한다(도 16의 (B)). 산화물 반도체막(76)에 첨가하는 불순물은 절연막(52)에 첨가하는 불순물의 기재를 참조한다.
- [0118] 영역(77)은 이온 도핑법 또는 이온 주입법을 사용하여 형성할 수 있다.
- [0119] 이온 도핑법 및 이온 주입법에 대하여는 영역(53)의 기재를 참조한다. 산화물 반도체막(76)에 불순물을 첨가함으로써 저항을 줄일 수 있다. 즉 산화물 반도체막(76)에 저저항인 영역(77)을 형성할 수 있다.
- [0120] 다음에, 도 16의 (C)에 도시된 시료 구조의 제작 방법을 설명한다. 산화물 반도체막(76) 중의 영역(79)이 되는 부분의 위에, (도시하지 않음)레지스트 마스크를 형성한 후, 불순물을 첨가함으로써 이온 도핑법 또는 이온 주입법을 사용하여 영역(77)에만 불순물을 첨가할 수 있다. 즉 산화물 반도체막(76)에 저저항인 영역(77)과, 고저항인 영역(79)을 나누어 만들 수 있다.
- [0121] 다음에, 도 18의 (A)에 도시된 시료 구조의 제작 방법을 설명한다. 도 17의 (A) 내지 도 17의 (C)는 도 18의 (A)에 도시된 시료 구조의 제작 방법을 설명하기 위한 도면이다. 이하에 제작 방법에 대하여 설명한다.
- [0122] 먼저, 절연막(72)을 성막한다.
- [0123] 다음에, 산화물 반도체막(76)이 되는 산화물 반도체막을 성막한다(도 17의 (A) 참조).
- [0124] 다음에, 산화물 반도체막 위에 레지스트를 성막한다. 레지스트를 포토마스크를 통하여 노광한 후, 현상함으로써 레지스트 마스크(81)를 형성한다.
- [0125] 다음에, 레지스트 마스크(81)를 사용하여 산화물 반도체막 및 절연막(72)을 에칭하고, 섬 형상의 산화물 반도체막(76) 및, 볼록부를 갖는 절연막(72)을 형성한다(도 17의 (B) 참조).
- [0126] 다음에, 레지스트 마스크(81)로부터 영역이 작은 레지스트 마스크(82)를 레지스트 마스크(81)와 같은 방법으로 형성한다. 레지스트 마스크(82)를 사용하여 불순물을 절연막(72)에 첨가함으로써 영역(73)을 형성한다(도 17의 (C) 참조). 절연막(72)에 첨가하는 불순물은 절연막(52)에 첨가하는 불순물의 기재를 참조한다.
- [0127] 영역(73)은 이온 도핑법 또는 이온 주입법을 사용하여 형성할 수 있다.
- [0128] 이온 도핑법 및 이온 주입법에 대하여는 영역(53)의 기재를 참조한다. 도 2에 도시한 방법을 사용함으로써 영역(73)은 산화물 반도체막(76)과 중첩되지 않는 영역에 더하여, 일부가 산화물 반도체막(76)과 중첩되는 영역에도 형성할 수 있다. 즉, 도 15의 영역(73)에 도시한 바와 같이, 절연막(72) 상면뿐만 아니라 절연막(72)의 볼록부의 측면에도 영역(73)을 형성할 수 있다.
- [0129] 또한, 영역(77)에 첨가하는 불순물은 영역(73)에 첨가하는 불순물과 같은 불순물을 사용할 수 있다. 따라서, 불순물을 첨가하여 산소 차단 영역인 영역(73)을 형성하는 경우에, 같은 불순물 첨가 공정을 사용하여 산화물 반도체막(76)의 일부에도 불순물을 첨가한 영역(77)을 형성할 수 있다(도 17의 (C) 참조). 산화물 반도체막(76)에 불순물을 첨가함으로써 산화물 반도체막의 저항을 줄일 수 있다. 이 결과, 예를 들어 도 18의 (A)에 도시한 바와 같이, 산화물 반도체막(76)의 일부의 영역에 저저항인 영역(78)을 만들 수 있다. 바꿔 말하면, 산화물 반도체막(76)에 저저항인 영역과, 고저항인 영역을 나누어 만들 수 있다.
- [0130] 절연막(72)에 산소 차단 영역을 형성하는 공정을 사용하여 산화물 반도체막(76)에 고저항인 영역과, 저저항인 영역을 제작할 수 있다.
- [0131] <트랜지스터의 구조 및 제작 방법에 대한 설명>
- [0132] 이하에서는, 본 발명의 일 형태에 따른 트랜지스터의 구조 및 제작 방법에 대하여 설명한다.
- [0133] <트랜지스터 구조 (1)>
- [0134] 먼저, 튜프 게이트 셀프 얼라인형의 트랜지스터의 일례에 대하여 설명한다.
- [0135] 셀프 얼라인형의 튜프 게이트 구조에서는 게이트 전극을 마스크로 하여, 소스 영역 및 드레인 영역이 자기 정합적으로 형성되기 때문에, 소스 영역 및 드레인 영역과 게이트 전극의 중첩 면적을 대폭 저감할 수 있고, 기생 용량의 저감에 유효하다. 이러한 현상은 채널 길이가 작을수록 현저하므로 특히 미세화된 트랜지스터에서는 보다 유효하다. 게이트 전극과 소스 전극 또는 드레인 전극의 사이나, 게이트 전극과 반도체막의 저저항인 영역 사

이에서 발생할 수 있는 기생 용량을 저감시킴으로써 트랜지스터의 스위칭 특성을 향상시킬 수 있다.

- [0136] 도 3은 트랜지스터의 상면도 및 단면도이다. 도 3의 (A)는 트랜지스터의 상면도를 도시한 것이다. 도 3의 (A)에서 일점 쇄선 A-B에 대응하는 단면도를 도 3의 (B)에 도시하였다. 또한, 도 3의 (A)에서 일점 쇄선 C-D에 대응하는 단면도를 도 3의 (C)에 도시하였다.
- [0137] 또한, 채널 길이란 상면도에서, 반도체막과 게이트 전극이 중첩되는 영역에 서의 소스 영역과 드레인 영역의 거리를 말한다. 즉, 도 3의 (A)에서 채널 길이는 도면 중에 화살표로 나타낸 채널 길이(181)이다. 채널 폭이란 반도체막과 게이트 전극이 중첩되는 영역에서의 소스 영역과 드레인 영역이 평행하게 마주 하고 있는 길이를 말한다. 즉, 도 3의 (A)에서 채널 폭은 도면 중에 화살표로 나타낸 채널 폭(182)이다. 또한, 채널 형성 영역이란 상면도에서, 산화물 반도체막(103)에서 게이트 전극(105)과 중첩되고, 또한 소스 영역과 드레인 영역에 끼워 지는 영역을 말한다.
- [0138] 도 3의 (B)에서, 트랜지스터는 기판(101) 위의 하지 절연막(102)과, 하지 절연막(102) 위의 절연막(121)과, 절연막(121) 위의 산화물 반도체막(103)과, 산화물 반도체막(103) 위의 게이트 절연막(104)과, 게이트 절연막(104) 위의 게이트 전극(105)과, 게이트 전극(105) 및 산화물 반도체막(103) 및 하지 절연막(102) 위의 절연막(106)과, 산화물 반도체막(103) 및 절연막(106) 위의 소스 전극(107a) 및 드레인 전극(107b)을 갖는다. 절연막(121)은 과잉 산소를 포함하는 절연막이다. 또한, 트랜지스터는 하지 절연막(102)을 갖지 않아도 좋다.
- [0139] 도 3의 (B)에서, 영역(151a)은 산화물 반도체막의 일부의 영역이다. 영역(151b), 영역(151c), 영역(151d)은 절연막의 일부의 영역이며, 산소 차단 영역이다. 산소 차단 영역에 대하여는 상술한 영역(53)에 대한 기재를 참조한다. 도 3의 (B)에 도시된 트랜지스터는 산소 차단 영역인 영역(151b), 영역(151c), 영역(151d) 중 어느 하나 이상을 갖는다.
- [0140] 먼저, 산소 차단 영역인 영역(151b), 영역(151c), 영역(151d)에 대하여 설명한다.
- [0141] 영역(151b)은 절연막(121)의 절연막(106)과 접하는 영역이다. 영역(151b)은 절연막(121)의 절연막(106)과 접하는 면으로부터 깊이 1nm 이상 200nm 이하, 바람직하게는 5nm 이상 150nm 이하, 더 바람직하게는 10nm 이상 100nm 이하로 제공되는 영역이다. 또한, 도 4의 (B)에 도시한 바와 같이 영역(151b)이 절연막(121)의 측면뿐만 아니라, 예를 들어 영역(151a)과 중첩되는 영역에 제공되어도 좋다.
- [0142] 영역(151c)은 도 3의 (B) 및 도 3의 (C)에 도시한 바와 같이 게이트 절연막(104)의 절연막(106)과 접하는 영역이다. 영역(151c)은 게이트 절연막(104)의 절연막(106)과 접하는 면으로부터 깊이 1nm 이상 200nm 이하, 바람직하게는 5nm 이상 150nm 이하, 더 바람직하게는 10nm 이상 100nm 이하로 제공되는 영역이다.
- [0143] 영역(151d)은 도 3의 (B)에 도시한 바와 같이 하지 절연막(102)의 절연막(106)과 접하는 영역이다. 영역(151d)은 하지 절연막(102)의 상면으로부터 깊이 1nm 이상 200nm 이하, 바람직하게는 5nm 이상 150nm 이하, 더 바람직하게는 10nm 이상 100nm 이하로 제공되는 영역이다. 또한, 도 4의 (B) 및 도 4의 (C)에 도시한 바와 같이 영역(151d)은 상면뿐만 아니라 깊이 방향에서 하지 절연막(102)의 전체에 제공되어도 좋다. 또한, 기판(101)에도 영역(151d)이 제공되어도 좋다.
- [0144] 트랜지스터가 영역(151b)을 갖는 경우, 절연막(121)에 포함되는 과잉 산소를 산화물 반도체막(103)의 산소 결손을 저감시키기 위하여 유효하게 활용할 수 있다. 예를 들어, 영역(151b)을 갖지 않는 경우, 절연막(121)에 포함되는 과잉 산소가 절연막(106)을 통하여 외방 확산함으로써 손실되는 경우가 있다. 또한, 절연막(121)에 포함되는 과잉 산소가 소스 전극(107a) 및 드레인 전극(107b)을 산화시키는 경우가 있다.
- [0145] 트랜지스터가 영역(151d)을 갖는 경우에도, 절연막(121)이나 하지 절연막(102)에 포함되는 과잉 산소를 산화물 반도체막(103)의 산소 결손을 저감시키기 위하여 유효하게 활용할 수 있다. 예를 들어, 영역(151d)을 갖지 않는 경우, 절연막(121)이나 하지 절연막(102)에 포함되는 과잉 산소가 외방 확산함으로써 손실되는 경우가 있다. 또한, 영역(151d)을 갖지 않는 경우, 절연막(121)이나 하지 절연막(102)에 포함되는 과잉 산소가 소스 전극(107a) 및 드레인 전극(107b)을 산화시키는 경우가 있다.
- [0146] 트랜지스터가 영역(151c)을 갖는 경우에도, 게이트 절연막(104)에 포함되는 과잉 산소를 산화물 반도체막(103)의 산소 결손을 저감시키기 위하여 유효하게 활용할 수 있다. 예를 들어, 영역(151c)을 갖지 않는 경우, 게이트 절연막(104)에 포함되는 과잉 산소가 외방 확산함으로써 손실되는 경우가 있다. 또한, 영역(151c)을 갖지 않는 경우, 게이트 절연막(104)에 포함되는 과잉 산소가 소스 전극(107a) 및 드레인 전극(107b)을 산화시키는 경우가 있다.

- [0147] 다음에, 산화물 반도체막(103)의 일부의 영역인 영역(151a)에 대하여 설명한다.
- [0148] 영역(151a)은 산화물 반도체막(103)의 소스 전극(107a) 및 드레인 전극(107b), 절연막(106)에 접하는 영역이다. 영역(151a)은 산화물 반도체막(103)의 상면 또는 측면으로부터 깊이 1nm 이상 200nm 이하, 바람직하게는 5nm 이상 150nm 이하, 더 바람직하게는 10nm 이상 100nm 이하로 제공되는 영역이다. 또한, 도 4에 도시한 바와 같이 영역(151a)이 산화물 반도체막(103)의 채널 형성 영역을 제외하고, 깊이 방향에서 산화물 반도체막(103)의 전체에 제공되어도 좋다.
- [0149] 산소 차단 영역인 영역(151b), 영역(151c), 영역(151d)을 형성하기 위하여 불순물을 첨가하는 공정에서, 영역(151a)에도 불순물이 첨가된다. 이때, 불순물을 첨가함으로써 영역(151a)을 저저항화할 수도 있다.
- [0150] 도 3의 (B)에 도시된 영역(122)은 소스 전극(107a) 또는 드레인 전극(107b)과 접하지 않는 영역이며, 또한 게이트 전극(105)과 중첩되지 않는 영역이다. 영역(122)의 저항이 높으면 트랜지스터의 온 전류를 줄이는 요인이 된다.
- [0151] 산화물 반도체막(103)의 일부의 영역인 영역(151a)에 불순물을 첨가함으로써 영역(122)의 저항을 줄일 수 있다. 이에 의해, 온 전류가 높아져 트랜지스터의 성능을 향상시킬 수 있다.
- [0152] 또한, 저저항인 영역을 형성하기 위한 불순물을 첨가하는 공정은 산소 차단 영역인 영역(151b), 영역(151c), 영역(151d)을 형성하기 위한 불순물을 첨가하는 공정과 겸할 수 있다. 이에 의해, 공정의 단축이 가능해지고 비용 저감으로 이어진다. 또한 공정이 간략화됨으로써 수율의 향상도 기대할 수 있다.
- [0153] 이하에서는, 산화물 반도체막(103)에 대하여 설명한다.
- [0154] 산화물 반도체막(103)은 인듐을 포함하는 산화물이다. 산화물은 예를 들어, 인듐을 포함하면, 캐리어 이동도(전자 이동도)가 높아진다. 또한, 산화물 반도체막(103)은 원소 M을 포함하는 것이 바람직하다. 원소 M으로서, 예를 들어, 알루미늄, 갈륨, 이트륨 또는 주석 등이 있다. 원소 M은 예를 들어, 산소와의 결합 에너지가 높은 원소이다. 원소 M은 예를 들어, 산화물의 에너지 갭을 크게 하는 기능을 갖는 원소이다. 또한, 산화물 반도체막(103)은 아연을 포함하는 것이 바람직하다. 산화물이 아연을 포함하면, 산화물이 결정화되기 쉬워진다. 산화물의 가전자대 상단의 에너지는 예를 들어, 아연의 원자수비에 의하여 제어할 수 있다.
- [0155] 다만, 산화물 반도체막(103)은 인듐을 포함하는 산화물로 한정되지 않는다. 산화물 반도체막(103)은 예를 들어, Zn-Sn 산화물, Ga-Sn 산화물이라도 좋다.
- [0156] 산화물 반도체막(103)의 채널 형성 영역에서 그 상하에 제 1 산화물 반도체막 및 제 2 산화물 반도체막을 가져도 좋다. 또한, 제 2 산화물 반도체막은 산화물 반도체막(103)과 게이트 절연막(104) 사이에 제공된다.
- [0157] 제 1 산화물 반도체막은, 산화물 반도체막(103)을 구성하는 산소 이외의 원소 중 1종 이상 또는 2종 이상으로 구성되는 산화물 반도체막이다. 제 1 산화물 반도체막이 산화물 반도체막(103)을 구성하는 산소 이외의 원소 중 1종 이상 또는 2종 이상으로 구성되기 때문에, 산화물 반도체막(103)과 제 1 산화물 반도체막과의 계면에서 계면 준위가 형성되기 어렵다.
- [0158] 제 2 산화물 반도체막은 산화물 반도체막(103)을 구성하는 산소 이외의 원소 중 1종 이상 또는 2종 이상으로 구성되는 산화물 반도체막이다. 제 2 산화물 반도체막이 산화물 반도체막(103)을 구성하는 산소 이외의 원소 중 1종 이상 또는 2종 이상으로 구성되기 때문에, 산화물 반도체막(103)과 제 2 산화물 반도체막과의 계면에서 계면 준위가 형성되기 어렵다.
- [0159] 또한, 제 1 산화물 반도체막이 In-M-Zn 산화물인 경우, In 및 M의 합을 100원자%로 하였을 때, In과 M의 원자수 비율은 바람직하게는 In이 50원자% 미만, M이 50원자% 이상, 더 바람직하게는 In이 25원자% 미만, M이 75원자% 이상으로 한다. 또한, 산화물 반도체막(103)이 In-M-Zn 산화물인 경우, In 및 M의 합을 100원자%로 하였을 때, In과 M의 원자수 비율은 바람직하게는 In이 25원자% 이상, M이 75원자% 미만, 더 바람직하게는 In이 34원자% 이상, M이 66원자% 미만으로 한다. 또한, 제 2 산화물 반도체막이 In-M-Zn 산화물인 경우, In 및 M의 합을 100원자%로 하였을 때, In과 M의 원자수 비율은 바람직하게는 In이 50원자% 미만, M이 50원자% 이상, 더 바람직하게는 In이 25원자% 미만, M이 75원자% 이상으로 한다. 또한, 제 2 산화물 반도체막은 제 1 산화물 반도체막과 같은 종류의 산화물을 사용하여도 좋다.
- [0160] 여기서, 제 1 산화물 반도체막과 산화물 반도체막(103) 사이에는 제 1 산화물 반도체막과 산화물 반도체막(103)의 혼합 영역을 갖는 경우가 있다. 또한, 산화물 반도체막(103)과 제 2 산화물 반도체막 사이에는 산화물 반

도체막(103)과 제 2 산화물 반도체막의 혼합 영역을 갖는 경우가 있다. 혼합 영역은 계면 준위 밀도가 낮게 된다. 그러므로 제 1 산화물 반도체막, 산화물 반도체막(103) 및 제 2 산화물 반도체막의 적층체는 각각 계면 근방에서 에너지가 연속적으로 변화하는(연속 접합이라고도 함) 밴드 구조가 된다.

[0161] 또한, 산화물 반도체막(103)은 에너지 갭이 큰 산화물을 사용한다. 산화물 반도체막(103)의 에너지 갭은 예를 들어, 2.5eV 이상 4.2eV 이하, 바람직하게는 2.8eV 이상 3.8eV 이하, 더 바람직하게는 3eV 이상 3.5eV 이하로 한다. 또한, 제 2 산화물 반도체막의 에너지 갭은 2.7eV 이상 4.9eV 이하, 바람직하게는 3eV 이상 4.7eV 이하, 더 바람직하게는 3.2eV 이상 4.4eV 이하로 한다.

[0162] 또한, 제 1 산화물 반도체막은 에너지 갭이 큰 산화물을 사용한다. 예를 들어, 제 1 산화물 반도체막의 에너지 갭은 2.7eV 이상 4.9eV 이하, 바람직하게는 3eV 이상 4.7eV 이하, 더 바람직하게는 3.2eV 이상 4.4eV 이하로 한다.

[0163] 또한, 제 2 산화물 반도체막은 에너지 갭이 큰 산화물을 사용한다. 제 2 산화물 반도체막의 에너지 갭은 2.7eV 이상 4.9eV 이하, 바람직하게는 3eV 이상 4.7eV 이하, 더 바람직하게는 3.2eV 이상 4.4eV 이하로 한다. 다만, 제 1 산화물 반도체막 및 제 2 산화물 반도체막은 산화물 반도체막(103)보다 에너지 갭이 큰 산화물로 한다.

[0164] 산화물 반도체막(103)은 제 1 산화물 반도체막보다 전자 친화력이 큰 산화물을 사용한다. 예를 들어, 산화물 반도체막(103)으로서, 제 1 산화물 반도체막보다 전자 친화력이 0.07eV 이상 1.3eV 이하, 바람직하게는 0.1eV 이상 0.7eV 이하, 더 바람직하게는 0.15eV 이상 0.4eV 이하 큰 산화물을 사용한다. 또한, 전자 친화력은 진공 준위와 전도대 하단의 에너지의 차이이다.

[0165] 또한, 산화물 반도체막(103)으로서 제 2 산화물 반도체막보다 전자 친화력이 큰 산화물을 사용한다. 예를 들어, 산화물 반도체막(103)으로서, 제 2 산화물 반도체막보다 전자 친화력이 0.07eV 이상 1.3eV 이하, 바람직하게는 0.1eV 이상 0.7eV 이하, 더 바람직하게는 0.15eV 이상 0.5eV 이하 큰 산화물을 사용한다.

[0166] 이때, 게이트 전극(105)에 전계를 인가하면 제 1 산화물 반도체막, 산화물 반도체막(103), 제 2 산화물 반도체막 중 전자 친화력이 큰 산화물 반도체막(103)에 주로 전류가 흐른다.

[0167] 또한, 트랜지스터의 온 전류를 증대시키기 위해서는 제 2 산화물 반도체막의 두께는 얇을수록 바람직하다. 예를 들어, 제 2 산화물 반도체막은 10nm 미만, 바람직하게는 5nm 이하, 더 바람직하게는 3nm 이하로 한다. 한편, 제 2 산화물 반도체막은 주로 전류가 흐르는 산화물 반도체막(103)에, 게이트 절연막(104)을 구성하는 산소 이외의 원소(실리콘 등)가 들어가지 않도록 차단하는 기능을 갖는다. 그러므로 제 2 산화물 반도체막은 어느 정도 두께를 갖는 것이 바람직하다. 예를 들어, 제 2 산화물 반도체막의 두께는 0.3nm 이상, 바람직하게는 1nm 이상, 더 바람직하게는 2nm 이상으로 한다.

[0168] 또한, 신뢰성을 향상시키기 위해서는 제 1 산화물 반도체막은 두껍고, 산화물 반도체막(103)과 제 2 산화물 반도체막은 얇게 제공되는 것이 바람직하다. 구체적으로는, 제 1 산화물 반도체막의 두께는 20nm 이상, 바람직하게는 30nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상으로 한다. 제 1 산화물 반도체막의 두께를 20nm 이상, 바람직하게는 30nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상으로 함으로써, 하지 절연막(102)과 제 1 산화물 반도체막과의 계면으로부터 주로 전류가 흐르는 산화물 반도체막(103)까지를 20nm 이상, 바람직하게는 30nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상 떨어지게 할 수 있다. 다만, 반도체 장치의 생산성이 저하되는 경우가 있기 때문에, 제 1 산화물 반도체막의 두께는 200nm 이하, 바람직하게는 120nm 이하, 더 바람직하게는 80nm 이하로 한다. 또한, 산화물 반도체막(103)의 두께는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 80nm 이하, 더 바람직하게는 3nm 이상 50nm 이하로 한다.

[0169] 예를 들어, 제 1 산화물 반도체막의 두께는 산화물 반도체막(103)의 두께보다 두껍고, 산화물 반도체막(103)의 두께는 제 2 산화물 반도체막의 두께보다 두껍게 하면 좋다.

[0170] 또한, 절연막(121)을 섬 형상으로 형성하는 경우에는, 제 1 산화물 반도체막의 두께와 절연막(121)의 두께의 합을 20nm 이상, 바람직하게는 30nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상으로 함으로써, 하지 절연막(102)과 절연막(121)과의 계면으로부터 주로 전류가 흐르는 산화물 반도체막(103)까지를 20nm 이상, 바람직하게는 30nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상 떨어지게 할 수 있다. 즉 절연막(121)을 두껍게 제공함으로써 제 1 산화물 반도체막을 얇게 할 수 있다. 제 1 산화물 반도체막을 얇게 함으로써 제 1 산화물 반도체막으로의 과잉 산소의 공급량을 적게 할 수 있고, 또한 주로 전류가 흐르는 산화물 반도체막(103)에 공급할 수 있는 산소량이 상대적으로 늘어나기 때문에, 특성의 향상이 더욱 기대

된다.

- [0171] 이하에서는, 산화물 반도체막(103) 중에서의 불순물의 영향에 대하여 설명한다. 또한, 트랜지스터의 전기 특성을 안정적으로 하기 위해서는 산화물 반도체막(103) 중의 불순물 농도를 저감하여 캐리어 밀도를 저감시키고 고순도화시키는 것이 효과적이다. 또한, 산화물 반도체막(103)의 캐리어 밀도는 1×10^{17} 개/cm³ 미만, 1×10^{15} 개/cm³ 미만, 또는 1×10^{13} 개/cm³ 미만으로 한다. 산화물 반도체막(103) 중의 불순물 농도를 저감시키기 위해서는 근접하는 막 중의 불순물 농도도 저감시키는 것이 바람직하다.
- [0172] 예를 들어, 산화물 반도체막(103) 중에 실리콘이 포함됨으로써 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다. 그러므로, 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)으로 측정하였을 때의 산화물 반도체막(103)과 제 1 산화물 반도체막 사이에서의 실리콘 농도를 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더 바람직하게는 2×10^{18} atoms/cm³ 미만으로 한다. 또한, SIMS로 측정하였을 때의 산화물 반도체막(103)과 제 2 산화물 반도체막 사이에서의 실리콘 농도를 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더 바람직하게는 2×10^{18} atoms/cm³ 미만으로 한다.
- [0173] 또한, 산화물 반도체막(103) 중에 수소가 포함되면 캐리어 밀도를 증대시키는 경우가 있다. SIMS로 측정하였을 때의 산화물 반도체막(103)의 수소 농도를 2×10^{20} atoms/cm³ 이하, 바람직하게는 5×10^{19} atoms/cm³ 이하, 더 바람직하게는 1×10^{19} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{18} atoms/cm³ 이하로 한다. 또한, 산화물 반도체막(103) 중에서 질소가 포함되면 캐리어 밀도를 증대시키는 경우가 있다. SIMS로 측정하였을 때의 산화물 반도체막(103)의 질소 농도를 5×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 이하, 더 바람직하게는 1×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{17} atoms/cm³ 이하로 한다.
- [0174] 또한, 산화물 반도체막(103)의 수소 농도를 저감시키기 위하여 제 1 산화물 반도체막의 수소 농도를 저감시키면 바람직하다. SIMS로 측정하였을 때의 제 1 산화물 반도체막의 수소 농도를 2×10^{20} atoms/cm³ 이하, 바람직하게는 5×10^{19} atoms/cm³ 이하, 더 바람직하게는 1×10^{19} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{18} atoms/cm³ 이하로 한다. 또한, 산화물 반도체막(103)의 질소 농도를 저감시키기 위하여 제 1 산화물 반도체막의 질소 농도를 저감시키면 바람직하다. SIMS로 측정하였을 때의 제 1 산화물 반도체막의 질소 농도를 5×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 이하, 더 바람직하게는 1×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{17} atoms/cm³ 이하로 한다.
- [0175] 또한, 산화물 반도체막(103)의 수소 농도를 저감시키기 위하여 제 2 산화물 반도체막의 수소 농도를 저감시키면 바람직하다. SIMS로 측정하였을 때의 제 2 산화물 반도체막의 수소 농도를 2×10^{20} atoms/cm³ 이하, 바람직하게는 5×10^{19} atoms/cm³ 이하, 더 바람직하게는 1×10^{19} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{18} atoms/cm³ 이하로 한다. 또한, 산화물 반도체막(103)의 질소 농도를 저감시키기 위하여 제 2 산화물 반도체막의 질소 농도를 저감시키면 바람직하다. SIMS로 측정하였을 때의 제 2 산화물 반도체막의 질소 농도를 5×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 이하, 더 바람직하게는 1×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{17} atoms/cm³ 이하로 한다.
- [0176] 이하에서는, 산화물 반도체막의 구조에 대하여 설명한다.
- [0177] 산화물 반도체막은 비단결정 산화물 반도체막과 단결정 산화물 반도체막으로 크게 나눌 수 있다. 비단결정 산화물 반도체막이란 CAAC-OS(C Axis Aligned crystalline Oxide Semiconductor)막, 다결정 산화물 반도체막, 미결정 산화물 반도체막, 비정질 산화물 반도체막 등을 말한다.
- [0178] 먼저, CAAC-OS막에 대하여 설명한다.
- [0179] CAAC-OS막은 c축 배향된 복수의 결정부를 갖는 산화물 반도체막 중 하나이다.
- [0180] CAAC-OS막을 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 관찰하면, 결정부와 결정부의 명확한 경계, 즉 결정 입계(그레인 바운더리라고도 함)는 확인되지 않는다. 따라서, CAAC-OS막은 결정 입

계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.

- [0181] CAAC-OS막을 시료면에 대략 평행한 방향으로부터 TEM에 의하여 관찰(단면 TEM 관찰)하면, 결정부에서 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각 층은 CAAC-OS막이 형성되는 면(피형성면이라고도 함) 또는 CAAC-OS막의 상면의 요철을 반영한 형상이며 CAAC-OS막의 피형성면 또는 상면에 평행하게 배열된다.
- [0182] 한편, CAAC-OS막을 시료면에 대략 수직인 방향으로부터 TEM에 의하여 관찰(평면 TEM 관찰)하면, 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있는 것을 확인할 수 있다. 그러나, 상이한 결정부들간에서 금속 원자의 배열에는 규칙성이 보이지 않는다.
- [0183] 단면 TEM 관찰 및 평면 TEM 관찰로부터, CAAC-OS막의 결정부는 배향성을 갖는 것을 알 수 있다.
- [0184] 또한, CAAC-OS막에 포함되는 대부분의 결정부는 하나의 변이 100nm 미만의 입방체 내에 들어가는 크기이다. 따라서, CAAC-OS막에 포함되는 결정부는 하나의 변이 10nm 미만, 5nm 미만 또는 3nm 미만의 입방체 내에 들어가는 크기인 경우도 포함된다. 다만, CAAC-OS막에 포함되는 복수의 결정부가 연결함으로써, 하나의 큰 결정 영역을 형성하는 경우가 있다. 예를 들어, 평면 TEM상에서 2500nm^2 이상, $5\mu\text{m}^2$ 이상 또는 $1000\mu\text{m}^2$ 이상이 되는 결정 영역이 관찰되는 경우가 있다.
- [0185] CAAC-OS막에 대하여 X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 구조 해석을 수행하면, 예를 들어 InGaZnO₄의 결정을 갖는 CAAC-OS막의 아웃-오브-플레인(out-of-plane)법에 의한 해석에서는, 회절각(2θ)이 31° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는, InGaZnO₄의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 피형성면 또는 상면에 대략 수직인 방향으로 배향하는 것을 확인할 수 있다.
- [0186] 또한, 본 명세서에서 결정이 삼방정 또는 능면체정인 경우, 육방정계로서 나타낸다.
- [0187] 한편, CAAC-OS막에 대하여 c축에 대략 수직인 방향으로부터 X선을 입사시키는 인-플레인(in-plane)법에 의한 해석에서는, 2θ 가 56° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO₄의 결정의 (110)면에 귀속된다. InGaZnO₄의 단결정 산화물 반도체막의 경우에는, 2θ 를 56° 근방에 고정하고, 시료면의 법선 벡터를 축(ϕ 축)으로 하여 시료를 회전시키면서 분석(ϕ 스캔)을 수행하면, (110)면과 등가인 결정면에 귀속되는 6개의 피크가 관찰된다. 한편, CAAC-OS막의 경우에는, 2θ 를 56° 근방에 고정하고 ϕ 스캔을 수행하여도 명료한 피크가 나타나지 않는다.
- [0188] 상술한 것으로부터, CAAC-OS막에서는, 상이한 결정부들간에서는 a축 및 b축의 배향이 불규칙하지만, c축 배향성을 갖고 또한 c축이 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향하는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰로 확인된 층상으로 배열된 금속 원자의 각 층은 결정의 a-b면에 평행한 면이다.
- [0189] 또한, 결정부는 CAAC-OS막을 형성하였을 때 또는 가열 처리 등의 결정화 처리를 수행하였을 때 형성된다. 상술한 바와 같이, 결정의 c축은 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향한다. 따라서, 예를 들어 CAAC-OS막의 형상을 에칭 등에 의하여 변화시킨 경우, 결정의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행하게 배향하지 않을 수도 있다.
- [0190] 또한, CAAC-OS막 내에서 c축 배향된 결정부의 분포가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터의 결정 성장에 의하여 형성되는 경우에는, 상면 근방의 영역은 피형성면 근방의 영역보다 c축 배향된 결정부의 비율이 높게 되는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우에는, 불순물이 첨가된 영역이 변질되어, 부분적으로 c축 배향된 결정부의 비율이 상이한 영역이 형성될 수도 있다.
- [0191] 또한, InGaZnO₄의 결정을 갖는 CAAC-OS막의 아웃-오브-플레인(out-of-plane)법에 의한 해석에서는, 2θ 가 31° 근방일 때 나타나는 피크에 더하여, 2θ 가 36° 근방일 때 피크가 나타나는 경우도 있다. 2θ 가 36° 근방일 때 나타나는 피크는 CAAC-OS막 내의 일부에, c축 배향성을 갖지 않는 결정이 포함되는 것을 가리킨다. CAAC-OS막은 2θ 가 31° 근방일 때 피크가 나타나고, 2θ 가 36° 근방일 때 피크가 나타나지 않는 것이 바람직하다.
- [0192] CAAC-OS막은 불순물 농도가 낮은 산화물 반도체막이다. 불순물은 수소, 탄소, 실리콘, 전이 금속 원소 등 산화물 반도체막의 주성분 이외의 원소이다. 특히 실리콘 등, 산화물 반도체막을 구성하는 금속 원소보다 산소와의

결합력이 강한 원소는 산화물 반도체막으로부터 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 흐트러지게 하고 결정성을 저하시키는 요인이 된다. 또한, 철이나 니켈 등의 중금속, 아르곤, 이산화탄소 등은 원자 반경(또는 분자 반경)이 크기 때문에 산화물 반도체막 내부에 포함되면 산화물 반도체막의 원자 배열을 흐트러지게 하고 결정성을 저하시키는 요인이 된다. 또한, 산화물 반도체막에 포함되는 불순물은 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다.

[0193] 또한 CAAC-OS막은 결합 준위 밀도가 낮은 산화물 반도체막이다. 예를 들어 산화물 반도체막 내의 산소 결손은 캐리어 트랩이 되거나, 또는 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다.

[0194] 불순물 농도가 낮고 결합 준위 밀도가 낮은(산소 결손이 적은) 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 발생원이 적어 캐리어 밀도를 낮게 할 수 있다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터는 문턱 전압이 마이너스로 변동되는 전기 특성(노멀리 온이라고도 함)을 가지기 어렵다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 트랩이 적다. 그러므로, 상기 산화물 반도체막을 사용한 트랜지스터는 전기 특성의 변동이 작고 신뢰성이 높은 트랜지스터가 된다. 또한, 산화물 반도체막의 캐리어 트랩에 포획된 전하는 방출될 때까지 걸리는 시간이 길어 마치 고정 전하처럼 행동하는 경우가 있다. 그러므로, 불순물 농도가 높고 결합 준위 밀도가 높은 산화물 반도체막을 사용한 트랜지스터는 전기 특성이 불안정하게 되는 경우가 있다.

[0195] 또한, CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 작다.

[0196] 다음에, 미결정 산화물 반도체막에 대하여 설명한다.

[0197] 미결정 산화물 반도체막은 TEM에 의한 관찰상에서는 결정부를 명확히 확인할 수 없는 경우가 있다. 미결정 산화물 반도체막에 포함되는 결정부는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하의 크기인 경우가 많다. 특히, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정(nc: nanocrystal)을 갖는 산화물 반도체막을 nc-OS(nanocrystalline Oxide Semiconductor)막이라고 부른다. 또한, nc-OS막은 예를 들어 TEM에 의한 관찰상에서는 결정 입계를 명확히 확인할 수 없는 경우가 있다.

[0198] nc-OS막은 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 또한, nc-OS막은 상이한 결정부들간에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, 막 전체에서 배향성이 보이지 않는다. 따라서, 분석 방법에 따라서는 nc-OS막을 비정질 산화물 반도체막과 구별할 수 없는 경우가 있다. 예를 들어, 결정부보다 직경이 큰 X선을 사용하는 XRD 장치를 사용하여 nc-OS막의 구조를 해석하면, 아웃-오브-플레인(out-of-plane)법에 의한 해석에서는 결정면을 나타내는 피크가 검출되지 않는다. 또한, nc-OS막에 대해 결정 부분보다 프로브 직경이 큰(예를 들어, 50nm 이상) 전자빔을 사용하여 얻어진 전자빔 회절(제한 시야 전자빔 회절이라고도 함)을 행하면, 할로 패턴과 같은 회절 패턴이 관측된다. 한편, nc-OS막에 대해 프로브 직경이 결정 부분의 크기와 가깝거나 결정 부분보다 작은(예를 들어, 1nm 이상 30nm 이하) 전자빔을 사용하는 전자빔 회절(나노 전자빔 회절이라고도 함)에는 스폿이 관측된다. 또한, nc-OS막의 나노 전자빔 회절 패턴에는, 휘도가 높은 원 형상(환 형상)의 영역이 관측되는 경우가 있다. 또한, nc-OS막의 나노 전자빔 회절 패턴에는, 환 형상의 영역 내에 복수의 스폿이 관측되는 경우가 있다.

[0199] nc-OS막은 비정질 산화물 반도체막보다 규칙성이 높은 산화물 반도체막이다. 그러므로, nc-OS막은 비정질 산화물 반도체막보다 결합 준위 밀도가 낮다. 다만, nc-OS막은 상이한 결정부들간에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, nc-OS막은 CAAC-OS막보다 결합 준위 밀도가 높다.

[0200] 또한, 산화물 반도체막은 예를 들어 비정질 산화물 반도체막, 미결정 산화물 반도체막, CAAC-OS막 중 2종류 이상을 갖는 적층막이라도 좋다.

[0201] 도 3에 도시된 하지 절연막(102)은 예를 들어 산화 실리콘 또는 산화 질화 실리콘을 포함하는 절연막을 사용하면 좋다. 하지 절연막(102)은 예를 들어 두께를 20nm 이상 1000nm 이하, 바람직하게는 50nm 이상 1000nm 이하, 더 바람직하게는 100nm 이상 1000nm 이하, 더욱 바람직하게는 200nm 이상 1000nm 이하로 한다.

[0202] 또는 하지 절연막(102)에 질화 실리콘막을 사용하여도 좋다. 또는 산화 알루미늄막을 사용하여도 좋다. 산소 투과성이 낮은 질화 실리콘막이나 산화 알루미늄막을 사용함으로써, 절연막(121)으로부터 하지 절연막(102)에 산소가 확산하는 것을 방지할 수 있다.

[0203] 절연막(121)은 과잉 산소를 포함하는 절연막이다. 절연막(121)은 예를 들어, 산화 실리콘 또는 산화 질화 실리콘을 포함하는 절연막을 단층 또는 적층으로 사용하면 좋다. 또한, 하지 절연막(102)은 예를 들어 두께를 20nm

이상 1000nm 이하, 바람직하게는 50nm 이상 1000nm 이하, 더 바람직하게는 100nm 이상 1000nm 이하, 더욱 바람직하게는 200nm 이상 1000nm 이하로 한다.

[0204] 또는, 예를 들어 절연막(121)의 첫 번째 층을 질화 실리콘막으로 하고, 두 번째 층을 산화 실리콘막으로 하면 좋다. 이 경우, 산화 실리콘막은 산화 질화 실리콘막이라도 좋다. 또한, 질화 실리콘막은 질화 산화 실리콘막이라도 좋다. 산화 실리콘막은 과잉 산소를 포함하는 산화 실리콘막을 사용한다. 질화 실리콘막은 수소 및 암모니아의 방출량이 적은 질화 실리콘막을 사용한다. 또한, 질화 실리콘막은 수소, 물 및 산소를 투과시키지 않는 또는 거의 투과시키지 않는 질화 실리콘막을 사용한다. 산소 투과성이 낮은 질화 실리콘막을 사용함으로써 절연막(121)으로부터 하지 절연막(102)에 산소가 확산하는 것을 방지할 수 있다.

[0205] 또는, 예를 들어 절연막(121)의 첫 번째 층을 산화 알루미늄으로 하고, 두 번째 층을 산화 실리콘막으로 하면 좋다. 산소 투과성이 낮은 산화 알루미늄막을 사용함으로써 절연막(121)으로부터 하지 절연막(102)에 산소가 확산하는 것을 방지할 수 있다.

[0206] 또한, 예를 들어, 하지 절연막(102)을 질화 실리콘막으로 하고, 절연막(121)을 산화 실리콘막으로 하여도 좋다. 또한, 산화 실리콘막은 산화 질화 실리콘막이라도 좋다. 또한, 질화 실리콘막은 질화 산화 실리콘막이라도 좋다. 산화 실리콘막은 결합 밀도가 작은 산화 실리콘막을 사용하는 것이 바람직하다. 구체적으로는 ESR로 측정하였을 때 g값이 2.001인 신호에서 유래하는 스핀 밀도가 3×10^{17} 개/cm³ 이하, 바람직하게는 5×10^{16} 개/cm³ 이하인 산화 실리콘막을 사용한다. 질화 실리콘막은 수소 및 암모니아의 방출량이 적은 질화 실리콘막을 사용한다. 수소 및 암모니아의 방출량은 TDS로 측정할 수 있다. 또한, 질화 실리콘막은 수소, 물, 및 산소를 투과시키지 않는 또는 거의 투과시키지 않는 질화 실리콘막을 사용한다.

[0207] 또는, 예를 들어, 하지 절연막(102)을 질화 실리콘막으로 하고, 절연막(121)을 제 1 산화 실리콘막과 제 2 산화 실리콘막의 적층막으로 하면 좋다. 이 경우, 제 1 산화 실리콘막 또는/및 제 2 산화 실리콘막은 산화 질화 실리콘막이라도 좋다. 또한, 질화 실리콘막은 질화 산화 실리콘막이라도 좋다. 제 1 산화 실리콘막은 결합 밀도가 작은 산화 실리콘막을 사용하는 것이 바람직하다. 구체적으로는 ESR로 측정하였을 때 g값이 2.001인 신호에서 유래하는 스핀 밀도가 3×10^{17} 개/cm³ 이하, 바람직하게는 5×10^{16} 개/cm³ 이하인 산화 실리콘막을 사용한다. 제 2 산화 실리콘막은 과잉 산소를 포함하는 산화 실리콘막을 사용한다. 질화 실리콘막은 수소, 및 암모니아의 방출량이 적은 질화 실리콘을 사용한다. 또한, 질화 실리콘막은 수소, 물 및 산소를 투과시키지 않는 또는 거의 투과시키지 않는 질화 실리콘막을 사용한다.

[0208] 게이트 절연막(104)은 예를 들어 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄 또는 산화 탄탈을 포함하는 절연막을 단층 또는 적층으로 사용하면 좋다. 또한, 게이트 절연막(104)은 과잉 산소를 포함하는 절연막을 사용하는 것이 바람직하다. 게이트 절연막(104)은 예를 들어, 두께(또는 등가 산화막 두께)를 1nm 이상 500nm 이하, 바람직하게는 3nm 이상 300nm 이하, 더 바람직하게는 5nm 이상 100nm 이하, 더욱 바람직하게는 5nm 이상 50nm 이하로 한다.

[0209] 게이트 절연막(104)은 예를 들어, 첫 번째 층을 질화 실리콘막으로 하고, 두 번째 층을 산화 실리콘막으로 한 적층막으로 하면 좋다. 또한, 산화 실리콘막은 산화 질화 실리콘막이라도 좋다. 또한, 질화 실리콘막은 질화 산화 실리콘막이라도 좋다. 산화 실리콘막은 결합 밀도가 작은 산화 실리콘막을 사용하는 것이 바람직하다. 구체적으로는 ESR로 측정하였을 때 g값이 2.001인 신호에서 유래하는 스핀 밀도가 3×10^{17} 개/cm³ 이하, 바람직하게는 5×10^{16} 개/cm³ 이하인 산화 실리콘막을 사용한다. 산화 실리콘막은 과잉 산소를 포함하는 산화 실리콘막을 사용하는 것이 바람직하다. 질화 실리콘막은 수소 가스 및 암모니아 가스의 방출량이 적은 질화 실리콘막을 사용한다. 수소 가스, 암모니아 가스의 방출량은 TDS로 측정할 수 있다.

[0210] 또한, 예를 들어, 산화 실리콘과 산화 하프늄의 적층과 같이, 게이트 절연막(104)의 일부에 산화 하프늄, 산화 알루미늄, 산화 탄탈과 같은 전자 포획 준위가 많은 재료를 사용하여, 보다 높은 온도(반도체 장치의 사용 온도 또는 보관 온도보다 높은 온도, 또는 125℃ 이상 450℃ 이하, 대표적으로는 150℃ 이상 300℃ 이하)하에서, 게이트 전극(105)의 전위를 소스 전극(107a)이나 드레인 전극(107b)의 전위보다 높은 상태를 1초 이상, 대표적으로는 1분 이상 유지함으로써 산화물 반도체막(103)으로부터 게이트 전극(105)을 향하여 전자가 이동하고, 그 중 어느 정도는 전자 포획 준위에 포획된다.

[0211] 이렇게 전자 포획 준위에 필요한 양의 전자를 포획시킨 반도체 장치는, 문턱 전압이 플러스 측으로 시프트한다.

게이트 전극(105)의 전압 제어에 의하여 전자가 포획하는 양을 제어할 수 있고, 그에 따라 문턱 전압을 제어할 수 있다. 또한, 전자를 포획시키는 처리는 반도체 장치의 제작 과정에 수행하면 좋다.

- [0212] 예를 들어, 반도체 장치의 소스 전극(107a) 또는 드레인 전극(107b)에 접속하는 배선 메탈의 형성 후, 또는 전(前) 공정(웨이퍼 처리)의 종료 후, 또는 웨이퍼 다이싱 공정 후, 패키지 후 등, 공장 출시 전 중 어느 한 단계에서 수행하면 좋다. 어떤 경우에도, 그 후에 125°C 이상의 온도에 1시간 이상 노출되지 않는 것이 바람직하다.
- [0213] 간략화된 단면도를 사용하여 게이트 절연막(104)을 전자 포획층으로서도 이용한 경우의 예를 기재한다.
- [0214] 도 5의 (A)는 반도체막(901)과 전자 포획층(902)과 게이트 전극(903)을 갖는 반도체 장치이다. 전자 포획층(902)은 도 3 등의 게이트 절연막(104)에 대응한다. 게이트 전극(903)은 도 3 등의 게이트 전극(105)에 대응한다.
- [0215] 여기서, 전자 포획층(902)은 내부에 전자를 포획하는 준위(전자 포획 준위)를 갖는다. 또는, 전자 포획층(902)은 어떤 수단이나 처리에 의하여 이미 내부에 전자가 포획되어 있는 층이다. 또는, 전자 포획층(902)은 어떤 수단이나 처리에 의하여 어떤 내부에 전자가 포획될 가능성이 있는 층이다. 또한, 같은 구성 원소로 구성되어 있어도 형성 방법·형성 조건의 차이에 의하여, 그러한 준위가 형성되지 않는 경우도 있다.
- [0216] 예를 들어, 도 5의 (B)에 도시된 바와 같은 제 1 절연막(902a)과 제 2 절연막(902b)의 적층체라도 좋고, 도 5의 (C)에 도시된 바와 같은 제 1 절연막(902a), 제 2 절연막(902b)과 제 3 절연막(902c)의 적층체, 또는 더 다층의 절연막의 적층체라도 좋다.
- [0217] 여기서, 제 1 내지 제 3 절연막의 구성 원소는 전부 또는 일부 같아도 좋다. 또한, 제 1 내지 제 3 절연막의 형성 방법(또는 형성 조건)은 전부 또는 일부가 달라도 좋다.
- [0218] 예를 들어, 스퍼터링법으로 형성된 절연막을 제 2 절연막(902b)으로 하고, 화학 기상 성장(CVD: Chemical Vapor Deposition)법이나 원자층 퇴적(ALD: Atomic Layer Deposition)법으로 형성된 절연막을 제 1 절연막(902a)으로 하여도 좋고, 도 5의 (C)의 경우에는 제 3 절연막(902c)도 제 1 절연막(902a)과 같게 하여도 좋다. 다만, 본 발명의 실시형태의 일 형태는 이것에 한정되지 않고, CVD법이나 ALD법으로 형성된 절연막을 제 2 절연막(902b)으로 하고, 스퍼터링법으로 형성된 절연막을 제 1 절연막(902a)으로 하여도 좋다.
- [0219] 여기서, CVD법으로 형성된 절연막은 통상의 게이트 절연막으로서의 기능을 가질 수 있다. 따라서, 게이트와 드레인 사이, 또는, 게이트와 소스 사이의 누설 전류를 저감할 수 있다. 한편, 스퍼터링법으로 형성된 절연막은 전자 포획 준위가 많기 때문에 트랜지스터의 문턱 전압을 보다 크게 변화시킬 수 있다. 그러므로, 이러한 구성으로 함으로써 누설 전류가 작고, 또한 문턱 전압도 충분히 제어된 구성으로 할 수 있다.
- [0220] 또한, 반도체막(901)의 형성 방법과, 반도체막(901)과 접하는 제 1 절연막(902a)은 연속적으로 제조하기 쉬워지기 때문에, 같은 제조 방법을 사용하여도 좋다. 예를 들어, 반도체막(901)을 스퍼터링법으로 형성한 경우, 제 1 절연막(902a)도 스퍼터링법으로 형성하고, 제 2 절연막(902b)은 CVD법이나 ALD법으로 형성하여도 좋다. 도 5의 (C)의 경우에는 제 3 절연막(902c)도 스퍼터링법으로 형성하여도 좋다. 마찬가지로, 반도체막(901)을 CVD법으로 형성한 경우, 제 1 절연막(902a)도 CVD법으로 형성하고, 제 2 절연막(902b)은 스퍼터링법으로 형성하여도 좋다. 도 5의 (C)의 경우에는, 제 3 절연막(902c)도 CVD법으로 형성하여도 좋다. 이러한 구성으로 함으로써 누설 전류가 작고, 또한 문턱 전압도 충분히 제어된 구성으로 하고, 또한 제조하기 쉽게 할 수 있다. 다만, 본 발명의 실시형태의 일 형태는 이것에 한정되지 않는다.
- [0221] 또한, CVD법으로서도 다양한 방법을 사용할 수 있다. 열 CVD법, 광 CVD법, 플라즈마 CVD법, MOCVD법, LPCVD법 등의 방법을 사용할 수 있다. 따라서, 어떤 절연막과 다른 절연막에서, 다른 CVD법을 사용하여 절연막을 형성하여도 좋다.
- [0222] 도 5의 (B)에 도시된 반도체 장치의 점 A로부터 점 B에 걸쳐 밴드도의 예를 도 6의 (A)에 도시하였다. 도면 중, E_c 는 전도대 하단, E_v 는 가전자대 상단을 나타낸다. 도 6의 (A)에서는 게이트 전극(903)의 전위는 소스 전극 또는 드레인 전극 (모두 도시 생략)과 같다.
- [0223] 또한, 도 5의 (C)와 같이, 전자 포획층(902)에 제 2 절연막(902b)으로부터 전자 친화력이 작은 제 3 절연막(902c)을 제공하는 것은 제 2 절연막(902b)의 내부, 또는 다른 절연막과의 계면에 있는 전자 포획 준위에 포획된 전자를 유지하여 효과적이다.

- [0224] 이 경우에는, 제 2 절연막(902b)이 얇아도 제 3 절연막(902c)이 물리적으로 충분히 두꺼우면 전자 포획 준위(904)에 포획된 전자를 유지할 수 있다.
- [0225] 제 2 절연막(902b)은 전자 포획 준위(904)가 보다 많아지는 형성 방법(또는 형성 조건)으로 형성되지만, 그 때문에 제 1 절연막(902a)과 제 2 절연막(902b)과의 계면, 제 2 절연막(902b)과 제 3 절연막(902c)과의 계면에도 많은 전자 포획 준위가 형성된다.
- [0226] 그리고, 게이트 전극(903)의 전위 및 온도를 상기에 나타낸 것으로 하면, 반도체막(901)으로부터 전자(905)가 게이트 전극(903)을 향하여 이동하고, 파울러-노르트하임(Fowler-Nordheim) 터널 효과, 풀-플렌켈(Poole-Frenkel) 전도, 열적인 여기, 또는 이들의 조합에 의하여 전자 포획층(902)으로 진입하고, 그 일부가 전자 포획 준위(904)에 포획되어 전자 포획층(902)은 음으로 대전(帶電)한다(도 6의 (B) 참조).
- [0227] 이렇게 전자 포획층(902)이 전자를 포획하면, 도 7에 도시한 바와 같이 반도체 장치의 문턱값이 증가한다. 특히, 반도체막(901)이, 밴드 갭이 큰 재료(와이드 밴드 갭 반도체)이면, 게이트 전극(903)의 전위를 소스 전극의 전위와 같게 하였을 때의 소스와 드레인 사이의 전류(Icut 전류)를 대폭 저하시킬 수 있다.
- [0228] 예를 들어, 밴드 갭 3.2 eV의 In-Ga-Zn계 산화물이면, Icut 전류 밀도(채널 폭 1 μ m당의 전류값)는 1zA/ μ m(1×10^{-21} A/ μ m) 이하, 대표적으로는 1yA/ μ m(1×10^{-24} A/ μ m) 이하로 할 수 있다.
- [0229] 도 7의 (A)는 전자 포획층(902)에서의 전자의 포획을 수행하기 전과, 전자의 포획을 수행한 후에서의, 실온에서의 소스 전극과 드레인 전극 사이의 채널 폭 1 μ m당의 전류(Id)의 게이트 전극(903)의 전위(Vg) 의존성을 모식적으로 도시한 것이다. 또한, 소스 전극과 게이트 전극(903)의 전위를 0V, 드레인 전극의 전위를 +1V로 한다. 1fA보다 작은 전류는 직접적으로 측정할 수 없지만, 그 밖의 방법으로 측정할 값, 하위 문턱값 등을 기초로 추정할 수 있다.
- [0230] 최초, 곡선(906)으로 나타낸 바와 같이 반도체 장치의 문턱값은 Vth1이었지만, 전자의 포획을 수행한 후에는 곡선(907)으로 나타낸 바와 같이 문턱값이 증가하여 (플러스 방향으로 이동하여), Vth2가 된다. 또한, 이 결과, Vg=0에서의 전류 밀도는 1aA/ μ m(1×10^{-18} A/ μ m) 이하, 예를 들어, 1zA/ μ m 이상 1yA/ μ m 이하가 된다.
- [0231] 예를 들어, 도 7의 (B)와 같이 용량 소자(909)에 축적되는 전하를 트랜지스터(908)로 제어하는 회로를 생각한다. 여기서, 용량 소자(909)의 전극 사이의 누설 전류는 무시한다. 용량 소자(909)의 용량이 1fF이며, 용량 소자(909)의 트랜지스터(908) 측의 전위가 +1V, Vd의 전위가 0V라고 한다.
- [0232] 트랜지스터(908)의 Id-Vg 특성이 도 7의 (A) 중의 곡선(906)으로 나타낸 것으로, 채널 폭이 0.1 μ m이면 Icut 전류 밀도는 약 1fA이며, 트랜지스터(908)의 이때의 저항은 약 1×10^{15} Ω 이다. 따라서, 트랜지스터(908)와 용량 소자(909)로 이루어지는 회로의 시정수(時定數)는 약 1초이다. 즉, 약 1초로, 용량 소자(909)에 축적되어 있던 많은 전하가 손실된다는 것을 의미한다.
- [0233] 트랜지스터(908)의 Id-Vg 특성이 도 7의 (A) 중의 곡선(907)으로 나타낸 것으로, 채널 폭이 0.1 μ m이면 Icut 전류 밀도는 약 1yA이며, 트랜지스터(908)의 이때의 저항은 약 1×10^{24} Ω 이다. 따라서, 트랜지스터(908)와 용량 소자(909)로 이루어지는 회로의 시정수는 약 1×10^9 초(=약 31년)이다. 즉, 10년 경과 후에도 용량 소자(909)에 축적되어 있던 전하의 1/3은 남아 있는 것을 의미한다.
- [0234] 이렇게, 트랜지스터와 용량 소자 등의 단순한 회로로, 또한 그 정도로 과대한 전압을 인가하지 않아도 10년 동안 전하의 유지가 가능하다.
- [0235] 전자 포획층(902)은 각종의 재료를 사용할 수 있다. 예를 들어, 산화 하프늄(산소, 하프늄), 산화 알루미늄(산소, 알루미늄), 산화 탄탈(산소, 탄탈), 알루미늄실리케이트(산소, 실리콘, 알루미늄) 등을 1종 이상 포함하는 절연막을 사용할 수 있다. 또한, 질소, 실리콘, 수소, 할로젠 등의 원소를 포함하고 있는 경우도 있다. 또한, 다층체로 하는 경우에는 이들 원소를 갖는 층의 상측, 하측, 양측, 또는, 끼워져 있는 층의 한 가운데에 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘 등을 갖는 층을 배치하여 다층체의 전자 포획층(902)을 구성하면 좋다.
- [0236] 또한, 반도체막(901)은 진성 또는 실질적으로 진성인 산화물 반도체와 같이, 홀의 유효 질량이 매우 크고, 또는 홀(hole)이 실질적으로 국재화되어 있는 재료를 사용하는 것이 유효하다. 이 경우에는, 반도체막(901)으로부터 전자 포획층(902)으로의 홀의 주입이 없고, 따라서, 전자 포획 준위(904)에 포획된 전자가 홀과 결합하여 소멸

하는 것도 없다. 그러므로, 전하의 유지 특성을 향상시킬 수 있다.

- [0237] 게이트 전극(105)은 예를 들어, 알루미늄, 티타늄, 크롬, 코발트, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 루테튬, 은, 탄탈 또는 텅스텐을 포함하는 도전막을 단층 또는 적층으로 사용하면 좋다.
- [0238] 절연막(106)은 예를 들어, 산화 실리콘, 산화 질화 실리콘, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄 또는 산화 탄탈, 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄을 포함하는 절연막을 단층 또는 적층으로 사용하면 좋다. 절연막(106)은 예를 들어, 두께를 20nm 이상 1000nm 이하, 바람직하게는 50nm 이상 1000nm 이하, 더 바람직하게는 100nm 이상 1000nm 이하, 더욱 바람직하게는 200nm 이상 1000nm 이하로 한다.
- [0239] 예를 들어, 절연막(106)은 제 1 층을 산화 알루미늄으로 하고, 제 2 층을 산화 실리콘으로 한 적층막을 사용하여도 좋다. 또는, 절연막(106)은 제 1 층을 질화 실리콘으로 하고, 제 2 층을 산화 실리콘으로 한 적층막을 사용하여도 좋다. 또는, 제 1 층에 질화 산화 실리콘을 사용한 적층막으로 하여도 좋다. 산소 투과성이 낮은 산화 알루미늄이나 질화 실리콘 및 질화 산화 실리콘을 제 1 층에 사용함으로써, 절연막(121)으로부터 산소가 확산하는 것을 방지할 수 있다.
- [0240] 소스 전극(107a) 및 드레인 전극(107b)은 예를 들어, 알루미늄, 티타늄, 크롬, 코발트, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 루테튬, 은, 탄탈 또는 텅스텐을 포함하는 도전막을 단층 또는 적층으로 사용하면 좋다.
- [0241] 기판(101)에 큰 제한은 없다. 예를 들어, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 기판(101)으로서 사용하여도 좋다. 또한 실리콘이나 탄화 실리콘으로 이루어지는 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄으로 이루어지는 화합물 반도체 기판, SOI(Silicon On Insulator) 기판 등을 적용할 수도 있고, 이들 기판 위에 반도체 소자가 제공된 것을 기판(101)으로서 사용하여도 좋다.
- [0242] 또한, 기판(101)으로서 가요성 기판을 사용하여도 좋다. 또한, 가요성 기판 위에 트랜지스터를 제공하는 방법으로서, 비가요성 기판 위에 트랜지스터를 제작한 후, 트랜지스터를 박리하고, 가요성 기판인 기판(101)에 전치하는 방법도 있다. 이 경우에는 비가요성 기판과 트랜지스터 사이에 박리층을 제공하면 좋다.
- [0243] <트랜지스터 구조 (1)의 제작 방법>
- [0244] 이하에서는, 트랜지스터 구조 (1)의 제작 방법의 일례에 대하여 설명한다.
- [0245] 도 8 내지 도 10에는 도 3의 (B) 및 도 3의 (C)의 트랜지스터의 제작 방법을 나타낸 단면도를 도시하였다.
- [0246] 먼저, 기판(101)을 준비한다.
- [0247] 다음에, 하지 절연막(102)을 성막한다. 하지 절연막(102)은 하지 절연막(102)으로서 나타낸 절연막으로부터 선택하여 성막하면 좋다. 하지 절연막(102)은 스퍼터링법, CVD법, 분자선 에피택시(MBE: Molecular Beam Epitaxy)법, ALD법 또는 펄스 레이저 퇴적(PLD: Pulsed Laser Deposition)법을 사용하여 성막하면 좋다.
- [0248] 기판(101)으로서 실리콘 웨이퍼를 사용한 경우, 하지 절연막(102)은 열산화법에 의하여 형성하여도 좋다.
- [0249] 다음에, 절연막(135)을 성막한다. 절연막(135)은 과잉 산소를 포함하는 절연막이다. 절연막(135)은 절연막(121)으로서 나타낸 절연막으로부터 선택하여 성막하면 좋다. 절연막(135)은 스퍼터링법, CVD법, MBE법, ALD법 또는 PLD법을 사용하여 성막하면 좋다.
- [0250] 다음에, 절연막(135)의 표면을 평탄화하기 위하여 화학적 기계 연마(CMP: Chemical Mechanical Polishing) 처리를 수행하여도 좋다. CMP 처리를 수행함으로써 하지 절연막(102)의 평균면 거칠기(Ra)를 1nm 이하, 바람직하게는 0.3nm 이하, 더 바람직하게는 0.1nm 이하로 한다. 상술한 수치 이하의 Ra로 함으로써 산화물 반도체막(103)의 결정성이 높아지는 경우가 있다. Ra는 원자간력 현미경(AFM: Atomic Force Microscope)으로 측정 가능하다.
- [0251] 다음에, 절연막(135)에 산소를 첨가함으로써 과잉 산소를 포함하는 절연막을 형성한다. 산소의 첨가는, 예를 들어, 이온 주입법에 의하여 가속 전압을 2kV 이상 100kV 이하로 하고, 5×10^{14} ions/cm² 이상 5×10^{16} ions/cm² 이하의 농도로 수행하면 좋다.
- [0252] 다음에, 산화물 반도체막(136)을 성막한다(도 8의 (A) 참조). 산화물 반도체막(136)은 각각 산화물 반도체막(103)으로서 나타낸 산화물 반도체막으로부터 선택하여 성막하면 좋다. 산화물 반도체막(136)은 스퍼터링법,

CVD법, MBE법, ALD법 또는 PLD법을 사용하여 성막하면 좋다.

- [0253] 다음에, 제 1 가열 처리를 수행하는 것이 바람직하다. 제 1 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하로 수행하면 좋다. 제 1 가열 처리의 분위기는 불활성 가스 분위기, 또는 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함하는 분위기에서 수행한다. 제 1 가열 처리는 감압 상태에서 수행하여도 좋다. 또는, 제 1 가열 처리의 분위기는 불활성 가스 분위기에서 가열 처리한 후에, 탈리된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행하여도 좋다.
- [0254] 다음에, 산화물 반도체막(136) 위에 레지스트 마스크(131)가 되는 층을 성막한다. 또한, 산화물 반도체막(136)을 하나의 변이 100nm 이하로 미세 가공될 경우, 산화물 반도체막(136)과 레지스트 마스크(131)가 되는 층 사이에 하드 마스크를 제공하여도 좋다.
- [0255] 또한, 하드 마스크는 산화물 반도체막(136)과 선택적 에칭이 가능한 층이다. 하드 마스크로서, 예를 들어, 텅스텐, 폴리브덴, 티타늄 또는 탄탈을 포함하는 단체, 질화물 또는 합금을 단층 또는 적층으로 사용하면 좋다. 또는, 하드 마스크로서 산화 실리콘, 산화 질화 실리콘 또는 질화 실리콘을 포함하는 절연막을 단층 또는 적층으로 사용하면 좋다.
- [0256] 또한, 하드 마스크 위에 레지스트 마스크(131)가 되는 층을 형성한 경우에 한정되지 않는다. 예를 들어, 하드 마스크와 레지스트 마스크(131)가 되는 층의 밀착성을 향상시키기 위하여, 하드 마스크 위에 유기물로 이루어지는 코트층 등을 형성하여도 좋다.
- [0257] 레지스트 마스크(131)가 되는 층은 감광성을 갖는 유기물층 또는 무기물층을 사용하면 좋다. 레지스트 마스크(131)가 되는 층은 스핀 코트법 등을 사용하여 성막하면 좋다.
- [0258] 다음에, 포토마스크를 사용하여 레지스트 마스크(131)가 되는 층에 광을 조사한다. 상기 광으로서 KrF 엑시머 레이저광, ArF 엑시머 레이저광, EUV(Extreme Ultraviolet) 광 등을 사용하면 좋다. 또한, 기관과 투영 렌즈 사이에 액체(예를 들어 물)를 채워서 노광하는 액침 기술을 사용하여도 좋다. 또한, 레지스트 마스크(131)가 되는 층에 조사하는 광 대신에 전자 빔이나 이온 빔을 사용하여도 좋다. 또한, 전자 빔이나 이온 빔을 사용하는 경우에는, 포토마스크는 불필요하게 된다. 또한, 특히 미세한 가공이 요구되지 않는 경우, 레지스트 마스크(131)가 되는 층에 조사하는 광으로서 고압 수은등의 g선 또는 i선 등을 사용하여도 좋다.
- [0259] 다음에, 기관(101)을 현상액에 담그고, 레지스트 마스크(131)가 되는 층의 노광된 영역을 제거 또는 잔존시켜서 레지스트 마스크(131)를 형성한다(도 8의 (B) 참조).
- [0260] 다음에, 레지스트 마스크(131)를 사용하여 산화물 반도체막(136)의 일부를 에칭하여, 섬 형상의 산화물 반도체막(103)을 형성한다. 또한 레지스트 마스크(131)를 사용하여 절연막(135)의 일부를 에칭하여, 섬 형상의 절연막(121)을 형성한다(도 8의 (C) 참조).
- [0261] 또한, 도 8에서는 절연막(121)은 섬 형상으로 형성하였지만, 반드시 섬 형상으로 형성될 필요는 없고, 블록부를 갖는 형상이라도 좋다.
- [0262] 산화물 반도체막(136)의 일부를 에칭하는 방법으로서서는 드라이 에칭 처리를 사용하는 것이 바람직하다. 상기 드라이 에칭 처리는 예를 들어, 메탄 및 희 가스를 포함하는 분위기에서 수행하면 좋다. 또한, 절연막(121)의 일부를 에칭하는 방법으로서서는 예를 들어 삼불화메탄 및 희 가스를 포함하는 분위기에서 수행하면 좋다.
- [0263] 또한, 여기에서는 레지스트 마스크(131)를 사용하여 산화물 반도체막(136) 및 절연막(135)을 에칭하였지만, 산화물 반도체막(136)과 절연막(135)을 다른 레지스트 마스크로 에칭하여도 좋다. 또한, 도 3의 (B)에 도시된 단면도에서는, 절연막(121)과 산화물 반도체막(103)은 거의 같은 폭으로 기재하였지만, 예를 들어 도 19의 (A)에 도시한 바와 같이 절연막(121)의 폭이 산화물 반도체막(103)의 폭보다 커도 좋다. 또는 도 19의 (B)에 도시한 바와 같이 작아도 좋다. 또한, 도 19의 (B)에 도시된 단면에서는 절연막(121)을 산화물 반도체막(103)으로 덮을 수 있기 때문에 절연막(106)을 통하여 산소가 절연막(121)으로부터 확산하는 것을 방지할 수 있다.
- [0264] 다음에, 레지스트 마스크(131)를 제거한다. 레지스트 마스크(131)의 제거는 플라즈마 처리, 약액 처리 등으로 수행하면 좋다. 바람직하게는 플라즈마 에칭에 의하여 제거한다.
- [0265] 다음에, 게이트 절연막(104)을 성막한다. 또한 게이트 절연막(104)에 이어 게이트 전극(105)이 되는 도전막을 성막한다(도 8의 (D) 참조).

- [0266] 게이트 절연막(104)은 게이트 절연막(104)으로서 나타낸 절연막으로부터 선택하여 성막하면 좋다. 게이트 절연막(104)은 스퍼터링법, CVD법, MBE법, ALD법 또는 PLD법을 사용하여 성막하면 좋다. 게이트 전극(105)이 되는 도전막은 게이트 전극(105)으로서 나타낸 도전막으로부터 선택하여 성막하면 좋다. 도전막은 스퍼터링법, CVD법, MBE법, ALD법 또는 PLD법을 사용하여 성막하면 좋다.
- [0267] 다음에, 포토리소그래피법 등에 의하여 도전막을 가공하여 게이트 전극(105)을 형성한다. 다음에 게이트 전극을 마스크로 하여, 게이트 절연막(104)의 일부를 에칭한다(도 9의 (A)참조).
- [0268] 다음에, 게이트 전극(105)을 마스크로 하여, 게이트 절연막(104), 산화물 반도체막(103), 절연막(121), 및 하지 절연막(102)에 불순물을 첨가하여 영역(151a), 영역(151b), 영역(151c), 영역(151d)을 형성한다(도 9의 (B) 참조). 불순물을 첨가하여 영역(151a), 영역(151b), 영역(151c), 영역(151d)을 형성하는 방법은 절연막(52)에 불순물을 첨가하여 영역(53)을 형성하는 방법에 대한 기재를 참조한다. 여기서, 영역(53)을 형성하는 방법으로 기재한 불순물은 금속을 고저항화시키는 요인이 되기 어렵다. 즉, 상술한 불순물은 게이트 전극(105)을 마스크로 하여, 불순물을 첨가하여 영역(151a) 내지 영역(151d)을 형성한 경우에, 예를 들어 게이트 전극(105)을 고저항화시키는 요인이 되기 어렵다. 영역(151b), 영역(151c), 영역(151d)은 산소 차단 영역이다. 또한, 영역(151a)은 산화물 반도체막(103)의 일부에 불순물이 첨가된 영역이다.
- [0269] 산소 차단 영역인 영역(151b), 영역(151c), 영역(151d)을 형성함으로써 절연막(121)의 과잉 산소의 외방 확산을 억제하여, 산화물 반도체막(103)에 효율적으로 산소를 공급할 수 있다.
- [0270] 또한, 산화물 반도체막(103)의 일부의 영역인 영역(151a)에 불순물을 첨가 함으로써, 소스 전극(107a) 또는 드레인 전극(107b)과 산화물 반도체막(103)이 접하는 영역으로부터 채널 형성 영역까지의 영역의 저항을 줄일 수 있다. 이에 의해, 온 전류가 높아져 트랜지스터의 성능을 향상시킬 수 있다.
- [0271] 다음에, 제 2 가열 처리를 수행하는 것이 바람직하다. 제 2 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하로 수행하면 좋다. 제 2 가열 처리의 분위기는 불활성 가스 분위기, 또는 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함하는 분위기에서 수행한다. 제 2 가열 처리는 감압 상태에서 수행하여도 좋다. 또는, 제 2 가열 처리의 분위기는 불활성 가스 분위기에서 가열 처리한 후에, 탈리된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행하여도 좋다. 제 2 가열 처리에 의하여 산화물 반도체막(103)에 불순물이 첨가된 영역인 영역(151a)의 저항을 줄일 수 있는 경우도 있다. 또한, 산화물 반도체막(103)에 절연막(121)으로부터 과잉 산소를 이동시킬 수 있다. 따라서, 산화물 반도체막(103)의 산소 결손을 저감할 수 있다. 또한, 산화물 반도체막(103)의 결정성을 높이거나, 수소나 물 등의 불순물을 제거하는 것 등이 가능하다. 또한, 제 2 가열 처리를 수행함으로써 제 1 가열 처리를 수행하지 않아도 좋은 경우가 있다.
- [0272] 다음에, 절연막(106)을 성막한다(도 9의 (C) 참조). 절연막(106)은 절연막(106)으로서 나타낸 절연막으로부터 선택하여 성막하면 좋다. 절연막(106)은 스퍼터링법, CVD법, MBE법, ALD법 또는 PLD법을 사용하여 성막하면 좋다.
- [0273] 다음에, 절연막(106)에 개구부를 제공한다(도 10의 (A) 참조). 절연막(106)의 일부를 에칭하는 방법으로서 예를 들어 드라이 에칭 등을 사용할 수 있다.
- [0274] 다음에, 절연막(106)의 표면 및 개구부에 소스 전극(107a) 및 드레인 전극(107b)이 되는 도전막(107)을 성막한다(도 10의 (B) 참조). 도전막(107)은 소스 전극(107a) 및 드레인 전극(107b)으로서 나타낸 도전막으로부터 선택하여 성막하면 좋다. 도전막은 스퍼터링법, CVD법, MBE법, ALD법 또는 PLD법을 사용하여 성막하면 좋다.
- [0275] 다음에, 포토리소그래피법 등에 의하여 도전막을 가공하여 소스 전극(107a) 및 드레인 전극(107b)을 형성한다(도 10의 (C) 참조).
- [0276] 다음에, 제 3 가열 처리를 수행하는 것이 바람직하다. 제 3 가열 처리는 제 1 가열 처리 및 제 2 가열 처리에서 제시한 조건에서 선택하여 수행하거나, 제 1 가열 처리 및 제 2 가열 처리보다 저온에서 수행하면 좋다. 제 3 가열 처리를 수행함으로써 제 1 가열 처리 및 제 2 가열 처리를 수행하지 않아도 좋은 경우가 있다.
- [0277] 이상과 같이 하여, 도 3에 도시된 트랜지스터를 제작할 수 있다.
- [0278] <트랜지스터 구조 (2)>
- [0279] 다음에, 트랜지스터 구조 (1)과는 게이트 절연막의 형상이 다른 톱 게이트 셀프 얼라인형 트랜지스터의 일례에

대하여 설명한다.

- [0280] 도 11은 트랜지스터의 상면도 및 단면도이다. 도 11의 (A)는 트랜지스터의 상면도를 도시한 것이다. 도 11의 (A)에서 일점 쇄선 A-B에 대응하는 단면도를 도 11의(B)에 도시하였다. 또한, 도 11의 (A)에서 일점 쇄선 C-D에 대응하는 단면도를 도 11의 (C)에 도시하였다.
- [0281] 도 11의 (B)에서, 트랜지스터는 기판(201) 위의 하지 절연막(202)과, 하지 절연막(202) 위의 절연막(221)과, 절연막(221) 위의 산화물 반도체막(203)과, 산화물 반도체막(203) 위의 게이트 절연막(204)과, 게이트 절연막(204) 위의 게이트 전극(205)과, 게이트 전극(205) 및 게이트 절연막(204) 위의 절연막(206)과, 산화물 반도체막(203) 및 절연막(206) 위의 소스 전극(207a) 및 드레인 전극(207b)을 갖는다. 절연막(221)은 과잉 산소를 포함하는 절연막이다. 또한, 트랜지스터는 하지 절연막(202)을 갖지 않아도 좋다.
- [0282] 도 3에 도시된 트랜지스터와 도 11에 도시된 트랜지스터는 게이트 절연막의 형상이 다르기 때문에, 특별히 한정 없이, 도 3에 대한 기재를 참조한다.
- [0283] 예를 들어, 기판(201)은 기판(101)에 대한 기재를 참조한다. 하지 절연막(202)은 하지 절연막(102)에 대한 기재를 참조한다. 절연막(221)은 절연막(121)에 대한 기재를 참조한다. 산화물 반도체막(203)은 산화물 반도체막(103)에 대한 기재를 참조한다. 게이트 절연막(204)은 게이트 절연막(104)에 대한 기재를 참조한다. 게이트 전극(205)은 게이트 전극(105)에 대한 기재를 참조한다. 절연막(206)은 절연막(106)에 대한 기재를 참조한다. 소스 전극(207a) 및 드레인 전극(207b)은 소스 전극(107a) 및 드레인 전극(107b)에 대한 기재를 참조한다.
- [0284] 도 11의 (B)에서, 영역(251a)은 산화물 반도체막의 일부의 영역이다. 영역(251b), 영역(251c), 영역(251d), 영역(251e)은 절연막의 일부의 영역이며, 산소 차단 영역이다. 산소 차단 영역에 대하여는 상술한 영역(53)에 대한 기재를 참조한다. 도 11의 (B)에 도시된 트랜지스터는 산소 차단 영역인 영역(251b), 영역(251c), 영역(251d), 영역(251e) 중 어느 하나 이상을 갖는다.
- [0285] 먼저, 산소 차단 영역인 영역(251b), 영역(251c), 영역(251d), 영역(251e)에 대하여 설명한다.
- [0286] 영역(251b)은 절연막(221)의 게이트 절연막(204)과 접하는 영역이다. 영역(251b)은 절연막(221)의 게이트 절연막(204)과 접하는 면으로부터 깊이 1nm 이상 200nm 이하, 바람직하게는 5nm 이상 150nm 이하, 더 바람직하게는 10nm 이상 100nm 이하로 제공되는 영역이다.
- [0287] 영역(251c)은 도 11의 (B) 및 도 11의 (C)에 도시한 바와 같이 게이트 절연막(204)에 제공되는 영역이다. 영역(251c)은 게이트 절연막(204)의 게이트 전극의 하부에 위치한다. 도 11의 (A)에, 게이트 전극(205)의 소스 전극(207a)에 면한 단부(217a), 및 드레인 전극(207b)에 면한 단부(217b)를 도시하였다. 영역(251c)은 단부(217a) 또는 단부(217b)로부터의 거리가 1nm 이상 2 μ m 이하, 바람직하게는 5nm 이상 1 μ m 이하, 더 바람직하게는 10nm 이상 500nm 이하의 영역에 제공된다.
- [0288] 영역(251d)은 도 11의 (B)에 도시한 바와 같이 하지 절연막(202)의 게이트 절연막(204)과 접하는 영역이다. 영역(251d)은 하지 절연막(202)의 게이트 절연막(204)과 접하는 면으로부터 깊이 1nm 이상 200nm 이하, 바람직하게는 5nm 이상 150nm 이하, 더 바람직하게는 10nm 이상 100nm 이하로 제공되는 영역이다.
- [0289] 영역(251e)은 게이트 절연막(204)의 절연막(206)과 접하는 영역이다. 영역(251e)은 도 11의 (B)에 도시한 바와 같이 게이트 절연막의 깊이 방향의 전체에 형성되는 영역이다.
- [0290] 트랜지스터가 영역(251b)을 갖는 경우, 절연막(221)에 포함되는 과잉 산소를 산화물 반도체막(203)의 산소 결손을 저감시키기 위하여 유효하게 활용할 수 있다. 예를 들어, 영역(251b)을 갖지 않는 경우, 절연막(221)에 포함되는 과잉 산소가 외방 확산함으로써 손실되는 경우가 있다. 또한, 절연막(221)에 포함되는 과잉 산소가 소스 전극(207a) 및 드레인 전극(207b)을 산화시키는 경우가 있다.
- [0291] 트랜지스터가 영역(251d)을 갖는 경우에도, 절연막(221)이나 하지 절연막(202)에 포함되는 과잉 산소를 산화물 반도체막(203)의 산소 결손을 저감시키기 위하여 유효하게 활용할 수 있다. 예를 들어, 영역(251d)을 갖지 않는 경우, 절연막(221)이나 하지 절연막(202)에 포함되는 과잉 산소가 외방 확산함으로써 손실되는 경우가 있다. 또한, 영역(251d)을 갖지 않는 경우, 절연막(221)이나 하지 절연막(202)에 포함되는 과잉 산소가 소스 전극(207a) 및 드레인 전극(207b)을 산화시키는 경우가 있다.
- [0292] 트랜지스터가 영역(251c)을 갖는 경우에도, 게이트 절연막(204)에 포함되는 과잉 산소를 산화물 반도체막(203)의 산소 결손을 저감시키기 위하여 유효하게 활용할 수 있다. 예를 들어, 영역(251c)을 갖지 않는 경우, 게이

트 절연막(204)에 포함되는 과잉 산소가 외방 확산함으로써 손실되는 경우가 있다. 또한, 게이트 절연막(204)에 포함되는 과잉 산소가 소스 전극(207a) 및 드레인 전극(207b)을 산화시키는 경우가 있다.

[0293] 트랜지스터가 영역(251e)을 갖는 경우에도, 절연막(221), 하지 절연막(202) 또는 게이트 절연막(204)에 포함되는 과잉 산소를 산화물 반도체막(203)의 산소 결손을 저감시키기 위하여 유효하게 활용할 수 있다. 예를 들어, 영역(251e)을 갖지 않는 경우, 절연막(221), 하지 절연막(202) 또는 게이트 절연막(204)에 포함되는 과잉 산소가 외방 확산함으로써 손실되는 경우가 있다. 또한, 절연막(221), 하지 절연막(202) 또는 게이트 절연막(204)에 포함되는 과잉 산소가 소스 전극(207a) 및 드레인 전극(207b)을 산화시키는 경우가 있다.

[0294] 다음에, 산화물 반도체막(203)의 일부의 영역인 영역(251a)에 대하여 설명한다.

[0295] 영역(251a)은 산화물 반도체막(203)의 소스 전극(207a) 및 드레인 전극(207b), 게이트 절연막(204)에 접하는 영역이다. 영역(251a)은 산화물 반도체막(203)의 상면 또는 측면으로부터 깊이 1nm 이상 200nm 이하, 바람직하게는 5nm 이상 150nm이하, 더 바람직하게는 10nm 이상 100nm 이하로 제공되는 영역이다.

[0296] 산소 차단 영역인 영역(251b), 영역(251c), 영역(251d), 영역(251e)을 형성하기 위하여 불순물을 첨가하는 공정에서, 영역(251a)에도 불순물이 첨가된다. 이때, 불순물을 첨가함으로써 영역(251a)을 저저항화할 수도 있다.

[0297] 도 11의 (B)에 도시된 영역(222)은 소스 전극(207a) 또는 드레인 전극(207b)과 접하지 않는 영역이며, 또한 게이트 전극(205)과 중첩되지 않는 영역이다. 영역(222)의 저항이 높으면 트랜지스터의 온 전류를 줄이는 요인이 된다.

[0298] 산화물 반도체막(203)의 일부의 영역인 영역(251a)에 불순물을 첨가함으로써 영역(222)의 저항을 줄일 수 있다. 이에 의해, 온 전류가 높아져 트랜지스터의 성능을 향상시킬 수 있다.

[0299] 또한, 저저항인 영역을 형성하기 위한 불순물을 첨가하는 공정은 산소 차단 영역인 영역(251b), 영역(251c), 영역(251d), 영역(251e)을 형성하기 위한 불순물을 첨가하는 공정과 겹칠 수 있다. 이에 의해, 공정의 단축이 가능하고, 비용 저감으로 이어진다. 또한 공정이 간략화됨으로써 수율의 향상도 기대할 수 있다.

[0300] <트랜지스터 구조 (2)의 제작 방법>

[0301] 이하에서는, 트랜지스터 구조 (2)의 제작 방법의 일례에 대하여 설명한다.

[0302] 도 12 내지 도 14에는 도 11의 (B) 및 도 11의 (C)의 트랜지스터의 제작 방법을 나타낸 단면도를 도시하였다.

[0303] 먼저, 기판(201)을 준비한다.

[0304] 다음에, 하지 절연막(202)을 성막한다. 하지 절연막(202)은 하지 절연막(102)의 성막 방법에 대한 기재를 참조한다.

[0305] 다음에, 절연막(235)을 성막한다. 절연막(235)은 과잉 산소를 포함하는 절연막이다. 절연막(235)은 절연막(135)의 성막 방법에 대한 기재를 참조한다.

[0306] 다음에, 절연막(235)에 산소를 첨가함으로써 과잉 산소를 포함하는 절연막을 형성한다. 산소의 첨가는, 예를 들어, 이온 주입법에 의하여 가속 전압을 2kV 이상 100kV 이하로 하고, 5×10^{14} ions/cm² 이상 5×10^{16} ions/cm² 이하의 농도로 수행하면 좋다.

[0307] 다음에, 산화물 반도체막(236)을 성막한다(도 12의 (A) 참조). 산화물 반도체막(236)은 각각 산화물 반도체막(103)으로서 나타낸 산화물 반도체막으로부터 선택하여 성막하면 좋다. 산화물 반도체막(236)은 스퍼터링법, CVD법, MBE법, ALD법 또는 PLD법을 사용하여 성막하면 좋다.

[0308] 다음에, 제 1 가열 처리를 수행하는 것이 바람직하다. 제 1 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하로 수행하면 좋다. 제 1 가열 처리의 분위기는 불활성 가스 분위기, 또는 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함하는 분위기에서 수행한다. 제 1 가열 처리는 감압 상태에서 수행하여도 좋다. 또는, 제 1 가열 처리의 분위기는 불활성 가스 분위기에서 가열 처리한 후에, 탈리된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행하여도 좋다.

[0309] 다음에, 산화물 반도체막(236) 및 절연막(235)의 일부를 에칭하여, 산화물 반도체막(203) 및 절연막(221)을 형성한다(도 12의 (B) 참조). 산화물 반도체막(203) 및 절연막(221)을 형성하는 방법에 대하여는 도 8의 산화물

반도체막(103) 및 절연막(121)을 형성하는 방법을 참조하면 좋다.

- [0310] 또한, 도 12에서는 절연막(221)은 섬 형상으로 형성하였지만, 섬 형상으로 형성될 필요는 없고, 불록부를 갖는 형상이라도 좋다.
- [0311] 다음에, 게이트 절연막(204)을 성막한다. 또한 게이트 절연막(204)에 이어 게이트 전극(205)이 되는 도전막을 성막한다(도 12의 (C) 참조).
- [0312] 게이트 절연막(204)은 게이트 절연막(104)의 성막 방법에 대한 기재를 참조한다. 게이트 전극(205)은 게이트 전극(105)의 성막 방법에 대한 기재를 참조한다.
- [0313] 다음에, 포토리소그래피법 등에 의하여 도전막을 가공하여 게이트 전극(205)을 형성한다(도 13의 (A) 참조). 또한, 트랜지스터 구조 (1)과는 달리 게이트 절연막(204)은 잔존시킨다.
- [0314] 다음에, 게이트 전극(205)을 마스크로 하여, 게이트 절연막(204), 산화물 반도체막(203), 절연막(221), 및 하지 절연막(202)에 불순물을 첨가하여 영역(251a), 영역(251b), 영역(251c), 영역(251d), 영역(251e)을 형성한다(도 13의 (B) 참조). 불순물을 첨가하여 영역(251a), 영역(251b), 영역(251c), 영역(251d), 영역(251e)을 형성하는 방법은 절연막(52)에 불순물을 첨가하여 영역(53)을 형성하는 방법에 대한 기재를 참조한다. 영역(251b), 영역(251c), 영역(251d), 영역(251e)은 산소 차단 영역이다. 또한, 251a는 산화물 반도체막(203)의 일부에 불순물이 첨가된 영역이다. 또한, 이온 도핑법이나 이온 주입법을 사용하여 불순물을 첨가하는 경우, 영역(251a), 영역(251b), 영역(251d)에 대하여는 게이트 절연막(204)을 통하여 불순물이 첨가된다. 따라서, 게이트 절연막(204)의 두께에 따라 가속 전압을 높게 하면 바람직하다. 예를 들어, 게이트 절연막(204)의 두께가 20nm인 경우, 이온 도핑법 또는 이온 주입법에서의 가속 전압은 0.5kV 이상 100kV 이하, 바람직하게는 1kV 이상 50kV 이하, 더 바람직하게는 5kV 이상 50kV 이하로 한다.
- [0315] 산소 차단 영역인 영역(251b), 영역(251c), 영역(251d), 영역(251e)을 형성함으로써 절연막(121)의 과잉 산소의 외방 확산을 억제하여, 산화물 반도체막(103)에 효율적으로 산소를 공급할 수 있다.
- [0316] 또한, 산화물 반도체막(103)의 일부의 영역인 영역(251a)에 불순물을 첨가 함으로써, 소스 전극(107a) 또는 드레인 전극(107b)과 산화물 반도체막(103)이 접하는 영역으로부터 채널 형성 영역까지의 영역의 저항을 줄일 수 있다. 이에 의해, 온 전류가 높아져 트랜지스터의 성능을 향상시킬 수 있다.
- [0317] 다음에, 제 2 가열 처리를 수행하는 것이 바람직하다. 제 2 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하로 수행하면 좋다. 제 2 가열 처리의 분위기는 불활성 가스 분위기, 또는 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함하는 분위기에서 수행한다. 제 2 가열 처리는 감압 상태에서 수행하여도 좋다. 또는, 제 2 가열 처리의 분위기는 불활성 가스 분위기에서 가열 처리한 후에, 탈리된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행하여도 좋다. 제 2 가열 처리에 의하여 산화물 반도체막(203)에 불순물이 첨가된 영역인 영역(251a)의 저항을 줄일 수 있는 경우도 있다. 또한, 산화물 반도체막(203)에 절연막(221)으로부터 과잉 산소를 이동시킬 수 있다. 따라서, 산화물 반도체막(203)의 산소 결손을 저감할 수 있다. 또한, 산화물 반도체막(203)의 결정성을 높이거나, 수소나 물 등의 불순물을 제거하는 것 등이 가능하다. 또한, 제 2 가열 처리를 수행함으로써 제 1 가열 처리를 수행하지 않아도 좋은 경우가 있다.
- [0318] 다음에, 절연막(206)을 성막한다(도 13의 (C) 참조). 절연막(206)에 대하여는 절연막(106)의 기재를 참조한다.
- [0319] 다음에, 절연막(206)의 일부를 에칭하여 개구부를 제공한다(도 14의 (A) 참조). 절연막(206)의 일부를 에칭하는 방법으로서의 예를 들어 드라이 에칭 등을 사용할 수 있다.
- [0320] 다음에, 절연막(206)의 표면 및 개구부에 소스 전극(207a) 및 드레인 전극(207b)이 되는 도전막(207)을 성막한다(도 14의 (B) 참조). 도전막(207)은 소스 전극(107a) 및 드레인 전극(107b)의 성막 방법에 대한 기재를 참조한다.
- [0321] 다음에, 포토리소그래피법 등에 의하여 도전막을 가공하여 소스 전극(207a) 및 드레인 전극(207b)을 형성한다(도 14의 (C) 참조).
- [0322] 다음에, 제 3 가열 처리를 수행하는 것이 바람직하다. 제 3 가열 처리는 제 1 가열 처리 및 제 2 가열 처리에서 제시한 조건에서 선택하여 수행하거나, 제 1 가열 처리 및 제 2 가열 처리보다 저온에서 수행하면 좋다. 제 3 가열 처리를 수행함으로써 제 1 가열 처리 및 제 2 가열 처리를 수행하지 않아도 좋은 경우가 있다.

- [0323] 이상과 같이 하여, 도 11에 도시된 트랜지스터를 제작할 수 있다.
- [0324] <트랜지스터 구조 (3)>
- [0325] 다음에, 게이트 전극의 측벽에 사이드월 절연막을 형성한 톱 게이트 셀프 얼라인형 트랜지스터의 일례에 대하여 설명한다.
- [0326] 도 26은 트랜지스터의 상면도 및 단면도이다. 도 26의 (A)는 트랜지스터의 상면도를 도시한 것이다. 도 26의 (A)에서 일점 쇄선 A-B에 대응하는 단면도를 도 26의 (B)에 도시하였다. 또한, 도 26의 (A)에서 일점 쇄선 C-D에 대응하는 단면도를 도 26의 (C)에 도시하였다.
- [0327] 도 26의 (B)에서, 트랜지스터는 기판(301) 위의 하지 절연막(302)과, 하지 절연막(302) 위의 절연막(321)과, 절연막(321) 위의 산화물 반도체막(303)과, 산화물 반도체막(303) 위의 게이트 절연막(304)과, 게이트 절연막(304) 위의 게이트 전극(305)과, 게이트 전극(305)의 측벽의 사이드월 절연막(308)과, 산화물 반도체막(303) 및 하지 절연막(302) 및 사이드월 절연막(308)에 접하는 절연막(306)과, 산화물 반도체막(303) 위의 소스 전극(307a) 및 드레인 전극(307b)을 갖는다. 절연막(321)은 과잉 산소를 포함하는 절연막이다. 또한, 트랜지스터는 하지 절연막(302)을 갖지 않아도 좋다.
- [0328] 도 3에 도시된 트랜지스터와 도 26에 도시된 트랜지스터는 도 26이 사이드월 절연막을 갖는 점이 주된 차이이며, 다른 공통되는 부분에 대하여는 특별히 언급이 없는 경우, 도 3에 대한 기재를 참조한다.
- [0329] 예를 들어, 기판(301)은 기판(101)에 대한 기재를 참조한다. 하지 절연막(302)은 하지 절연막(102)에 대한 기재를 참조한다. 절연막(321)은 절연막(121)에 대한 기재를 참조한다. 산화물 반도체막(303)은 산화물 반도체막(103)에 대한 기재를 참조한다. 게이트 절연막(304)은 게이트 절연막(104)에 대한 기재를 참조한다. 게이트 전극(305)은 게이트 전극(105)에 대한 기재를 참조한다. 절연막(306)은 절연막(106)에 대한 기재를 참조한다. 소스 전극(307a) 및 드레인 전극(307b)은 소스 전극(107a) 및 드레인 전극(107b)에 대한 기재를 참조한다.
- [0330] 도 26의 (B)에서, 영역(351a)은 산화물 반도체막의 일부의 영역이다. 영역(351b), 영역(351c), 영역(351d)은 절연막의 일부의 영역이며, 산소 차단 영역이다. 산소 차단 영역에 대하여는 상술한 영역(53)에 대한 기재를 참조한다. 도 26의 (B)에 도시된 트랜지스터는 산소 차단 영역인 영역(351b), 영역(351c), 영역(351d) 중 어느 하나 이상을 갖는다.
- [0331] 먼저, 산소 차단 영역인 영역(351b), 영역(351c), 영역(351d)에 대하여 설명한다. 영역(351b)은 절연막(321)의 절연막(306)과 접하는 영역이다. 영역(351b)은 절연막(321)의 절연막(306)과 접하는 면으로부터 깊이 1nm 이상 200nm 이하, 바람직하게는 5nm 이상 150nm 이하, 더 바람직하게는 10nm 이상 100nm 이하에 제공되는 영역이다.
- [0332] 영역(351c)은 도 26의 (B) 및 도 26의 (C)에 도시한 바와 같이 사이드월 절연막(308)의 소스 전극(307a) 또는 드레인 전극(307b) 또는 절연막(306)과 접하는 영역이다. 영역(351c)은 소스 전극(307a) 또는 드레인 전극(307b) 또는 절연막(306)과 접하는 면으로부터 깊이 1nm 이상 200nm 이하, 바람직하게는 5nm 이상 150nm 이하, 더 바람직하게는 10nm 이상 100nm 이하로 제공되는 영역이다.
- [0333] 영역(351d)은 도 26의 (B)에 도시한 바와 같이 하지 절연막(302)의 절연막(306)과 접하는 영역이다. 영역(351d)은 하지 절연막(302)의 상면으로부터 깊이 1nm 이상 200nm 이하, 바람직하게는 5nm 이상 150nm 이하, 더 바람직하게는 10nm 이상 100nm 이하로 제공되는 영역이다. 또한, 기판(301)에도 영역(351d)이 제공되어도 좋다.
- [0334] 트랜지스터가 영역(351b)을 갖는 경우, 절연막(321)에 포함되는 과잉 산소를 산화물 반도체막(303)의 산소 결손을 저감시키기 위하여 유효하게 활용할 수 있다. 예를 들어, 영역(351b)을 갖지 않는 경우, 절연막(321)에 포함되는 과잉 산소가 외방 확산함으로써 손실하는 경우가 있다. 또한, 절연막(321)에 포함되는 과잉 산소가 소스 전극(307a) 및 드레인 전극(307b)을 산화시키는 경우가 있다.
- [0335] 트랜지스터가 영역(351d)을 갖는 경우에도, 절연막(321)이나 하지 절연막(302)에 포함되는 과잉 산소를 산화물 반도체막(303)의 산소 결손을 저감시키기 위하여 유효하게 활용할 수 있다. 예를 들어, 영역(351d)을 갖지 않는 경우, 절연막(321)이나 하지 절연막(302)에 포함되는 과잉 산소가 외방 확산함으로써 손실되는 경우가 있다. 또한, 영역(351d)을 갖지 않는 경우, 절연막(321)이나 하지 절연막(302)에 포함되는 과잉 산소가 소스 전극(307a) 및 드레인 전극(307b)을 산화시키는 경우가 있다.
- [0336] 트랜지스터가 영역(351c)을 갖는 경우에도, 게이트 절연막(304)에 포함되는 과잉 산소를 산화물 반도체막(303)

의 산소 결손을 저감시키기 위하여 유효하게 활용할 수 있다. 예를 들어, 영역(351c)을 갖지 않는 경우, 게이트 절연막(304)에 포함되는 과잉 산소가 외방 확산함으로써 손실되는 경우가 있다. 또한, 게이트 절연막(304)에 포함되는 과잉 산소가 소스 전극(307a) 및 드레인 전극(307b)을 산화시키는 경우가 있다.

- [0337] 다음에, 산화물 반도체막(303)의 일부의 영역인 영역(351a)에 대하여 설명한다.
- [0338] 영역(351a)은 산화물 반도체막(303)의 소스 전극(307a) 및 드레인 전극(307b), 절연막(306)에 접하는 영역이다. 영역(351a)은 산화물 반도체막(303)의 상면 또는 측면으로부터 깊이 1nm 이상 200nm 이하, 바람직하게는 5nm 이상 150nm 이하, 더 바람직하게는 10nm 이상 100nm 이하로 제공되는 영역이다.
- [0339] 산소 차단 영역인 영역(351b), 영역(351c), 영역(351d)을 형성하기 위하여 불순물을 첨가하는 공정에서, 영역(351a)에도 불순물이 첨가된다. 이때, 불순물을 첨가함으로써 영역(351a)을 저저항화할 수도 있다.
- [0340] 도 26의 (B)에 도시된 영역(322)은 소스 전극(307a) 또는 드레인 전극(307b)과 접하지 않는 영역이며, 또한 게이트 전극(305)과 중첩되지 않는 영역이다. 영역(322)의 저항이 높으면 트랜지스터의 온 전류를 줄이는 요인이 된다.
- [0341] 산화물 반도체막(303)의 일부의 영역인 영역(351a)에 불순물을 첨가함으로써 영역(322)의 저항을 줄일 수 있다. 이에 의해, 온 전류가 높아져 트랜지스터의 성능을 향상시킬 수 있다.
- [0342] 또한, 저저항인 영역을 형성하기 위한 불순물을 첨가하는 공정은 산소 차단 영역인 영역(351b), 영역(351c), 영역(351d)을 형성하기 위한 불순물을 첨가하는 공정과 결합할 수 있다. 이에 의해, 공정의 단축이 가능하고, 비용 저감으로 이어진다. 또한 공정이 간략화됨으로써 수율의 향상도 기대할 수 있다.
- [0343] <트랜지스터 구조 (3)의 제작 방법>
- [0344] 이하에서는, 트랜지스터 구조 (3)의 제작 방법의 일례에 대하여 설명한다.
- [0345] 도 27 내지 도 29에는 도 26의 (B) 및 도 26의 (C)의 트랜지스터의 제작 방법을 나타낸 단면도를 도시하였다.
- [0346] 먼저, 기판(301)을 준비한다.
- [0347] 다음에, 하지 절연막(302)을 성막한다. 하지 절연막(302)은 하지 절연막(102)의 성막 방법에 대한 기재를 참조한다.
- [0348] 다음에, 절연막(321)을 성막한다. 절연막(321)은 과잉 산소를 포함하는 절연막이다. 절연막(321)은 절연막(135)의 성막 방법에 대한 기재를 참조한다.
- [0349] 다음에, 절연막(321)에 산소를 첨가함으로써 과잉 산소를 포함하는 절연막을 형성한다. 산소의 첨가는, 예를 들어, 이온 주입법에 의하여 가속 전압을 2kV 이상 100kV 이하로 하고, 5×10^{14} ions/cm² 이상 5×10^{16} ions/cm² 이하의 농도로 수행하면 좋다.
- [0350] 다음에, 산화물 반도체막(303)을 성막한다. 산화물 반도체막(303)은 각각 산화물 반도체막(103)으로서 나타낸 산화물 반도체막으로부터 선택하여 성막하면 좋다. 산화물 반도체막(303)은 스퍼터링법, CVD법, MBE법, ALD법 또는 PLD법을 사용하여 성막하면 좋다.
- [0351] 다음에, 제 1 가열 처리를 수행하는 것이 바람직하다. 제 1 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하로 수행하면 좋다. 제 1 가열 처리의 분위기는 불활성 가스 분위기, 또는 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함하는 분위기에서 수행한다. 제 1 가열 처리는 감압 상태에서 수행하여도 좋다. 또는, 제 1 가열 처리의 분위기는 불활성 가스 분위기에서 가열 처리한 후에, 탈리된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행하여도 좋다.
- [0352] 다음에, 산화물 반도체막(303) 위에 레지스트 마스크를 형성한다. 또한, 산화물 반도체막(303)을 하나의 변이 100nm 이하로 미세 가공될 경우, 산화물 반도체막(303)과 레지스트 마스크 사이에 하드 마스크를 제공하여도 좋다. 레지스트 마스크의 형성 방법에 대하여는 레지스트 마스크(131)를 참조한다.
- [0353] 다음에, 레지스트 마스크를 사용하여 섬 형상의 산화물 반도체막(303)을 형성한다. 또한 계속하여 섬 형상의 절연막(321)을 형성한다(도 27의 (A) 참조).
- [0354] 또한, 도 27의 (A)에서는 절연막(321)은 섬 형상으로 형성하였지만, 반드시 섬 형상으로 형성될 필요는 없고,

블록부를 갖는 형상이라도 좋다.

- [0355] 산화물 반도체막(303)의 형성에는 드라이 에칭 처리를 사용하는 것이 바람직하다. 상기 드라이 에칭 처리는 예를 들어, 메탄 및 희 가스를 포함하는 분위기에서 수행하면 좋다. 또한, 절연막(321)의 형성에도 드라이 에칭 처리를 사용하는 것이 바람직하다. 절연막(321)을 에칭하는 방법으로서는 예를 들어 삼불화메탄 및 희 가스를 포함하는 분위기에서 수행하면 좋다.
- [0356] 또한, 여기에서는 레지스트 마스크를 사용하여 산화물 반도체막(303) 및 절연막(321)을 형성하였지만, 산화물 반도체막(303)과 절연막(321)을 다른 레지스트 마스크로 형성하여도 좋다. 또한, 도 26의 (B)에 도시한 단면도에서는, 절연막(321)과 산화물 반도체막(303)은 거의 같은 폭으로 기재하였지만, 예를 들어 절연막(321)의 폭이 산화물 반도체막(303)의 폭보다 커도 좋다. 또는 작아도 좋다.
- [0357] 다음에, 레지스트 마스크를 제거한다. 레지스트 마스크의 제거는 플라즈마 처리, 약액 처리 등으로 수행하면 좋다. 바람직하게는 플라즈마 애싱에 의하여 제거한다.
- [0358] 다음에, 게이트 절연막(304)을 성막한다. 또한 게이트 절연막(304)에 이어 게이트 전극(305)이 되는 도전막을 성막한다. 게이트 절연막(304)은 게이트 절연막(104)의 성막 방법에 대한 기재를 참조한다. 게이트 전극(305)은 게이트 전극(105)의 성막 방법에 대한 기재를 참조한다. 다음에, 포토리소그래피법 등에 의하여 도전막을 가공하여 게이트 전극(305)을 형성한다(도 27의 (B) 참조).
- [0359] 다음에, 절연막(309)을 성막한다(도 27의 (C) 참조). 다음에, 절연막(309)에 이방성이 높은 에칭을 수행하여 사이드월 절연막(308)을 형성한다(도 28의 (A) 참조).
- [0360] 다음에, 게이트 전극(305) 및 사이드월 절연막(308)을 마스크로 하여, 산화물 반도체막(303), 절연막(321), 및 하지 절연막(302)에 불순물을 첨가하여 영역(351a), 영역(351b), 영역(351d)을 형성한다. 또한, 사이드월 절연막(308)의 일부에 영역(351c)을 형성한다(도 28의 (B) 참조). 불순물을 첨가하여 영역(351a), 영역(351b), 영역(351c), 영역(351d)을 형성하는 방법은 절연막(52)에 불순물을 첨가하여 영역(53)을 형성하는 방법에 대한 기재를 참조한다. 영역(351b), 영역(351c), 영역(351d)은 산소 차단 영역이다. 또한, 영역(351a)은 산화물 반도체막(303)의 일부에 불순물이 첨가된 영역이다.
- [0361] 산소 차단 영역인 영역(351b), 영역(351c), 영역(351d)을 형성함으로써 절연막(321)에 포함되는 과잉 산소의 외방 확산을 억제하여, 산화물 반도체막(303)에 효율적으로 산소를 공급할 수 있다.
- [0362] 또한, 산화물 반도체막(303)의 일부의 영역인 영역(351a)에 불순물을 첨가 함으로써, 소스 전극(307a) 또는 드레인 전극(307b)과 산화물 반도체막(303)이 접하는 영역으로부터 채널 형성 영역까지의 영역의 저항을 줄일 수 있다. 이에 의해, 온 전류가 높아져 트랜지스터의 성능을 향상시킬 수 있다.
- [0363] 다음에, 제 2 가열 처리를 수행하는 것이 바람직하다. 제 2 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하로 수행하면 좋다. 제 2 가열 처리의 분위기는 불활성 가스 분위기, 또는 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함하는 분위기에서 수행한다. 제 2 가열 처리는 감압 상태에서 수행하여도 좋다. 또는, 제 2 가열 처리의 분위기는 불활성 가스 분위기에서 가열 처리한 후에, 탈리된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행하여도 좋다. 제 2 가열 처리에 의하여 산화물 반도체막(303)에 불순물이 첨가된 영역인 영역(351a)의 저항을 줄일 수 있는 경우도 있다. 또한, 산화물 반도체막(303)에 절연막(321)으로부터 과잉 산소를 이동시킬 수 있다. 따라서, 산화물 반도체막(303)의 산소 결손을 저감할 수 있다. 또한, 산화물 반도체막(303)의 결정성을 높이거나, 수소나 물 등의 불순물을 제거하는 것 등이 가능하다. 또한, 제 2 가열 처리를 수행함으로써 제 1 가열 처리를 수행하지 않아도 좋은 경우가 있다.
- [0364] 다음에, 절연막(306)을 성막한다(도 28의 (C) 참조). 절연막(306)에 대하여는 절연막(106)의 기재를 참조한다.
- [0365] 다음에, 절연막(306)의 일부를 에칭하여 개구부를 제공한다(도 29의 (A) 참조). 절연막(306)의 일부를 에칭하는 방법으로서는 예를 들어 드라이 에칭 등을 사용할 수 있다.
- [0366] 다음에, 절연막(306)의 표면 및 개구부에 소스 전극(307a) 및 드레인 전극(307b)이 되는 도전막(307)을 성막한다(도 29의 (B) 참조). 도전막(307)은 소스 전극(107a) 및 드레인 전극(107b)의 성막 방법에 대한 기재를 참조한다.
- [0367] 또한, 산소를 포함하는 절연막 위에 도전막으로서 금속을 형성한 경우, 절연막과 접하는 도전막의 계면에, 절연

막 중에 포함되는 산소와의 반응에 의한 금속 산화층을 형성하는 경우가 있다. 이러한 금속 산화층이 형성되면 절연막과 금속의 밀착성이 약해지는 문제가 있다. 여기서, 사이드월 절연막(308)에 산소를 포함하는 절연막을 소스 전극(307a) 및 드레인 전극(307b)에 금속을 사용하는 예를 설명한다. 사이드월 절연막(308)에 불순물을 첨가하여 영역(351c)을 형성함으로써 산소의 확산을 억제할 수 있기 때문에, 사이드월 절연막(308)과 소스 전극(307a) 및 드레인 전극(307b)과의 계면에서의 금속 산화층의 형성을 억제할 수 있다. 그에 따라, 절연막과 금속의 밀착성이 저하하는 것을 억제할 수 있고, 사이드월 절연막(308)으로부터의 소스 전극(307a) 및 드레인 전극(307b)의 막 박리 등을 방지할 수 있다.

[0368] 다음에, CMP(Cheical Mechanical Polishing)법 등을 사용하여 평탄화 처리를 수행함으로써 소스 전극(307a) 및 드레인 전극(307b)을 형성한다(도 29의 (C) 참조).

[0369] 다음에, 제 3 가열 처리를 수행하는 것이 바람직하다. 제 3 가열 처리는 제 1 가열 처리 및 제 2 가열 처리에서 제시한 조건에서 선택하여 수행하거나, 제 1 가열 처리 및 제 2 가열 처리보다 저온에서 수행하면 좋다. 제 3 가열 처리를 수행함으로써 제 1 가열 처리 및 제 2 가열 처리를 수행하지 않아도 좋은 경우가 있다.

[0370] 이상과 같이 하여, 도 26에 도시된 트랜지스터를 제작할 수 있다.

[0371] <트랜지스터 구조 (4)>

[0372] 다음에, 산화물 반도체막으로서 3층의 적층 구조를 갖고, 보호막으로서 산소 투과성이 낮은 막을 사용한 경우의 톱 게이트 셀프 얼라인형 트랜지스터의 일례에 대하여 설명한다.

[0373] 도 31은 트랜지스터의 상면도 및 단면도이다. 도 31의 (A)는 트랜지스터의 상면도를 도시한 것이다. 도 31의 (A)에서 일점 쇄선 A-B에 대응하는 단면도를 도 31의 (B)에 도시하였다. 또한, 도 31의 (A)에서 일점 쇄선 C-D에 대응하는 단면도를 도 31의 (C)에 도시하였다.

[0374] 도 31의 (B)에서, 트랜지스터는 기판(401) 위의 하지 절연막(402)과, 하지 절연막(402) 위의 절연막(421)과, 절연막(421) 위의 산화물 반도체막(403b)과, 산화물 반도체막(403b) 위의 산화물 반도체막(403a)과, 산화물 반도체막(403a) 위의 산화물 반도체막(403c)과, 산화물 반도체막(403c) 위의 게이트 절연막(404)과, 게이트 절연막(404) 위의 게이트 전극(405)과, 게이트 전극(405)과 산화물 반도체막(403a) 및 하지 절연막(402) 위에 있고, 또한 게이트 절연막(404)과 산화물 반도체막(403c)과 산화물 반도체막(403b) 및 절연막(421)과 접하는 절연막(408)과, 절연막(408) 위의 절연막(406)과, 산화물 반도체막(403b) 및 절연막(406) 위의 소스 전극(407a) 및 드레인 전극(407b)을 갖는다. 절연막(421)은 과잉 산소를 포함하는 절연막이다. 또한, 절연막(408)은 산소 투과성이 낮은 절연막이다. 또한, 트랜지스터는 하지 절연막(402)을 갖지 않아도 좋다. 또한, 산화물 반도체막(403c)은 도 31의 (C)에 도시된 단면에서 하지 절연막(402) 위에 있고, 또한 절연막(421)과 산화물 반도체막(403b)과 산화물 반도체막(403a)과 접한다.

[0375] 절연막(408)은 산소 투과성이 낮은 막이다. 예를 들어, 절연막(408)은 산화 알루미늄막을 사용하면 좋다.

[0376] 또는, 절연막(408)은 질화 실리콘막을 사용하면 좋다. 질화 실리콘막은 수소 및 암모니아의 방출량이 적은 질화 실리콘막을 사용한다. 수소, 암모니아의 방출량은 TDS로 측정할 수 있다. 또한, 질화 실리콘막은 수소, 물 및 산소를 투과시키지 않는 또는 거의 투과시키지 않는 질화 실리콘막을 사용한다. 또는, 질화 산화 실리콘막을 사용하면 좋다.

[0377] 산화물 반도체막(403a), 산화물 반도체막(403b), 산화물 반도체막(403c)에 대하여는 상세한 설명은 후술한다.

[0378] 도 3에 도시된 트랜지스터와 도 31에 도시된 트랜지스터에서, 공통되는 부분에 대하여는 특별히 언급이 없는 경우, 도 3에 대한 기재를 참조한다. 예를 들어, 기판(401)은 기판(101)에 대한 기재를 참조한다. 하지 절연막(402)은 하지 절연막(102)에 대한 기재를 참조한다. 절연막(421)은 절연막(121)에 대한 기재를 참조한다. 게이트 절연막(404)은 게이트 절연막(104)에 대한 기재를 참조한다. 게이트 전극(405)은 게이트 전극(105)에 대한 기재를 참조한다. 절연막(406)은 절연막(106)에 대한 기재를 참조한다. 소스 전극(407a) 및 드레인 전극(407b)은 소스 전극(107a) 및 드레인 전극(107b)에 대한 기재를 참조한다.

[0379] 도 31의 (B)에 도시된 단면에서 절연막(421)의 단면은 절연막(408)으로 덮여 있다. 절연막(408)은 산소 투과성이 낮은 절연막이다. 그러므로, 절연막(121)의 과잉 산소의 외방 확산을 억제하여, 산화물 반도체막(403a), 산화물 반도체막(403b) 및 산화물 반도체막(403c)에 산소를 효율적으로 공급할 수 있다. 또한, 절연막(421)의 단면이 절연막(408)으로 덮여있지 않은 경우, 절연막(421)에 포함되는 과잉 산소가 소스 전극(407a) 및 드레인 전

극(407b)을 산화시키는 경우가 있다.

- [0380] 또한, 하지 절연막(402) 위에 절연막(408)을 갖기 때문에, 절연막(421)으로부터 하지 절연막(402)을 통하여 절연막(406)에 산소가 확산하는 것을 억제할 수 있다. 또한, 하지 절연막(402)에 포함되는 산소가 절연막(406)에 확산하는 것도 억제할 수 있다. 그러므로, 산화물 반도체막(403a), 산화물 반도체막(403b) 및 산화물 반도체막(403c)에 산소를 효율적으로 공급할 수 있다. 또한, 하지 절연막(402) 위에 절연막(408)이 형성되지 않은 경우, 절연막(421)에 포함되는 과잉 산소가 소스 전극(407a) 및 드레인 전극(407b)을 산화시키는 경우가 있다.
- [0381] 또한, 도 35에 도시한 바와 같이 불순물을 첨가한 영역(451a), 영역(451b), 영역(451c), 영역(451d)을 형성하여도 좋다. 영역(451b), 영역(451c), 영역(451d)은 산소 차단 영역으로서 기능한다. 영역(451a)은 산화물 반도체막의 저저항인 영역으로서 기능한다.
- [0382] 다음에, 산화물 반도체막(403a), 산화물 반도체막(403b) 및 산화물 반도체막(403c)에 대하여 설명한다. 산화물 반도체막(403b)은 산화물 반도체막(403a)을 구성하는 산소 이외의 원소 중 1종 이상, 또는 2종 이상으로 구성되는 산화물 반도체막이다. 산화물 반도체막(403a)을 구성하는 산소 이외의 원소 중 1종 이상, 또는 2종 이상으로부터 산화물 반도체막(403b)이 구성되기 때문에, 산화물 반도체막(403a)과 산화물 반도체막(403b)과의 계면에서 계면 준위가 형성되기 어렵다.
- [0383] 산화물 반도체막(403c)은 산화물 반도체막(403a)을 구성하는 산소 이외의 원소 중 1종 이상, 또는 2종 이상으로 구성되는 산화물 반도체막이다. 산화물 반도체막(403a)을 구성하는 산소 이외의 원소 중 1종 이상, 또는 2종 이상으로부터 산화물 반도체막(403c)이 구성되기 때문에, 산화물 반도체막(403a)과 산화물 반도체막(403c)과의 계면에서 계면 준위가 형성되기 어렵다.
- [0384] 또한, 산화물 반도체막(403b)이 In-M-Zn 산화물인 경우, In 및 M의 합을 100원자%로 하였을 때, In과 M의 원자수 비율은 바람직하게는 In이 50원자% 미만, M이 50원자% 이상, 더 바람직하게는 In이 25원자% 미만, M이 75원자% 이상으로 한다. 또한, 산화물 반도체막(403a)이 In-M-Zn 산화물인 경우, In 및 M의 합을 100원자%로 하였을 때, In과 M의 원자수 비율은 바람직하게는 In이 25원자% 이상, M이 75원자% 미만, 더 바람직하게는 In이 34원자% 이상, M이 66원자% 미만으로 한다. 또한, 산화물 반도체막(403c)이 In-M-Zn 산화물인 경우, In 및 M의 합을 100원자%로 하였을 때, In과 M의 원자수 비율은 바람직하게는 In이 50원자% 미만, M이 50원자% 이상, 더 바람직하게는 In이 25원자% 미만, M이 75원자% 이상으로 한다. 또한, 산화물 반도체막(403c)은 산화물 반도체막(403b)과 같은 종류의 산화물을 사용하여도 좋다.
- [0385] 여기서, 산화물 반도체막(403b)과 산화물 반도체막(403a) 사이에는 산화물 반도체막(403b)과 산화물 반도체막(403a)의 혼합 영역을 갖는 경우가 있다. 또한, 산화물 반도체막(403a)과 산화물 반도체막(403c) 사이에는 산화물 반도체막(403a)과 산화물 반도체막(403c)의 혼합 영역을 갖는 경우가 있다. 혼합 영역은 계면 준위 밀도가 낮게 된다. 그러므로 산화물 반도체막(403b), 산화물 반도체막(403a) 및 산화물 반도체막(403c)의 적층체는 각각 계면 근방에서 에너지가 연속적으로 변화하는(연속 접합이라고도 함) 밴드 구조가 된다.
- [0386] 또한, 산화물 반도체막(403a)은 에너지 갭이 큰 산화물을 사용한다. 산화물 반도체막(403a)의 에너지 갭은 예를 들어, 2.5eV 이상 4.2eV 이하, 바람직하게는 2.8eV 이상 3.8eV 이하, 더 바람직하게는 3eV 이상 3.5eV 이하로 한다.
- [0387] 또한, 산화물 반도체막(403b)은 에너지 갭이 큰 산화물을 사용한다. 예를 들어, 산화물 반도체막(403b)의 에너지 갭은 2.7eV 이상 4.9eV 이하, 바람직하게는 3eV 이상 4.7eV 이하, 더 바람직하게는 3.2eV 이상 4.4eV 이하로 한다.
- [0388] 또한, 산화물 반도체막(403c)은 에너지 갭이 큰 산화물을 사용한다. 산화물 반도체막(403c)의 에너지 갭은 2.7eV 이상 4.9eV 이하, 바람직하게는 3eV 이상 4.7eV 이하, 더 바람직하게는 3.2eV 이상 4.4eV 이하로 한다. 다만, 산화물 반도체막(403b) 및 산화물 반도체막(403c)은 산화물 반도체막(403a)보다 에너지 갭이 큰 산화물로 한다.
- [0389] 산화물 반도체막(403a)은 산화물 반도체막(403b)보다 전자 친화력이 큰 산화물을 사용한다. 예를 들어, 산화물 반도체막(403a)으로서, 산화물 반도체막(403b)보다 전자 친화력이 0.07eV 이상 1.3eV 이하, 바람직하게는 0.1eV 이상 0.7eV 이하, 더 바람직하게는 0.15eV 이상 0.4eV 이하 큰 산화물을 사용한다. 또한, 전자 친화력은 진공 준위와 전도대 하단의 에너지의 차이이다.
- [0390] 또한, 산화물 반도체막(403a)으로서 산화물 반도체막(403c)보다 전자 친화력이 큰 산화물을 사용한다. 예를 들

어, 산화물 반도체막(403a)으로서, 산화물 반도체막(403c)보다 전자 친화력이 0.07eV 이상 1.3eV 이하, 바람직하게는 0.1eV 이상 0.7eV 이하, 더 바람직하게는 0.15eV 이상 0.5eV 이하 큰 산화물을 사용한다.

[0391] 이때, 게이트 전극(405)에 전계를 인가하면 산화물 반도체막(403b), 산화물 반도체막(403a), 산화물 반도체막(403c) 중 전자 친화력이 큰 산화물 반도체막(403a)에 주로 전류가 흐른다.

[0392] 또한, 트랜지스터의 온 전류를 위해서는 산화물 반도체막(403c)의 두께는 얇을수록 바람직하다. 예를 들어, 산화물 반도체막(403c)은 10nm 미만, 바람직하게는 5nm 이하, 더 바람직하게는 3nm 이하로 한다. 한편, 산화물 반도체막(403c)은 주로 전류가 흐르는 산화물 반도체막(403a)에, 게이트 절연막(404)을 구성하는 산소 이외의 원소(실리콘 등)가 들어가지 않도록 차단하는 기능을 갖는다. 그러므로 산화물 반도체막(403c)은 어느 정도 두께를 갖는 것이 바람직하다. 예를 들어, 산화물 반도체막(403c)의 두께는 0.3nm 이상, 바람직하게는 1nm 이상, 더 바람직하게는 2nm 이상으로 한다.

[0393] 또한, 신뢰성을 향상시키기 위해서는 산화물 반도체막(403b)은 두껍고, 산화물 반도체막(403a)과 산화물 반도체막(403c)은 얇게 제공되는 것이 바람직하다. 구체적으로는, 산화물 반도체막(403b)의 두께는 20nm 이상, 바람직하게는 30nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상으로 한다. 산화물 반도체막(403b)의 두께를 20nm 이상, 바람직하게는 30nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상으로 함으로써, 하지 절연막(102)과 산화물 반도체막(403b)과의 계면으로부터 주로 전류가 흐르는 산화물 반도체막(403a)까지를 20nm 이상, 바람직하게는 30nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상 떨어지게 할 수 있다. 다만, 반도체 장치의 생산성이 저하되는 경우가 있기 때문에, 산화물 반도체막(403b)의 두께는 200nm 이하, 바람직하게는 120nm 이하, 더 바람직하게는 80nm 이하로 한다. 또한, 산화물 반도체막(403a)의 두께는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 80nm 이하, 더 바람직하게는 3nm 이상 50nm 이하로 한다.

[0394] 예를 들어, 산화물 반도체막(403b)의 두께는 산화물 반도체막(403a)의 두께보다 두껍고, 산화물 반도체막(403a)의 두께는 산화물 반도체막(403c)의 두께보다 두껍게 하면 좋다.

[0395] 또한, 산화물 반도체막(403b)의 두께와 절연막(421)의 두께의 합을 20nm 이상, 바람직하게는 30nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상으로 함으로써, 하지 절연막(402)과 절연막(421)과의 계면으로부터 산화물 반도체막(403a)까지를 20nm 이상, 바람직하게는 30nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상 떨어지게 할 수 있다. 즉 절연막(421)을 두껍게 제공함으로써 산화물 반도체막(403b)을 얇게 할 수 있다. 산화물 반도체막(403b)을 얇게 함으로써, 산화물 반도체막으로의 과잉 산소의 공급량을 적게 할 수 있고, 또한 주로 전류가 흐르는 산화물 반도체막(403a)에 공급할 수 있는 산소량이 상대적으로 증가하기 때문에 더욱 특성의 향상이 기대된다.

[0396] <트랜지스터 구조 (4)의 제작 방법>

[0397] 이하에서는, 트랜지스터 구조 (4)의 제작 방법의 일례에 대하여 설명한다.

[0398] 도 32 내지 도 34에는 도 31의 (B) 및 도 31의 (C)의 트랜지스터의 제작 방법을 나타낸 단면도를 도시하였다.

[0399] 먼저, 기판(401)을 준비한다.

[0400] 다음에, 하지 절연막(402)을 성막한다. 하지 절연막(402)은 하지 절연막(102)의 성막 방법에 대한 기재를 참조한다.

[0401] 다음에, 절연막(421)을 성막한다. 절연막(421)은 과잉 산소를 포함하는 절연막이다. 절연막(421)은 절연막(135)의 성막 방법에 대한 기재를 참조한다.

[0402] 다음에, 절연막(421)에 산소를 첨가함으로써 과잉 산소를 포함하는 절연막을 형성한다. 산소의 첨가는 예를 들어, 이온 주입법에 의하여 가속 전압을 2kV 이상 100kV 이하로 하고, 5×10^{14} ions/cm² 이상 5×10^{16} ions/cm² 이하의 농도로 수행하면 좋다.

[0403] 다음에, 산화물 반도체막(403b) 및 산화물 반도체막(403a)을 성막한다(도 32의 (A) 참조). 산화물 반도체막(403b) 및 산화물 반도체막(403a)은 각각 산화물 반도체막(403b) 및 산화물 반도체막(403a)으로서 나타낸 산화물 반도체막으로부터 선택하여 성막하면 좋다. 산화물 반도체막(403b) 및 산화물 반도체막(403a)은 스퍼터링법, CVD법, MBE법, ALD법 또는 PLD법을 사용하여 성막하면 좋다.

[0404] 다음에, 제 1 가열 처리를 수행하는 것이 바람직하다. 제 1 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는

300℃ 이상 500℃ 이하로 수행하면 좋다. 제 1 가열 처리의 분위기는 불활성 가스 분위기, 또는 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함하는 분위기에서 수행한다. 제 1 가열 처리는 감압 상태에서 수행하여도 좋다. 또는, 제 1 가열 처리의 분위기는 불활성 가스 분위기에서 가열 처리한 후에, 탈리된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행하여도 좋다.

[0405] 다음에, 산화물 반도체막(403b) 위에 레지스트 마스크를 형성한다. 또한, 산화물 반도체막(403b)을 하나의 번이 100nm 이하로 미세 가공된 경우, 산화물 반도체막(403b)과 레지스트 마스크 사이에 하드 마스크를 제공하여도 좋다. 레지스트 마스크의 형성 방법에 대하여는 레지스트 마스크(131)를 참조한다.

[0406] 다음에, 레지스트 마스크를 사용하여 섬 형상의 산화물 반도체막(403b) 및 산화물 반도체막(403a)을 형성한다. 또한 계속하여 섬 형상의 절연막(421)을 형성한다(도 32의 (B) 참조).

[0407] 또한, 도 32의 (B)에서는 절연막(421)은 섬 형상으로 형성하였지만, 반드시 섬 형상으로 형성될 필요는 없고, 블록부를 갖는 형상이라도 좋다.

[0408] 산화물 반도체막(403b) 및 산화물 반도체막(403a)의 형성에는 드라이 에칭 처리를 사용하는 것이 바람직하다. 상기 드라이 에칭 처리는 예를 들어, 메탄 및 희 가스를 포함하는 분위기에서 수행하면 좋다. 또한, 절연막(421)의 형성에도 드라이 에칭 처리를 사용하는 것이 바람직하다. 절연막(421)을 에칭하는 방법으로서는 예를 들어 삼불화메탄 및 희 가스를 포함하는 분위기에서 수행하면 좋다.

[0409] 또한, 여기에서는 레지스트 마스크를 사용하여 산화물 반도체막(403b), 산화물 반도체막(403a) 및 절연막(421)을 형성하였지만, 산화물 반도체막(403b), 산화물 반도체막(403a) 및 절연막(421)을 다른 레지스트 마스크로 형성하여도 좋다. 또한, 도 32의 (B)에 도시된 단면도에서는, 절연막(421)과 산화물 반도체막(403b) 및 산화물 반도체막(403a)은 거의 같은 폭으로 기재하였지만, 예를 들어 절연막(421)의 폭이 산화물 반도체막(403b), 산화물 반도체막(403a)의 폭보다 커도 좋다. 또는 작아도 좋다.

[0410] 다음에, 레지스트 마스크를 제거한다. 레지스트 마스크의 제거는 플라즈마 처리, 약액 처리 등으로 수행하면 좋다. 바람직하게는 플라즈마 애싱에 의하여 제거한다.

[0411] 다음에, 산화물 반도체막(403c)을 성막한다. 산화물 반도체막(403c)은 각각 산화물 반도체막(403c)으로서 나타낸 산화물 반도체막으로부터 선택하여 성막하면 좋다. 산화물 반도체막(403c)은 스퍼터링법, CVD법, MBE법, ALD법 또는 PLD법을 사용하여 성막하면 좋다.

[0412] 다음에, 게이트 절연막(404) 및 게이트 전극(405)을 성막한다. 게이트 절연막(404)은 게이트 절연막(104)의 성막 방법에 대한 기재를 참조한다. 게이트 전극(405)은 게이트 전극(105)의 성막 방법에 대한 기재를 참조한다.

[0413] 다음에, 레지스트 마스크(431)를 형성한다(도 32의 (C) 참조). 레지스트 마스크(431)를 사용하여 게이트 전극(405)을 에칭한다. 다음에, 게이트 절연막(404)을 에칭한다. 다음에, 산화물 반도체막(403c)을 에칭한다(도 33의 (A) 참조). 게이트 전극(405)의 에칭에는 예를 들어 드라이 에칭 처리를 사용하면 좋다. 또한, 게이트 절연막(404)의 에칭에는 예를 들어 드라이 에칭 처리를 사용하면 좋다. 또한, 산화물 반도체막(403c)의 에칭에는 예를 들어 드라이 에칭 처리를 사용하면 좋다.

[0414] 다음에, 절연막(408)을 성막한다(도 33의 (B) 참조). 절연막(408)에는 절연막(408)으로 제시한 막을 사용하면 좋다. 절연막(408)은 산소 투과성이 낮은 막을 사용한다.

[0415] 다음에, 제 2 가열 처리를 수행하는 것이 바람직하다. 제 2 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하로 수행하면 좋다. 제 2 가열 처리의 분위기는 불활성 가스 분위기, 또는 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함하는 분위기에서 수행한다. 제 2 가열 처리는 감압 상태에서 수행하여도 좋다. 또는, 제 2 가열 처리의 분위기는 불활성 가스 분위기에서 가열 처리한 후에, 탈리된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행하여도 좋다. 제 2 가열 처리에 의하여 산화물 반도체막(403a), 산화물 반도체막(403b) 및 산화물 반도체막(403c)에 절연막(421)으로부터 과잉 산소를 이동시킬 수 있다. 따라서, 산화물 반도체막(403a), 산화물 반도체막(403b) 및 산화물 반도체막(403c)의 산소 결손을 저감할 수 있다. 또한, 산화물 반도체막(403a), 산화물 반도체막(403b) 및 산화물 반도체막(403c)의 결정성을 높이거나, 수소나 물 등의 불순물을 제거하는 것 등이 가능하다. 또한, 제 2 가열 처리를 수행함으로써 제 1 가열 처리를 수행하지 않아도 좋은 경우가 있다.

- [0416] 다음에, 절연막(406)을 성막한다(도 33의 (C) 참조). 절연막(406)에 대하여는 절연막(106)의 기재를 참조한다.
- [0417] 다음에, 절연막(406)의 일부를 에칭하여 개구부를 제공한다(도 34의 (A) 참조). 절연막(406)의 일부를 에칭하는 방법으로서는 예를 들어 드라이 에칭 등을 사용할 수 있다.
- [0418] 다음에, 절연막(406)의 표면 및 개구부에 소스 전극(407a) 및 드레인 전극(407b)이 되는 도전막을 성막하고, 포토리소그래피법 등에 의하여 가공하여 소스 전극(407a) 및 드레인 전극(407b)을 형성한다(도 34의 (B) 참조). 소스 전극(407a) 및 드레인 전극(407b)은 소스 전극(107a) 및 드레인 전극(107b)의 성막 방법에서의 기재를 참조한다.
- [0419] 다음에, 제 3 가열 처리를 수행하는 것이 바람직하다. 제 3 가열 처리는 제 1 가열 처리 및 제 2 가열 처리에서 제시한 조건에서 선택하여 수행하거나, 제 1 가열 처리 및 제 2 가열 처리보다 저온에서 수행하면 좋다. 제 3 가열 처리를 수행함으로써 제 1 가열 처리 및 제 2 가열 처리를 수행하지 않아도 좋은 경우가 있다.
- [0420] 이상과 같이 하여, 도 31에 도시된 트랜지스터를 제작할 수 있다.
- [0421] 여기까지가, 본 발명의 일 형태에 따른 트랜지스터의 구조의 일례, 및 그 제작 방법에 대한 설명이다. 다만, 본 발명의 일 형태에 따른 트랜지스터의 구조는 상기의 예에 한정되는 것은 아니다. 예를 들어, 본 발명의 일 형태에 따른 트랜지스터의 구조로서, 보텀 콘택트 구조로 하여도 좋고, 소스 전극 및 드레인 전극을 제공하지 않은 구조로 하여도 좋다.
- [0422] 본 발명의 일 형태에 따른 트랜지스터는 절연막 중의 과잉 산소를 산화물 반도체막 중의 산소 결손을 저감시키기 위하여 유효하게 활용할 수 있다. 따라서, 상기 트랜지스터는 산소 결손이 적은 산화물 반도체막을 사용한 트랜지스터이다.
- [0423] 따라서, 본 발명의 일 형태에 따른 트랜지스터는 산소 결손에 기인한 열화를 일으키기 어렵다. 예를 들어, 산화물 반도체막 중에서 산소 결손은 트랩 센터가 됨으로써 열화를 일으키는 경우가 있다. 또한, 산소 결손이 수소를 포획함으로써 도너 준위를 형성하여, 트랜지스터의 문턱 전압을 마이너스 방향으로 변동시키는 경우가 있다.
- [0424] 본 발명의 일 형태에 따른 트랜지스터는 과잉 산소를 유효하게 활용할 수 있다. 그러므로 미세한 구조에 적용할 수 있다. 또한, 열화가 작고, 전기 특성이 안정적이다. 또한, 배선의 산화에 의한 저항 증대가 작기 때문에 온 전류를 높게 할 수 있다. 또한, 문턱 전압의 마이너스 방향으로의 변동이 없기 때문에 오프 전류를 작게 할 수 있다.
- [0425] <응용 제품에 대하여>
- [0426] 이하에서는, 상술한 트랜지스터를 사용한 응용 제품에 대하여 설명한다.
- [0427] 상술한 트랜지스터는 예를 들어, 메모리, CPU, 표시 장치 등 다양한 용도에 사용할 수 있다.
- [0428] <CPU>
- [0429] 도 20은 상술한 트랜지스터를 적어도 일부에 사용한 CPU의 구체적인 구성을 도시한 블록도이다.
- [0430] 도 20의 (A)에 도시된 CPU는 기판(1190) 위에 ALU(1191)(ALU: Arithmetic logic unit, 논리 연산 회로), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(1198)(Bus I/F), 재기록 가능한 ROM(1199), 및 ROM 인터페이스(1189)(ROM I/F)를 갖는다. 기판(1190)은 반도체 기판, SOI 기판, 유리 기판 등을 사용한다. ROM(1199) 및 ROM 인터페이스(1189)는 다른 칩에 형성하여도 좋다. 물론, 도 20의 (A)에 도시된 CPU는 그 구성을 간략화하여 도시한 일례에 불과하고, 실제의 CPU는 그 용도에 따라 다양한 구성을 갖는다.
- [0431] 버스 인터페이스(1198)를 통하여 CPU에 입력된 명령은 인스트럭션 디코더(1193)에 입력되어 디코딩된 후, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)에 입력된다.
- [0432] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)는 디코딩된 명령에 따라 각종 제어를 수행한다. 구체적으로 ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 컨트롤러(1194)는 CPU의 프로그램을 실행하는 동안에, 외부의 입출력 장치나 주변 회로로부터의 인터럽트 요구를 그 우선도나 마스크 상태로부터 판단하여 처리한다. 레지스터 컨트롤러(1197)는 레지스터(1196)의 어드레스를 생성하고, CPU의 상태에 따라 레지스터(1196)의 판독이나 기록을 수행한다.

다.

- [0433] 또한, 타이밍 컨트롤러(1195)는 ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어 타이밍 컨트롤러(1195)는 기준 클럭 신호(CLK1)를 바탕으로, 내부 클럭 신호(CLK2)를 생성하는 내부 클럭 생성부를 구비하며, 내부 클럭 신호(CLK2)를 상술한 각종 회로에 공급한다.
- [0434] 도 20의 (A)에 도시된 CPU에서는 레지스터(1196)에 메모리 셀이 제공된다. 레지스터(1196)의 메모리 셀로서, 상술한 트랜지스터를 사용할 수 있다.
- [0435] 도 20의 (A)에 도시된 CPU에서 레지스터 컨트롤러(1197)는 ALU(1191)로부터의 지시에 따라, 레지스터(1196)에서의 유지 동작을 선택한다. 즉, 레지스터(1196)가 갖는 메모리 셀에서 플립플롭에 의하여 데이터를 유지할지 또는 용량 소자에 의하여 데이터를 유지할지를 선택한다. 플립플롭에 의한 데이터 유지가 선택되는 경우, 레지스터(1196) 내의 메모리 셀에 전원 전압이 공급된다. 용량 소자에 의한 데이터 유지가 선택되는 경우, 용량 소자에 대한 데이터의 재기록이 수행되고, 레지스터(1196) 내의 메모리 셀에 대한 전원 전압의 공급을 정지할 수 있다.
- [0436] 전원 정지에 대하여는 도 20의 (B) 또는 도 20의 (C)에 도시한 바와 같이 메모리 셀 군과, 전원 전위(VDD) 또는 전원 전위(VSS)가 인가되어 있는 노드 사이에 스위칭 소자를 제공함으로써 수행할 수 있다. 도 20의 (B) 및 도 20의 (C)의 회로에 대하여 이하에서 설명한다.
- [0437] 도 20의 (B) 및 도 20의 (C)는 메모리 셀로의 전원 전위의 공급을 제어하는 스위칭 소자에 상술한 트랜지스터를 사용한 기억 장치를 도시한 것이다.
- [0438] 도 20의 (B)에 도시된 기억 장치는 스위칭 소자(1141)와, 메모리 셀(1142)을 복수로 갖는 메모리 셀 군(1143)을 갖는다. 구체적으로, 각 메모리 셀(1142)에는, 상술한 트랜지스터를 사용할 수 있다. 메모리 셀 군(1143)이 갖는 각 메모리(1142)에는, 스위칭 소자(1141)를 통하여 고전원 전위(VDD)가 인가된다. 또한, 메모리 셀 군(1143)이 갖는 각 메모리 셀(1142)에는 신호(IN)의 전위와, 저전원 전위(VSS)의 전위가 인가된다.
- [0439] 도 20의 (B)에서는 스위칭 소자(1141)로서, 상술한 트랜지스터를 사용하고, 상기 트랜지스터는 그 게이트 전극층에 공급되는 신호(SigA)에 의하여 스위칭이 제어된다.
- [0440] 또한, 도 20의 (B)에서는 스위칭 소자(1141)가 트랜지스터를 하나만 갖는 구성을 도시하였지만, 이것에 특별히 한정되지 않고, 트랜지스터를 복수로 가져도 좋다. 스위칭 소자(1141)가 스위칭 소자로서 기능하는 트랜지스터를 복수로 갖는 경우에는, 상기 복수의 트랜지스터는 병렬로 접속되어도 좋고, 직렬로 접속되어도 좋고, 직렬과 병렬이 조합되어 접속되어도 좋다.
- [0441] 또한, 도 20의 (B)에서는 스위칭 소자(1141)에 의하여 메모리 셀 군(1143)이 갖는 각 메모리 셀(1142)에 대한 고전원 전위(VDD)의 인가가 제어되고 있지만, 스위칭 소자(1141)에 의하여, 저전원 전위(VSS)의 인가가 제어되어도 좋다.
- [0442] 또한, 도 20의 (C)에는 스위칭 소자(1141)를 통하여 메모리 셀 군(1143)이 갖는 각 메모리 셀(1142)에 저전원 전위(VSS)가 공급된 기억 장치의 일례를 도시하였다. 스위칭 소자(1141)에 의하여, 메모리 셀 군(1143)이 갖는 각 메모리 셀(1142)에 대한 저전원 전위(VSS)의 인가를 제어할 수 있다.
- [0443] 메모리 셀 군과, 고전원 전위(VDD) 또는 저전원 전위(VSS)가 인가되는 노드 사이에 스위칭 소자를 제공하고, 임시적으로 CPU의 동작을 정지하고 전원 전압의 인가를 정지한 경우에도 데이터를 유지할 수 있으며, 소비 전력을 저감할 수 있다. 구체적으로는 예를 들어, 퍼스널 컴퓨터의 사용자가 키보드 등의 입력 장치에 대한 정보 입력을 정지하는 동안에도 CPU의 동작을 정지할 수 있고, 이것에 따라 소비 전력을 저감할 수 있다.
- [0444] 여기서는 CPU를 예로 들어 설명하였지만, DSP(Digital Signal Processor), 커스텀 LSI, FPGA(Field Programmable Gate Array) 등의 LSI에도 응용할 수 있다.
- [0445] <설치예>
- [0446] 도 21의 (A)에서, 텔레비전 장치(8000)는 하우징(8001)에 표시부(8002)가 제공되고, 표시부(8002)에 의하여 영상을 표시하고, 스피커부(8003)로부터 음성을 출력할 수 있다.
- [0447] 텔레비전 장치(8000)는 수신기나 모뎀 등을 구비하여도 좋다. 텔레비전 장치(8000)는 수신기에 의하여 일반적

인 텔레비전 방송을 수신할 수 있고, 모델을 통하여 유선 또는 무선에 의하여 통신 네트워크에 접속함으로써, 일 방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자 사이, 또는 수신자들끼리 등)의 정보 통신을 수행할 수도 있다.

- [0448] 또한, 텔레비전 장치(8000)는 정보 통신을 수행하기 위한 CPU나, 메모리를 구비하여도 좋다. 텔레비전 장치(8000)는 상술한 메모리 또는 CPU를 사용할 수 있다.
- [0449] 도 21의 (A)에서, 경보 장치(8100)는 주택용 화재 경보기이며, 검출부와 마이크로 컴퓨터(8101)를 갖는다. 마이크로 컴퓨터(8101)에는, 상술한 트랜지스터를 사용한 CPU가 포함된다.
- [0450] 도 21의 (A)에서, 실내기(8200) 및 실외기(8204)를 갖는 에어컨디셔너에는 상술한 트랜지스터를 사용한 CPU가 포함된다. 구체적으로, 실내기(8200)는 하우징(8201), 송풍구(8202), CPU(8203) 등을 갖는다. 도 21의 (A)에서 CPU(8203)가 실내기(8200)에 제공되는 경우를 예시하였지만, CPU(8203)는 실외기(8204)에 제공되어도 좋다. 또는, 실내기(8200)와 실외기(8204) 양쪽 모두에 CPU(8203)가 제공되어도 좋다. 상술한 트랜지스터를 사용한 CPU가 포함됨으로써, 에어컨디셔너의 사용에 따른 전력을 절약할 수 있다.
- [0451] 도 21의 (A)에서, 전기 냉동 냉장고(8300)에는, 상술한 트랜지스터를 사용한 CPU가 포함된다. 구체적으로 전기 냉동 냉장고(8300)는 하우징(8301), 냉장실용 도어(8302), 냉동실용 도어(8303), CPU(8304) 등을 갖는다. 도 21의 (A)에서는, 하우징(8301) 내부에 CPU(8304)가 제공된다. 상술한 트랜지스터를 사용한 CPU가 포함됨으로써 전기 냉동 냉장고(8300)의 사용에 따른 전력을 절약할 수 있다.
- [0452] 도 21의 (B) 및 (C)에서, 전기 자동차의 예를 도시하였다. 전기 자동차(9700)에는, 2차 전지(9701)가 탑재되어 있다. 2차 전지(9701)의 전력은 제어 회로(9702)에 의하여 출력이 조정되어 구동 장치(9703)에 공급된다. 제어 회로(9702)는 ROM, RAM, CPU(미도시) 등을 갖는 처리 장치(9704)에 의하여 제어된다. 상술한 트랜지스터를 사용한 CPU가 포함됨으로써, 전기 자동차(9700)의 사용에 따른 전력을 절약할 수 있다.
- [0453] 구동 장치(9703)는 직류 전동기 또는 교류 전동기 단독으로 구성되거나, 또는 전동기와 내연 기관이 조합되어 구성된다. 처리 장치(9704)는 전기 자동차(9700)의 운전자의 조작 정보(가속, 감속, 정지 등)나 수행시의 정보(오르막길인지 내리막길인지 등의 정보, 구동륜에 가해지는 부하 정보 등)의 입력 정보에 따라 제어 회로(9702)에 제어 신호를 출력한다. 제어 회로(9702)는 처리 장치(9704)의 제어 신호에 따라, 2차 전지(9701)로부터 공급되는 전기 에너지를 조정하여 구동 장치(9703)의 출력을 제어한다. 교류 전동기가 탑재되는 경우에는, 도시되지 않았지만 직류를 교류로 변환시키는 인버터도 내장된다.
- [0454] 또한, 본 실시형태는 기본 원리의 일례에 대하여 기재한 것이다. 따라서, 본 실시형태의 일부 또는 전부는, 실시형태의 일부 또는 전부와 자유롭게 조합하거나, 적용하거나, 치환할 수 있다.

실시예 1

- [0455] 본 실시예에서는, 과잉 산소를 포함하는 절연막인 산화 실리콘막 또는 산화 질화 실리콘막에 불순물로서 인을 첨가하여, TDS에 의한 산소 방출을 평가하였다.
- [0456] 시료의 제작 방법을 이하에 설명한다.
- [0457] 먼저, 기판으로서 실리콘 웨이퍼를 준비하였다. 다음에, 실리콘 웨이퍼를 열산화법에 의하여 산화시켜서, 표면에 두께 100nm인 제 1 산화 실리콘막을 형성하였다. 다음에, 스퍼터링법에 의하여 두께가 300nm인 제 2 산화 실리콘막을 성막하였다.
- [0458] 제 2 산화 실리콘막은 합성 석영 타깃을 사용하여 성막 가스를 산소 50sccm으로 하고, 압력을 0.4Pa로 하고, 성막 전력을 1.5kW(13.56MHz)로 하고, 타깃 기판 사이의 거리를 60mm로 하고, 기판 온도를 100℃로 하여 성막하였다.
- [0459] 다음에, 시료에 불순물로서 인 이온(P+)을 주입함으로써 실시예 시료 1, 실시예 시료 2 및 실시예 시료 3을 제작하였다.
- [0460] 인 이온의 첨가는 이온 주입법을 사용하고 가속 전압을 30kV로 하여 수행하였다. 실시예 시료 1은 인 이온의 주입 농도를 1×10^{15} ions/cm²로 하였다. 실시예 시료 2는 인 이온의 주입 농도를 2×10^{15} ions/cm²로 하였다. 실시예 시료 3은 인 이온의 주입 농도를 1×10^{16} ions/cm²로 하였다. 또한, 비교예 시료로서 인 이온을 주입하지 않은 시료를 준비하였다.

- [0461] 도 22에, 실시예 시료 1, 실시예 시료 2, 실시예 시료 3 및 비교예 시료의 TDS에 의한 기관 온도 및 질량 전하비(M/z)가 32인 이온 강도와와의 관계를 도시하였다. TDS의 측정은 각 시료를 10mm×10mm로 분단한 시료에 대하여 수행하였다. 또한, M/z가 32로 검출되는 가스로는 산소 가스(O₂)가 있다. 본 실시예에서는 M/z가 32로 검출되는 가스는 모두 산소 가스로 간주한다.
- [0462] 도 22에서, 인 이온을 주입하지 않은 비교예 시료는 기관 온도 250℃ 이상 450℃ 이하 정도의 범위에서 산소 가스를 방출하였다. 한편, 인 이온을 주입한 실시예 시료 1, 실시예 시료 2 및 실시예 시료 3은 비교예 시료에 대하여 산소 가스의 방출량이 적은 것을 알 수 있었다.
- [0463] 도 22에서, 실시예 시료 1의 산소 방출량은 8.1×10^{15} atoms/cm² (2.7×10^{20} atoms/cm³)이었다. 또한, 실시예 시료 2의 산소 방출량은 5.5×10^{15} atoms/cm² (1.8×10^{20} atoms/cm³)이었다. 또한, 실시예 시료 3의 산소 방출량은 1.1×10^{14} atoms/cm² (3.7×10^{18} atoms/cm³)이었다. 또한, 비교예 시료의 산소 방출량은 1.1×10^{16} atoms/cm² (3.7×10^{20} atoms/cm³)이었다. 또한, 단위 체적당의 산소 방출량은 제 2 산화 실리콘막의 두께 300nm로부터 환산하였다.
- [0464] 도 23에, 도 22에서 산출한 산소 방출량을 도시하였다. 또한, 산소 방출량은 산소 원자로 환산한 값을 나타낸다. 도 23은 인 이온 주입 농도와 산소 방출량과의 관계이다. 또한, 인 이온을 주입하지 않은 비교예 시료의 산소 방출량을 파선으로 표시하였다.
- [0465] 따라서, 가열에 의하여 방출하는 산소의 양을 저감시키기 위해서는, 30kV의 가속 전압에서는 산화 실리콘막 중에 인 이온을 1×10^{15} ions/cm² 이상, 바람직하게는 2×10^{15} ions/cm² 이상, 더 바람직하게는 1×10^{16} ions/cm² 이상의 농도로 주입하면 좋다는 것을 알 수 있었다.
- [0466] 도 22에서, 가열에 의하여 산소를 방출할 수 있는 절연막에 인 이온을 주입함으로써, 가열에 의하여 방출하는 산소의 양을 저감할 수 있는 것을 알 수 있다.
- [0467] 다음에, 실시예 시료 4의 제작 방법을 설명한다.
- [0468] 먼저, 기관으로서 실리콘 웨이퍼를 준비하였다. 다음에, 실리콘 웨이퍼를 열산화법에 의하여 산화시켜서, 표면에 두께 100nm인 산화 실리콘막을 형성하였다. 다음에, CVD법에 의하여 두께가 300nm인 산화 질화 실리콘막을 성막하였다.
- [0469] 산화 질화 실리콘막은 성막 가스를 실란 2sccm 및 아산화 질소 4000sccm으로 하고, 압력을 700Pa로 하고, 성막 전력을 250W(60MHz)로 하고, 전극 사이의 거리를 9mm로 하고, 기관 온도를 400℃로 하여 성막하였다.
- [0470] 다음에, 시료에 불순물로서 인 이온(P⁺)을 주입함으로써 실시예 시료 4를 제작하였다. 인 이온의 첨가는 이온 주입법을 사용하고 가속 전압을 30kV로 하여 수행하였다. 실시예 시료 4는 인 이온의 주입 농도를 1×10^{16} ions/cm²로 하였다.
- [0471] 따라서, 실시예 시료 3과 실시예 시료 4의 차이는 제 2 산화 실리콘막을 사용하거나, 산화 질화 실리콘막을 사용하는 것뿐이다.
- [0472] 다음에, 실시예 시료 3 및 실시예 시료 4를 에칭하여 에칭 깊이와 산소 방출량과의 관계를 평가하였다. 실시예 시료 3 및 실시예 시료 4는 10mm×10mm로 분단하였다. 또한, TDS의 측정은 측정 1회에 대하여 분단한 시료를 한 장 사용하였다.
- [0473] 도 24는, 에칭 없는 제 2 산화 실리콘막 또는 산화 질화 실리콘막의 두께를 기준(깊이 0nm)으로 하고, 각 에칭 깊이에서의 산소 방출량을 플롯하였다. 에칭은, 에칭에는 불화수소 암모늄을 6.7%와 불화 암모늄을 12.7% 포함하는 혼합 용액(Stella Chemifa Corporation 제조 LAL500)을 사용하여 20℃에서 수행하였다. 도 24의 (A)에 실시예 시료 3의 산소 방출량을, 도 24의 (B)에 실시예 시료 4의 산소 방출량을 각각 도시하였다.
- [0474] 또한, 도 24에는, 계산에 의하여 산출한 제 2 산화 실리콘막 또는 산화 질화실리콘막 중 인 농도를 도시하였다. 계산은 TRIM(Transport of Ion in Matter)을 사용하고, 막 밀도를 2.2g/cm³로 하여 수행하였다. 계산에 의하여 각 시료는 깊이 50nm로부터 60nm의 범위에 인 농도의 최대값을 갖는 것을 알 수 있었다.
- [0475] 도 24의 (A)에서, 실시예 시료 3은 제 2 산화 실리콘막을 50nm의 깊이까지 에칭함으로써 산소 방출량이 증대하

는 것을 알 수 있었다. 또한, 제 2 산화 실리콘막을 90nm의 깊이까지 에칭함으로써 산소 방출량이 포화하는 것을 알 수 있었다. 또한, 도 24의 (B)에서, 실시예 시료 4는 산화 질화 실리콘막을 78nm의 깊이까지 에칭함으로써 산소 방출량이 증대하는 것을 알 수 있었다. 또한, 산화 질화 실리콘막을 83nm의 깊이까지 에칭함으로써 산소 방출량이 포화하는 것을 알 수 있었다.

[0476] 도 24에서, 절연막 중 인 농도가 최대값을 나타내는 영역을 에칭하면, 산소 방출량은 크게 변화하는 것을 알 수 있었다. 이 사실로부터, 인 농도를 2×10^{20} atoms/cm³ 이상으로 함으로써 높은 산소 차단성을 나타내는 영역이 형성될 수 있는 것을 알 수 있었다. 또한, 인 농도가 낮은 영역에서는 가열에 의하여 방출되는 산소가 유지되는 것을 알 수 있었다.

[0477] 본 실시예에서, 과잉 산소를 포함하는 절연막인 산화 실리콘막 및 산화 질화 실리콘막 중에 불순물로서 인을 첨가함으로써 산소 차단 영역을 형성할 수 있는 것을 알 수 있다.

실시예 2

[0478] 본 실시예에서는 과잉 산소를 포함하는 절연막인 산화 실리콘막 중에 불순물로서 붕소를 첨가하여, TDS에 의한 산소 방출을 평가하였다.

[0479] 시료의 제작 방법을 이하에 설명한다.

[0480] 먼저, 기판으로서 실리콘 웨이퍼를 준비하였다. 다음에, 실리콘 웨이퍼를 열산화법에 의하여 산화시켜서, 표면에 두께 100nm인 제 1 산화 실리콘막을 형성하였다. 다음에, 스퍼터링법에 의하여 두께가 300nm인 제 2 산화 실리콘막을 성막하였다.

[0481] 제 2 산화 실리콘막은 합성 석영 타깃을 사용하여 성막 가스를 산소 50sccm으로 하고, 압력을 0.4Pa로 하고, 성막 전력을 1.5kW(13.56MHz)로 하고, 타깃 기판 사이의 거리를 60mm로 하고, 기판 온도를 100℃로 하여 성막하였다.

[0482] 다음에, 시료에 불순물로서 붕소 이온(B⁺)을 주입함으로써 실시예 시료 5를 제작하였다.

[0483] 붕소 이온의 첨가는 이온 주입법을 사용하고 가속 전압을 10kV로 하여 수행하였다. 실시예 시료 5는 붕소 이온의 주입 농도를 1×10^{16} ions/cm²로 하였다. 또한, 비교예 시료로서 이온을 주입하지 않은 시료를 준비하였다. 상기 시료는 비교예 시료로서 앞의 실시예에 기재한 시료와 동일하다.

[0484] 도 25에, 실시예 시료 5 및 비교예 시료의 TDS에 의한 기판 온도와 M/z가 32인 온 강도와의 관계를 도시하였다. TDS의 측정은 각 시료를 10mm×10mm로 분단한 시료에 대하여 수행하였다.

[0485] 도 25에서, 붕소 이온을 주입하지 않은 비교예 시료는 기판 온도 250℃ 이상 450℃ 이하 정도의 범위에서 산소 가스를 방출하였다. 한편, 붕소 이온을 주입한 실시예 시료 5는 비교예 시료에 대하여 산소 가스의 방출량이 적은 것을 알 수 있었다.

[0486] 도 25에서, 실시예 시료 5의 산소 방출량은 3.1×10^{15} atoms/cm² (1.0×10^{20} atoms/cm³)이었다. 또한, 비교예 시료의 산소 방출량은 1.1×10^{16} atoms/cm² (3.7×10^{20} atoms/cm³)이었다. 또한, 단위 체적당의 산소의 방출량은 제 2 산화 실리콘막의 두께 300nm로부터 환산하였다.

[0487] 따라서, 가열에 의하여 방출하는 산소의 양을 저감시키기 위해서는, 10kV의 가속 전압에서는 산화 실리콘막 중에 붕소 이온을 1×10^{16} ions/cm² 이상의 농도로 주입하면 좋다는 것을 알 수 있었다.

[0488] 도 25에서, 가열에 의하여 산소를 방출할 수 있는 절연막에 붕소 이온을 주입함으로써, 가열에 의하여 방출하는 산소의 양을 저감할 수 있는 것을 알 수 있다.

[0489] 본 실시예에서, 과잉 산소를 포함하는 절연막인 산화 실리콘막 중에 불순물로서 붕소를 첨가함으로써, 산소 차단 영역을 형성할 수 있는 것을 알 수 있다.

실시예 3

[0490] 본 실시예에서는 산화물 반도체에 불순물로서 인 또는 붕소를 첨가하여 열처리를 실시한 후의 저항값을 측정하였다.

- [0491] 시료의 제작 방법을 이하에 설명한다.
- [0492] 먼저, 기판(1001)으로서 유리 기판을 준비하였다. 다음에, 절연막(1002)을 성막하였다. 절연막(1002)은 스퍼터링법에 의하여 산화 실리콘막을 300nm 성막하였다. 석영을 스퍼터링 타겟에 사용하고, 성막 가스로서 아르곤과 산소(모두 25sccm)의 혼합 가스를 사용하여, 기판 온도 100℃, 기판과 스퍼터링 타겟과의 거리를 60mm로 하고, 압력 0.4Pa, RF 전력 1.5kW로 하여 성막하였다.
- [0493] 다음에, 산화물 반도체막(1003)을 성막하였다. 산화물 반도체막(1003)은 In:Ga:Zn=1:1:1(원자수비)의 다결정 산화물 타겟을 사용한 스퍼터링법에 의하여 아르곤 및 산소(아르곤:산소=30sccm:15sccm) 혼합 분위기하에서, 압력 0.4Pa, 전원 전력 0.5kW를 인가하고, 타겟과 기판 사이의 거리를 60mm, 기판 온도 400℃로 하여 성막하였다. 그 후에 450℃의 질소 분위기하에서 1시간 동안 열처리를 수행하였다.
- [0494] 다음에, 레지스트 마스크를 형성하고, 습식 에칭법에 의하여 산화물 반도체막(1003)의 불필요한 부분을 제거하였다. 습식 에칭에는 ITO-07N(Kanto Chemical Co., Inc. 제조)을 사용하였다.
- [0495] 다음에, 절연막(1004)을 성막하였다. 절연막(1004)은 CVD법에 의하여 두께가 20nm인 산화 질화 실리콘막을 성막하였다. 산화 질화 실리콘막은 성막 가스를 실란 1sccm 및 아산화 질소 800sccm으로 하고, 압력을 40Pa로 하고, 성막 전력을 150W(60MHz)로 하고, 전극 사이의 거리를 28mm로 하고, 기판 온도를 400℃로 하여 성막하였다.
- [0496] 다음에, 시료에 불순물로서 인 이온(P⁺) 또는 붕소 이온(B⁺)을 주입하였다. 시료 A에는 인 이온을 주입하고, 주입 조건은 가속 전압을 40kV, 주입 농도를 $1.0 \times 10^{15} \text{ cm}^{-2}$ 로 하였다. 또한 시료 B에는 붕소 이온을 주입하고, 주입 조건은 가속 전압을 15kV, 주입 농도를 $3.0 \times 10^{15} \text{ cm}^{-2}$ 로 하였다. 또한, 비교예로서 이온 주입을 수행하지 않은 시료 C를 제작하였다.
- [0497] 또한, 본 실시예에서는 산화물 반도체막 위에 20nm의 절연막을 형성한 후에 인 이온을 주입하였지만, 절연막을 형성하지 않고, 또는 형성 후 제거하여 산화물 반도체막을 노출시켜 인 이온을 주입하여도 좋다. 또한, 절연막(1004)은 20nm보다 두꺼워도 좋다.
- [0498] 다음에, 절연막(1005)을 성막하였다. 절연막(1005)은 CVD법에 의하여 두께가 300nm인 산화 질화 실리콘막을 성막하였다. 산화 질화 실리콘막은 성막 가스를 실란 5sccm 및 아산화 질소 1000sccm으로 하고, 압력을 133.30Pa로 하고, 성막 전력을 35W(13.56MHz)로 하고, 전극 사이의 거리를 20mm로 하고, 기판 온도를 325℃로 하여 성막하였다.
- [0499] 다음에, 가열 처리를 수행하여 절연막(1004), 절연막(1005)으로부터 물, 질소, 수소 등을 탈리시키는 동시에, 절연막(1004)에 포함되는 산소의 일부를 산화물 반도체막에 공급하였다. 여기에서는, 산소 분위기에서 450℃, 1시간 동안 가열 처리를 수행하였다.
- [0500] 다음에, 레지스트 마스크를 형성하여 드라이 에칭법에 의하여 절연막(1004) 및 절연막(1005)에 개구부(1010)를 제공하였다. 드라이 에칭 공정은 ICP 장치를 사용하여 수행하였다. ICP 장치의 처리실에 도입하는 에칭 가스는 삼불화메탄을 유량 22.5sccm, 헬륨을 127.5sccm 및 메탄을 5sccm으로 하는 조건을 사용하였다. 또한, 처리실 내의 압력은 3.5Pa, ICP 전력은 475W, 바이어스 전력은 300W로 하였다.
- [0501] 다음에, 스퍼터링법을 사용하여 절연막의 표면 및 개구부(1010)에 두께 150nm인 도전막(1007)을 성막하였다. 도전막(1007)은 티타늄을 사용하였다. 티타늄의 성막 조건은 아르곤 유량 20sccm으로 하고, 압력을 0.1Pa로 하고, 전원 전력(DC)을 12kW로 하고, 기판과 타겟 사이의 거리를 400mm로 하고, 기판 온도를 실온으로 하였다.
- [0502] 다음에, 레지스트 마스크를 형성하고, 드라이 에칭법에 의하여 도전막(1007)을 가공하여 전극(1007a)과 전극(1007b)을 형성하였다. 전극(1007a)과 전극(1007b)에 대하여는 후술한다. 드라이 에칭 공정은 ICP 장치를 사용하여 수행하였다. ICP 장치의 처리실에 도입하는 에칭 가스는 삼염화 붕소를 60sccm, 염소를 20sccm으로 하는 조건을 사용하였다. 또한, 처리실 내의 압력은 2.0Pa, ICP 전력은 350W, 바이어스 전력은 20W로 하였다. 그 후에 질소 분위기에서 150℃, 12분 동안 열처리를 수행하였다.
- [0503] 이상과 같이 하여, 시료 A, 시료 B 및 비교예인 시료 C를 제작하였다.
- [0504] 다음에, 제작한 시료 A, 시료 B의 저항값을 측정하였다. 도 30의 (A)에 측정에 사용한 소자의 상면도를 도시하였다. 산화물 반도체막(1003)은 섬 형상으로 형성되어 있다. 전극(1007a)과 전극(1007b)은 732 μm 의 간격을 두고 배치되어 있다. 도 30의 (B)에는 전극(1007a), 전극(1007b)과, 절연막(1004) 및 절연막(1005)의 개구부

(1010)와의 관계를 도시하였다.

[0505] 전극(1007a)과 전극(1007b)에 단자를 접촉하여 저항값을 측정하였다. 시료 A, 시료 B 및 시료 C의 저항값은 각각 $5.4 \times 10^5 [\Omega]$, $1.5 \times 10^4 [\Omega]$, $2.1 \times 10^6 [\Omega]$ 이었다.

[0506] 산화물 반도체막(1003)에 인 및 붕소를 첨가함으로써 산화물 반도체막(1003)의 저항을 줄일 수 있었다.

부호의 설명

- [0507] 50: 기관
- 52: 절연막
- 53: 영역
- 56: 산화물 반도체막
- 68: 절연막
- 70: 기관
- 72: 절연막
- 73: 영역
- 73a: 영역
- 76: 산화물 반도체막
- 77: 영역
- 78: 영역
- 79: 영역
- 81: 레지스트 마스크
- 82: 레지스트 마스크
- 88: 절연막
- 101: 기관
- 102: 하지 절연막
- 103: 산화물 반도체막
- 104: 게이트 절연막
- 105: 게이트 전극
- 106: 절연막
- 107: 도전막
- 107a: 소스 전극
- 107b: 드레인 전극
- 121: 절연막
- 122: 영역
- 131: 레지스트 마스크
- 135: 절연막
- 136: 산화물 반도체막

- 151a: 영역
- 151b: 영역
- 151c: 영역
- 151d: 영역
- 181: 채널 길이
- 182: 채널 폭
- 201: 기관
- 202: 하지 절연막
- 203: 산화물 반도체막
- 204: 게이트 절연막
- 205: 게이트 전극
- 206: 절연막
- 207: 도전막
- 207a: 소스 전극
- 207b: 드레인 전극
- 217a: 단부
- 217b: 단부
- 221: 절연막
- 222: 영역
- 235: 절연막
- 236: 산화물 반도체막
- 251a: 영역
- 251b: 영역
- 251c: 영역
- 251d: 영역
- 251e: 영역
- 301: 기관
- 302: 하지 절연막
- 303: 산화물 반도체막
- 304: 게이트 절연막
- 305: 게이트 전극
- 306: 절연막
- 307: 도전막
- 307a: 소스 전극
- 307b: 드레인 전극
- 308: 사이드월 절연막

- 309: 절연막
- 321: 절연막
- 322: 영역
- 351a: 영역
- 351b: 영역
- 351c: 영역
- 351d: 영역
- 401: 기관
- 402: 하지 절연막
- 403a: 산화물 반도체막
- 403b: 산화물 반도체막
- 403c: 산화물 반도체막
- 404: 게이트 절연막
- 405: 게이트 전극
- 406: 절연막
- 407a: 소스 전극
- 407b: 드레인 전극
- 408: 절연막
- 421: 절연막
- 431: 레지스트 마스크
- 451a: 영역
- 451b: 영역
- 451c: 영역
- 451d: 영역
- 901: 반도체막
- 902: 전자 포획층
- 902a: 제 1 절연막
- 902b: 제 2 절연막
- 902c: 제 3 절연막
- 903: 게이트 전극
- 904: 전자 포획 준위
- 905: 전자
- 906: 곡선
- 907: 곡선
- 908: 트랜지스터
- 909: 용량 소자

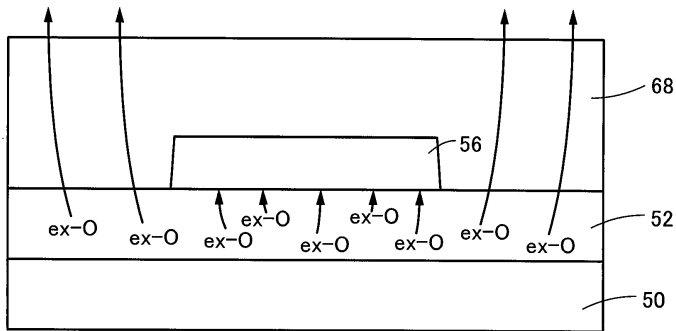
- 1001: 기관
- 1002: 절연막
- 1003: 산화물 반도체막
- 1004: 절연막
- 1005: 절연막
- 1007: 도전막
- 1007a: 전극
- 1007b: 전극
- 1010: 개구부
- 1141: 스위칭 소자
- 1142: 메모리 셀
- 1143: 메모리 셀 군
- 1189: ROM 인터페이스
- 1190: 기관
- 1191: ALU
- 1192: ALU 컨트롤러
- 1193: 인스트럭션 디코더
- 1194: 인터럽트 컨트롤러
- 1195: 타이밍 컨트롤러
- 1196: 레지스터
- 1197: 레지스터 컨트롤러
- 1198: 버스 인터페이스
- 1199: ROM
- 8000: 텔레비전 장치
- 8001: 하우스징
- 8002: 표시부
- 8003: 스피커부
- 8100: 경보 장치
- 8101: 마이크로 컴퓨터
- 8200: 실내기
- 8201: 하우스징
- 8202: 송풍구
- 8203: CPU
- 8204: 실외기
- 8300: 전기 냉동 냉장고
- 8301: 하우스징

- 8302: 냉장실용 도어
- 8303: 냉동실용 도어
- 8304: CPU
- 9700: 전기 자동차
- 9701: 2차 전지
- 9702: 제어 회로
- 9703: 구동 장치
- 9704: 처리 장치

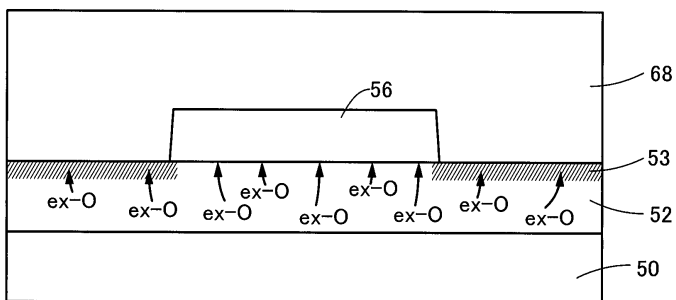
도면

도면1

(A)

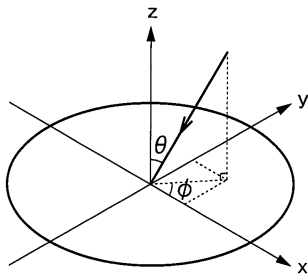


(B)

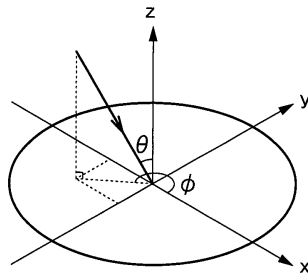


도면2

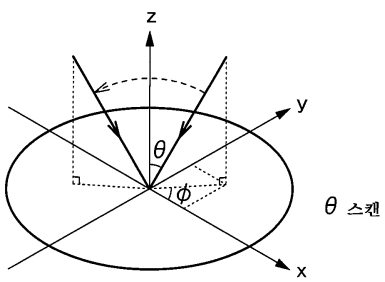
(A1)



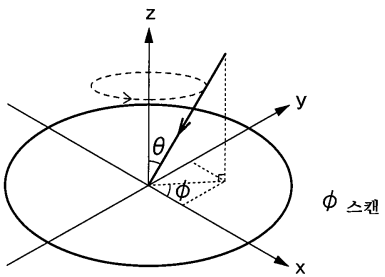
(A2)



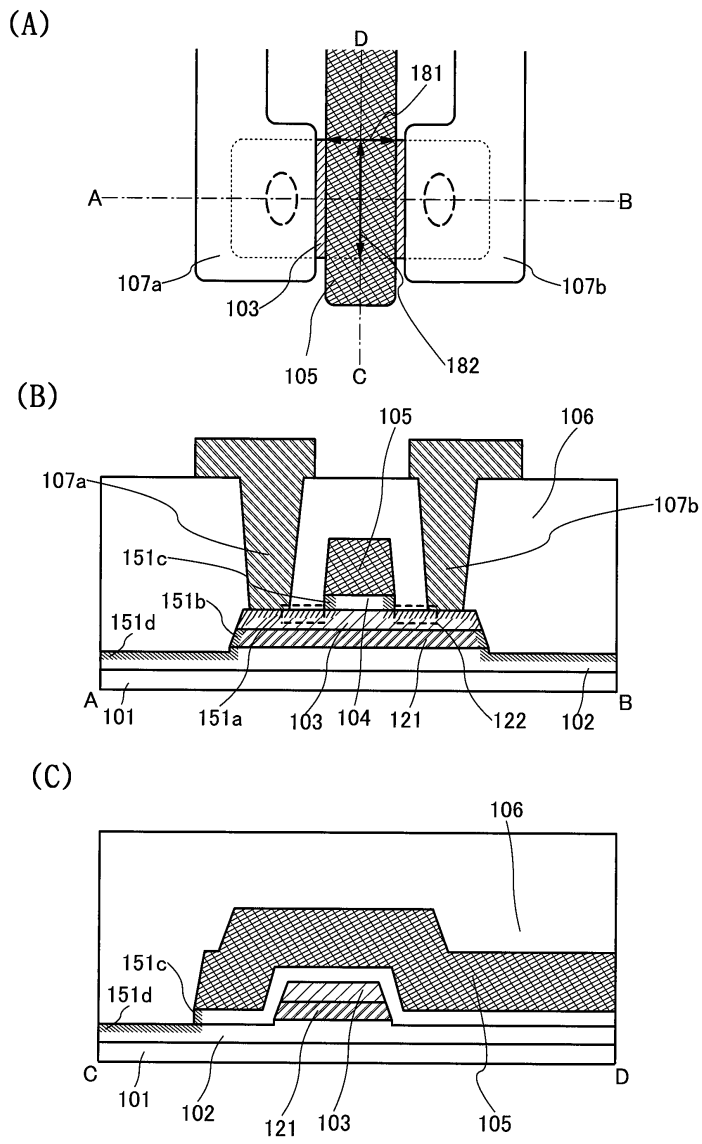
(B)



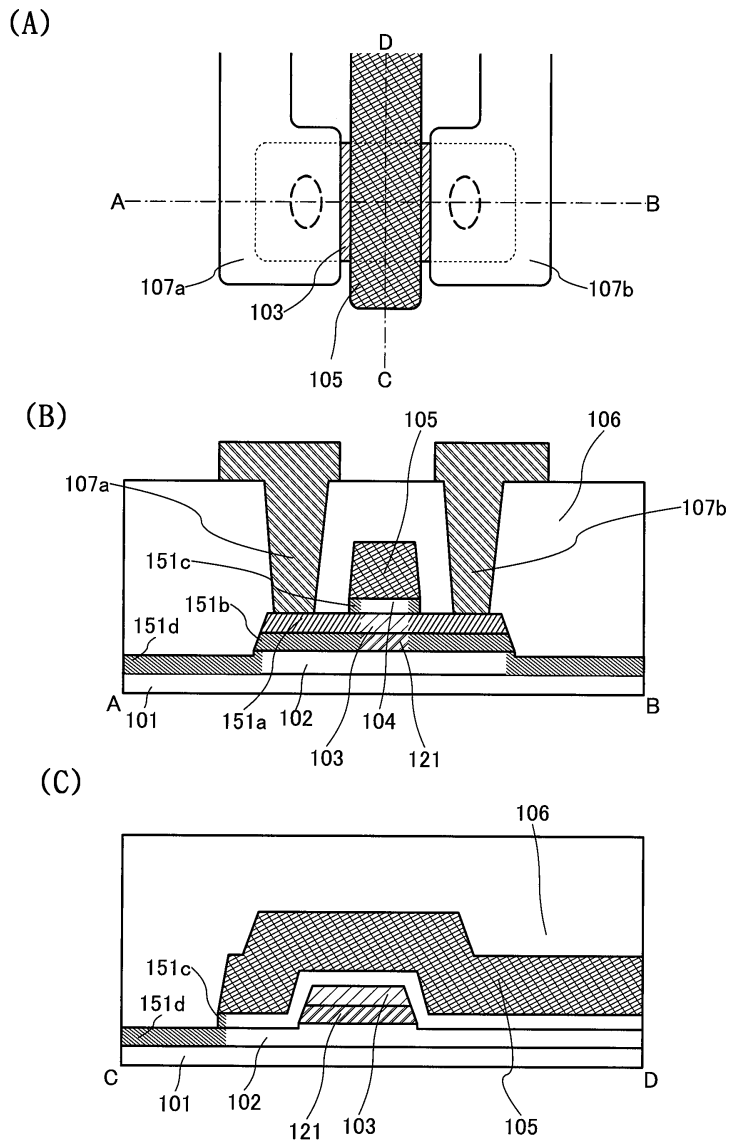
(C)



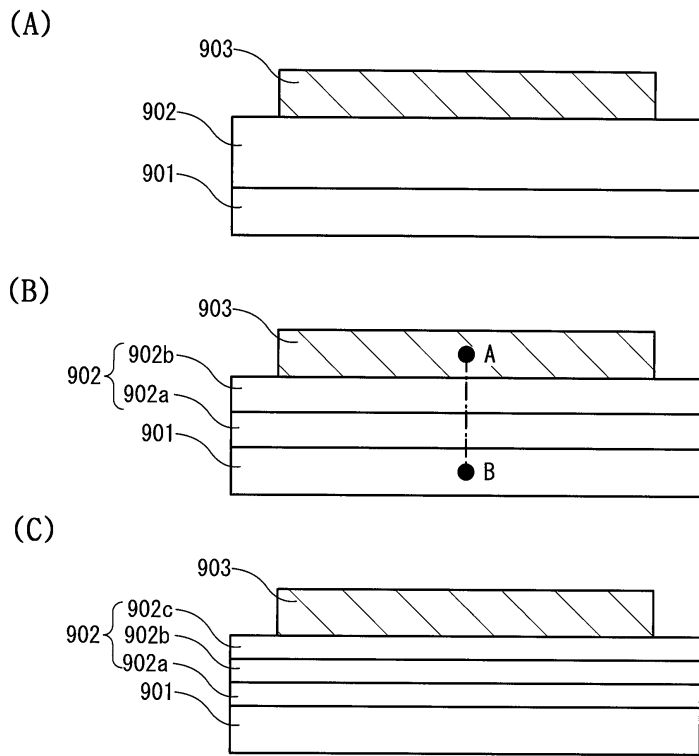
도면3



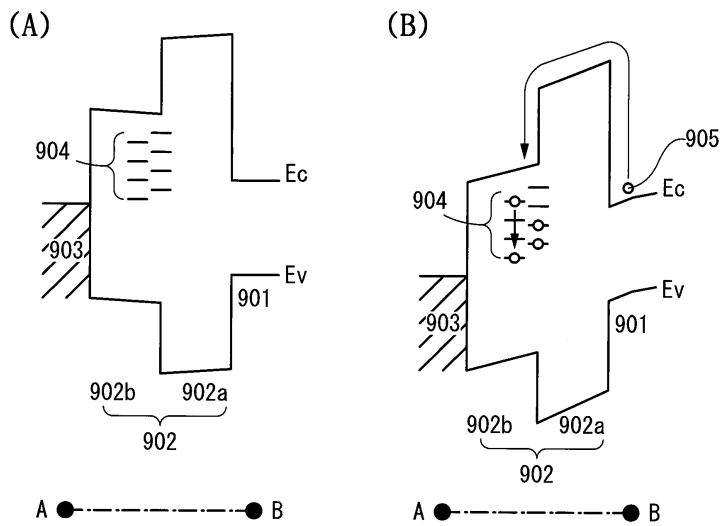
도면4



도면5

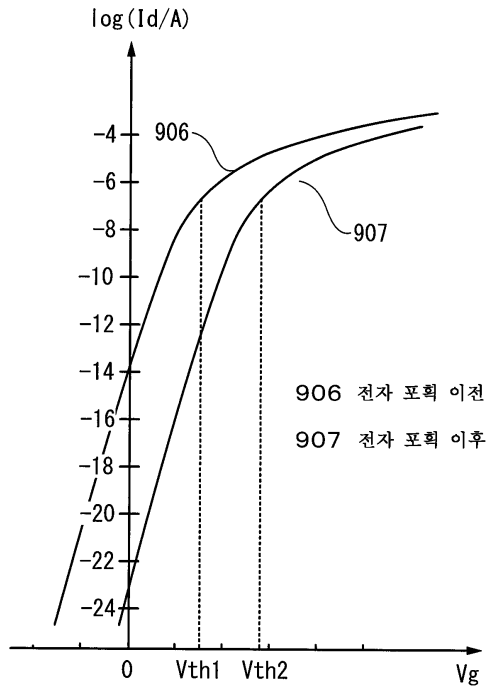


도면6

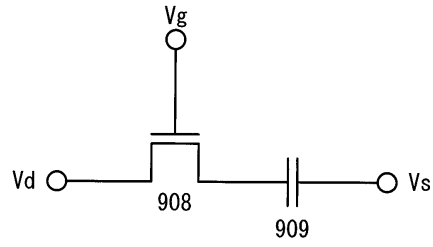


도면7

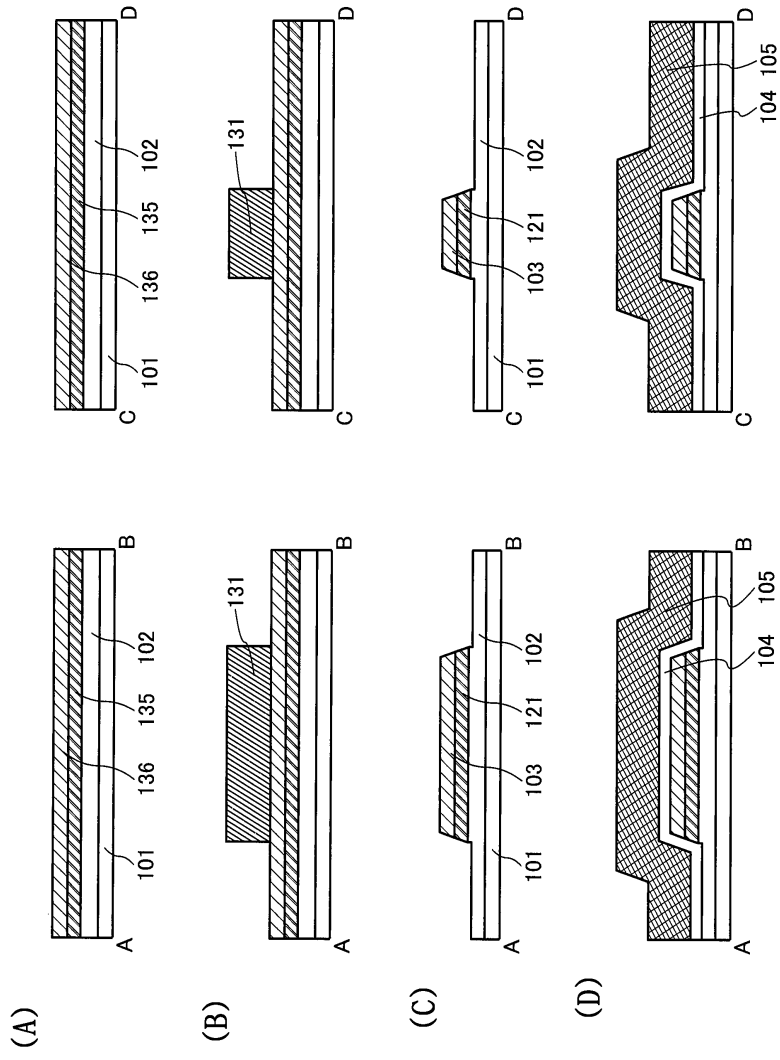
(A)



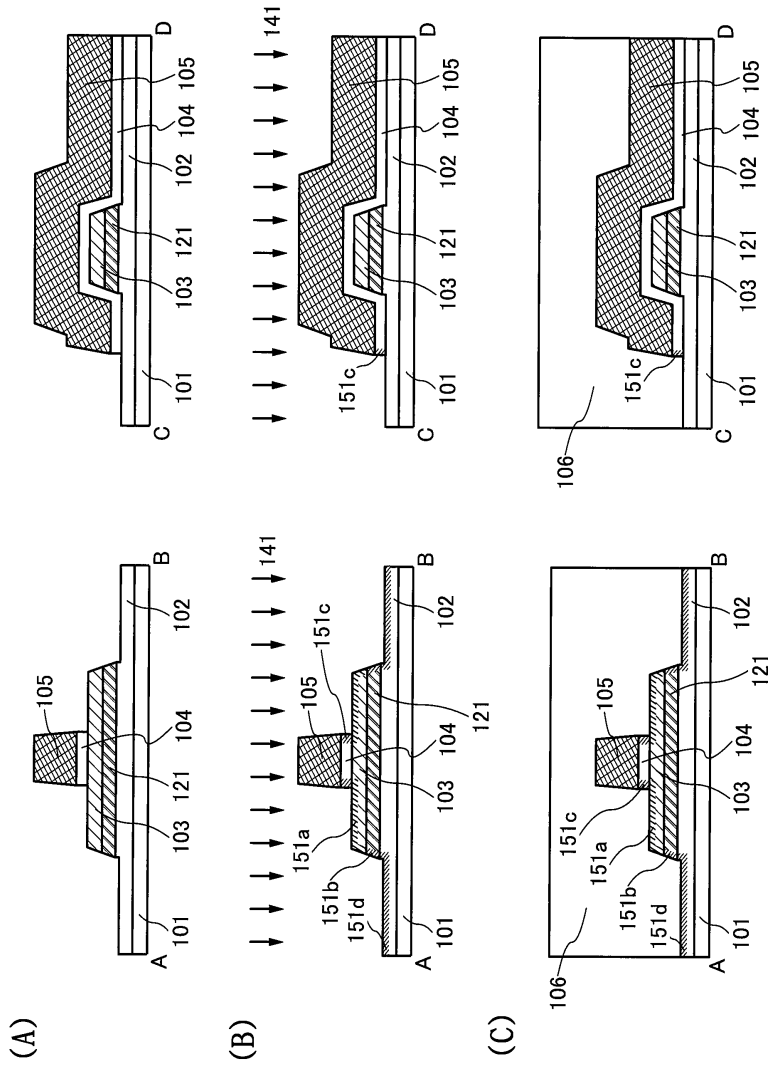
(B)



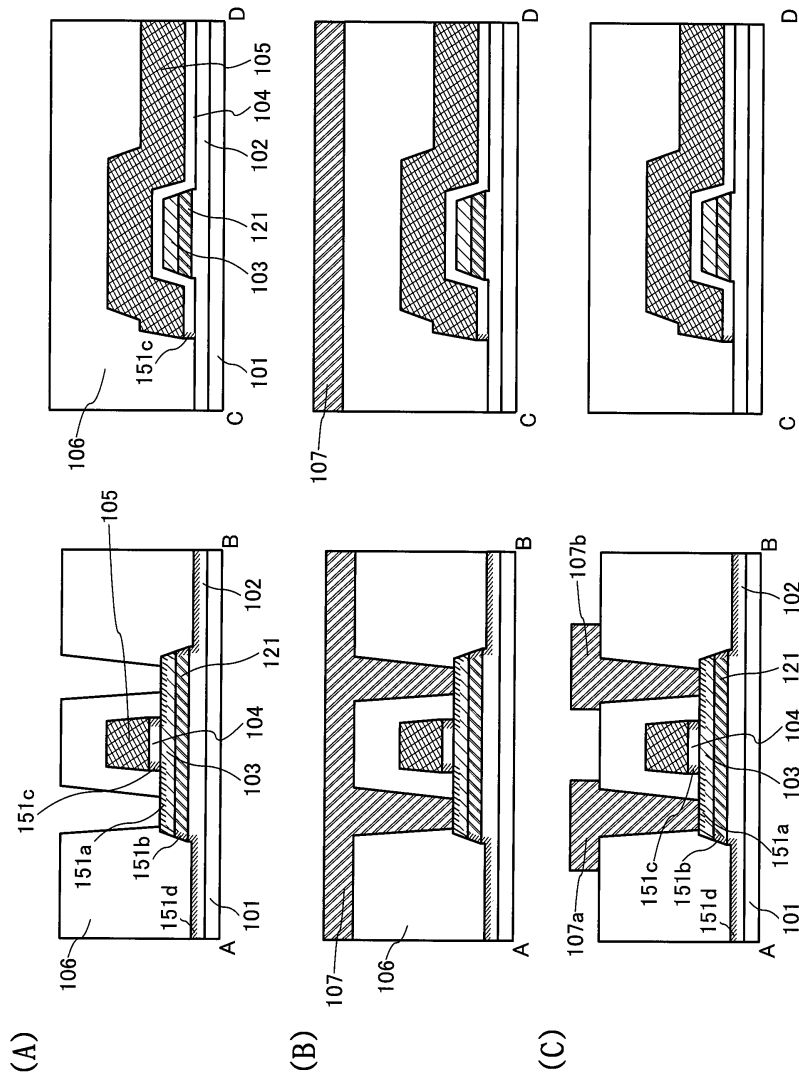
도면8



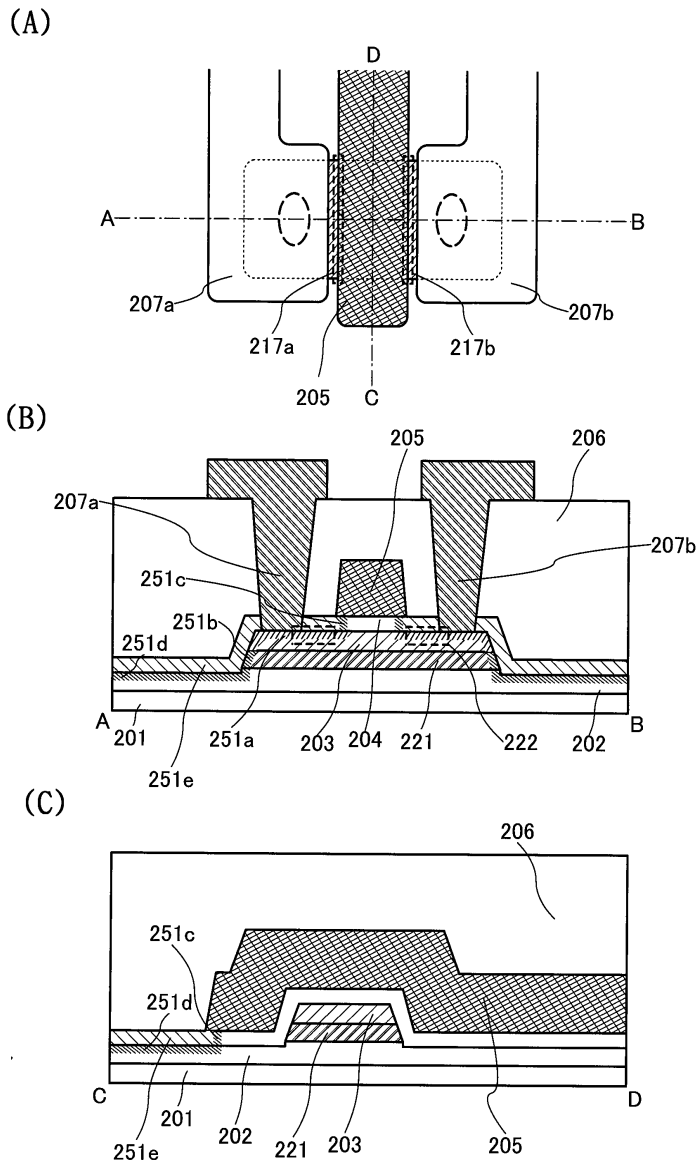
도면9



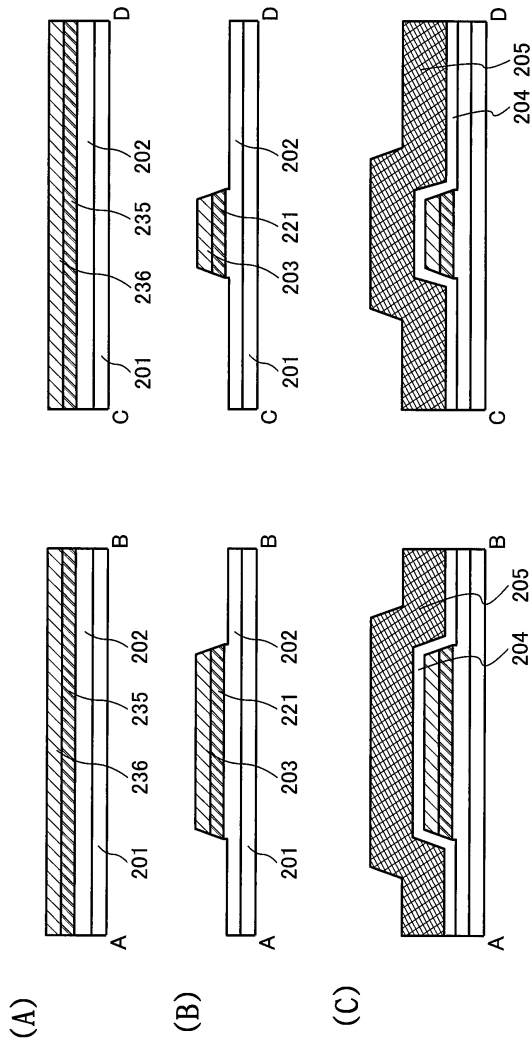
도면10



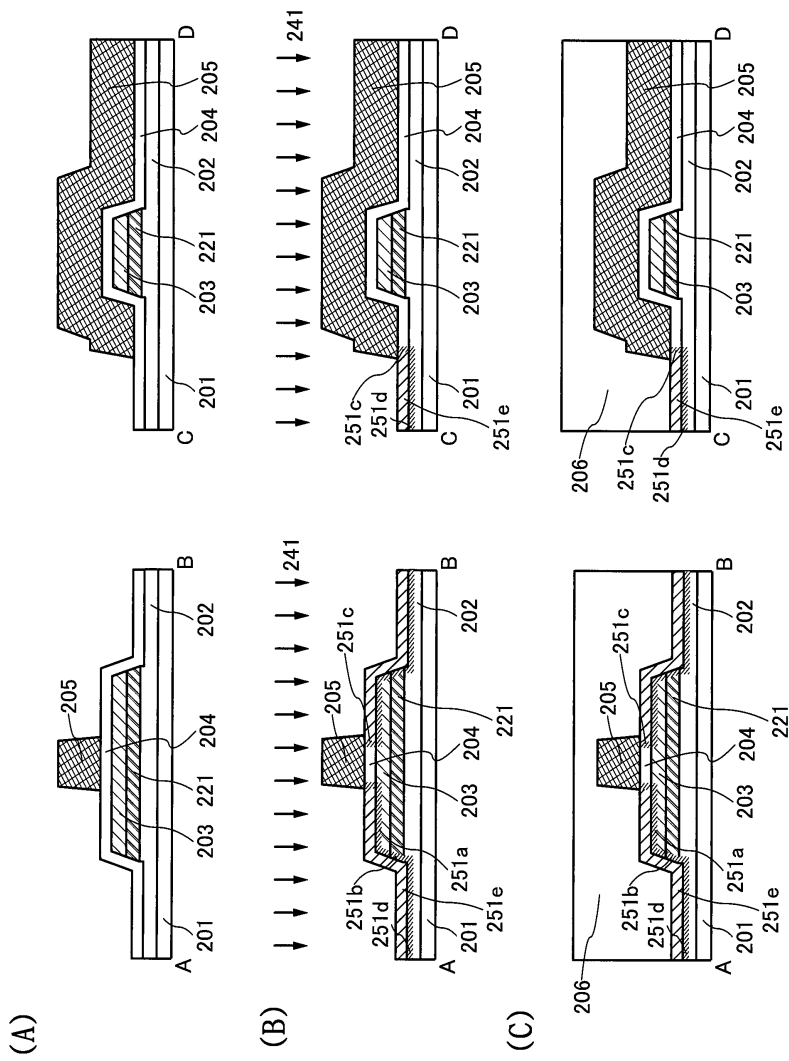
도면11



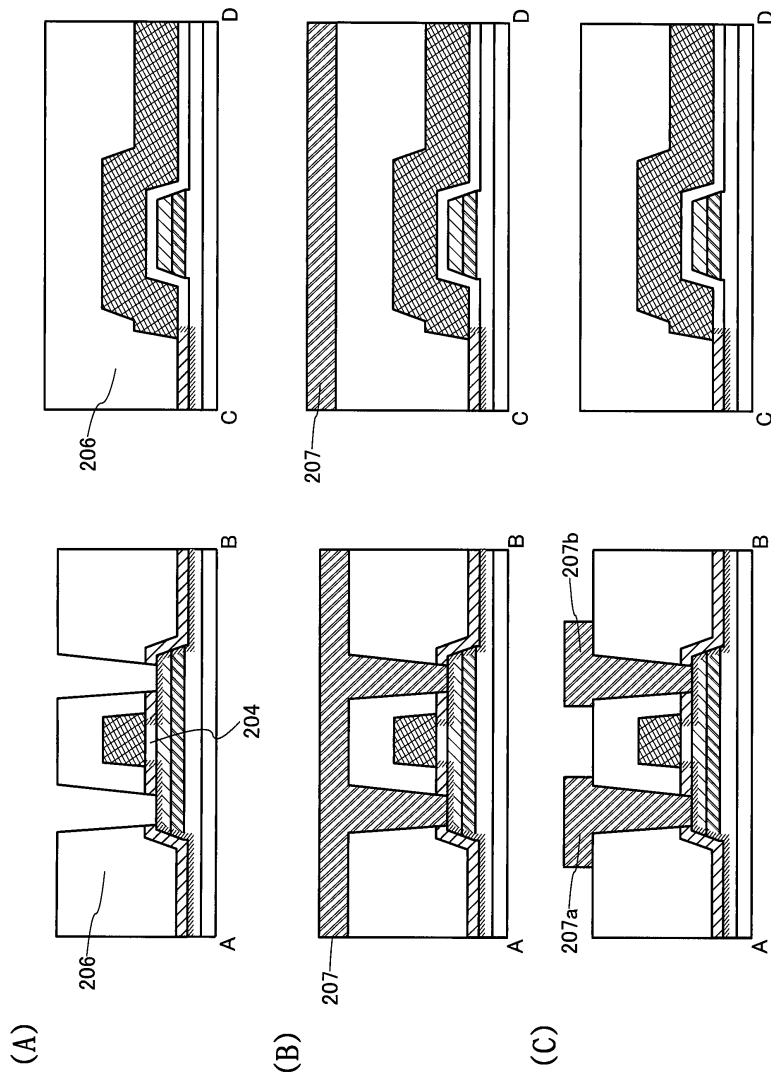
도면12



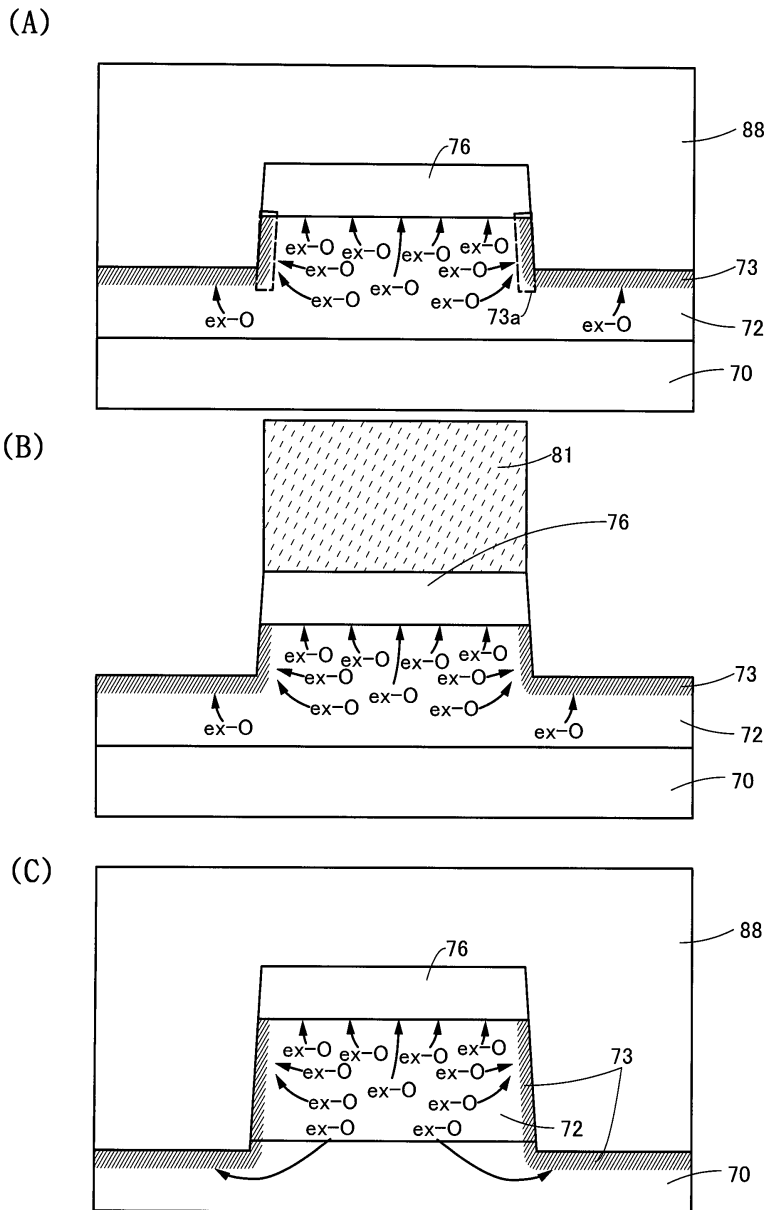
도면13



도면14

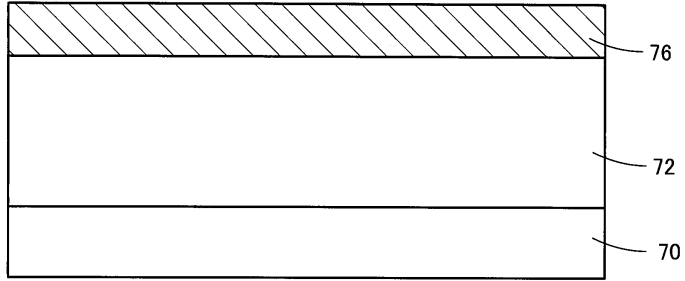


도면15

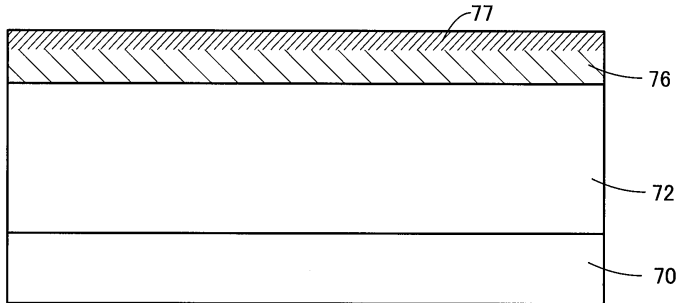


도면16

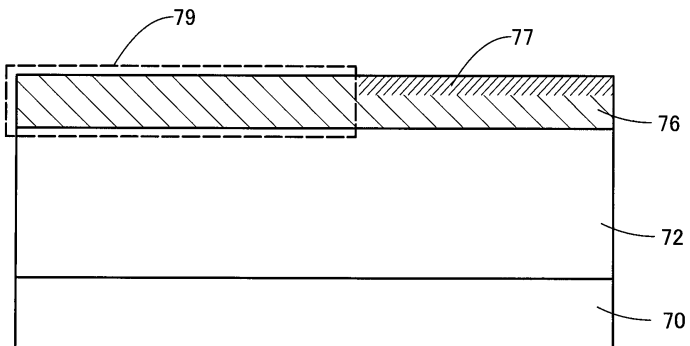
(A)



(B)

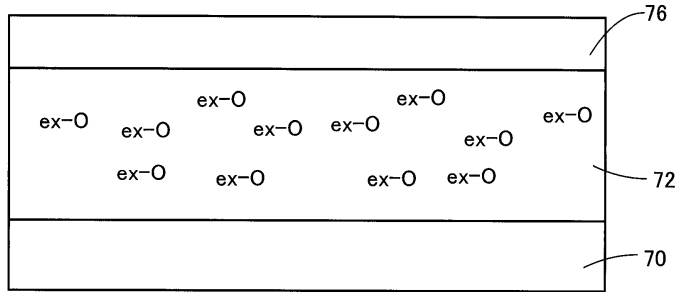


(C)

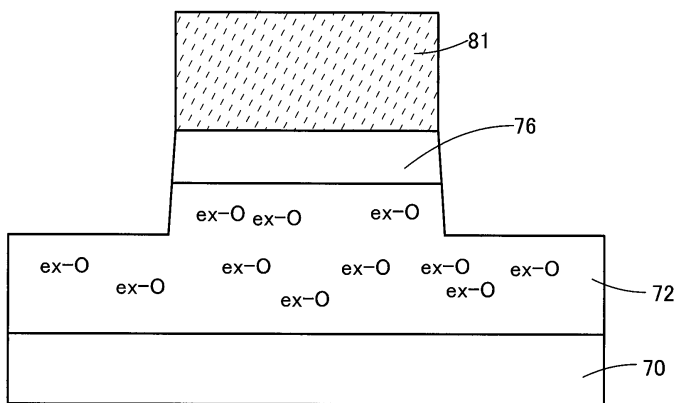


도면17

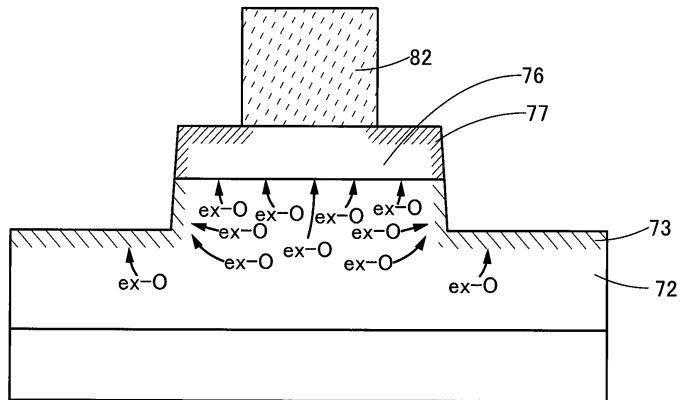
(A)



(B)

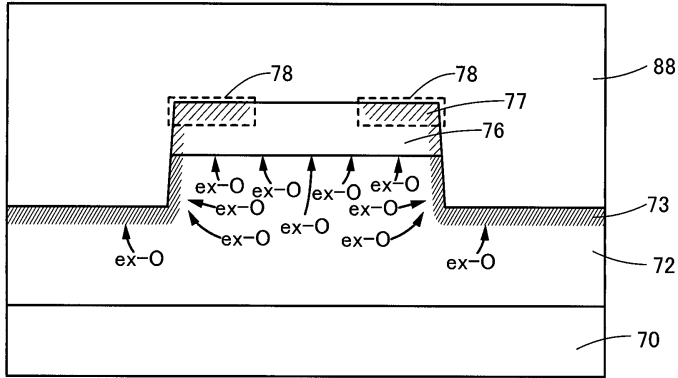


(C)

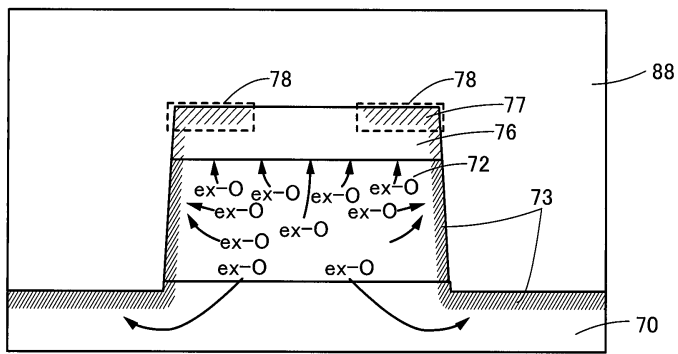


도면18

(A)

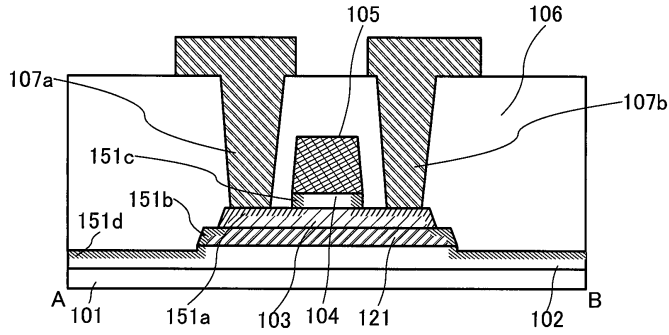


(B)

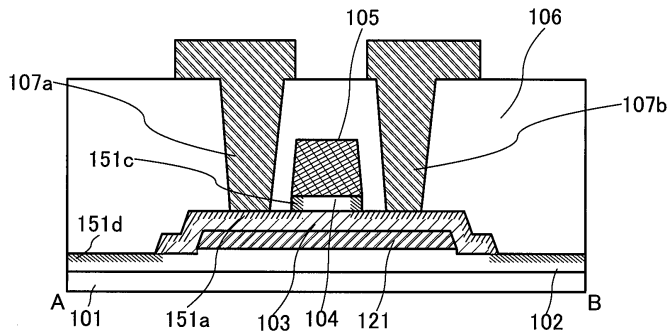


도면19

(A)

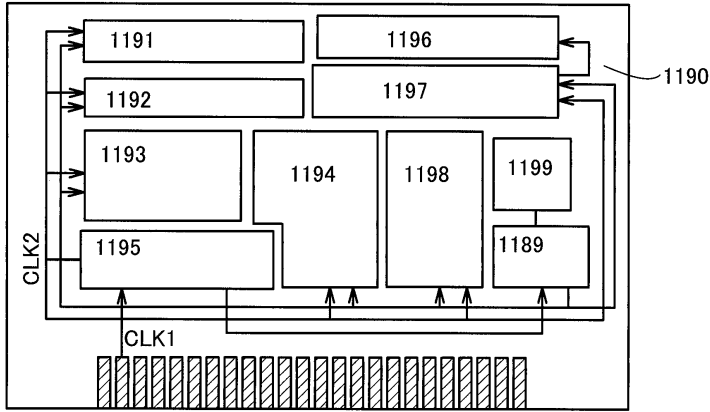


(B)

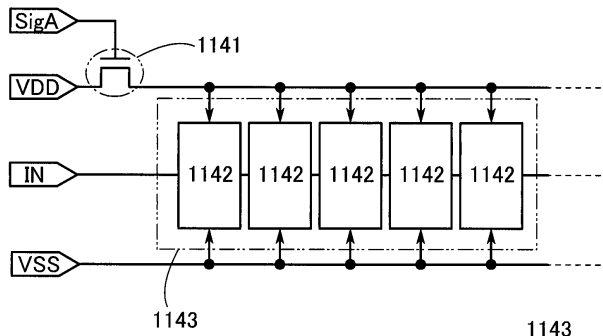


도면20

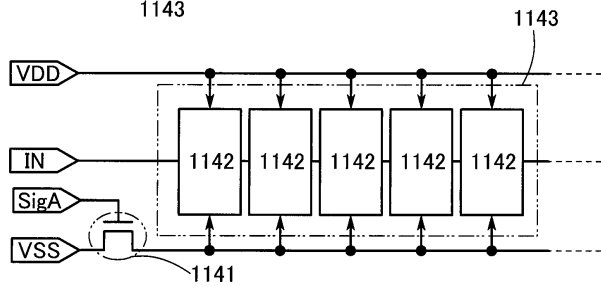
(A)



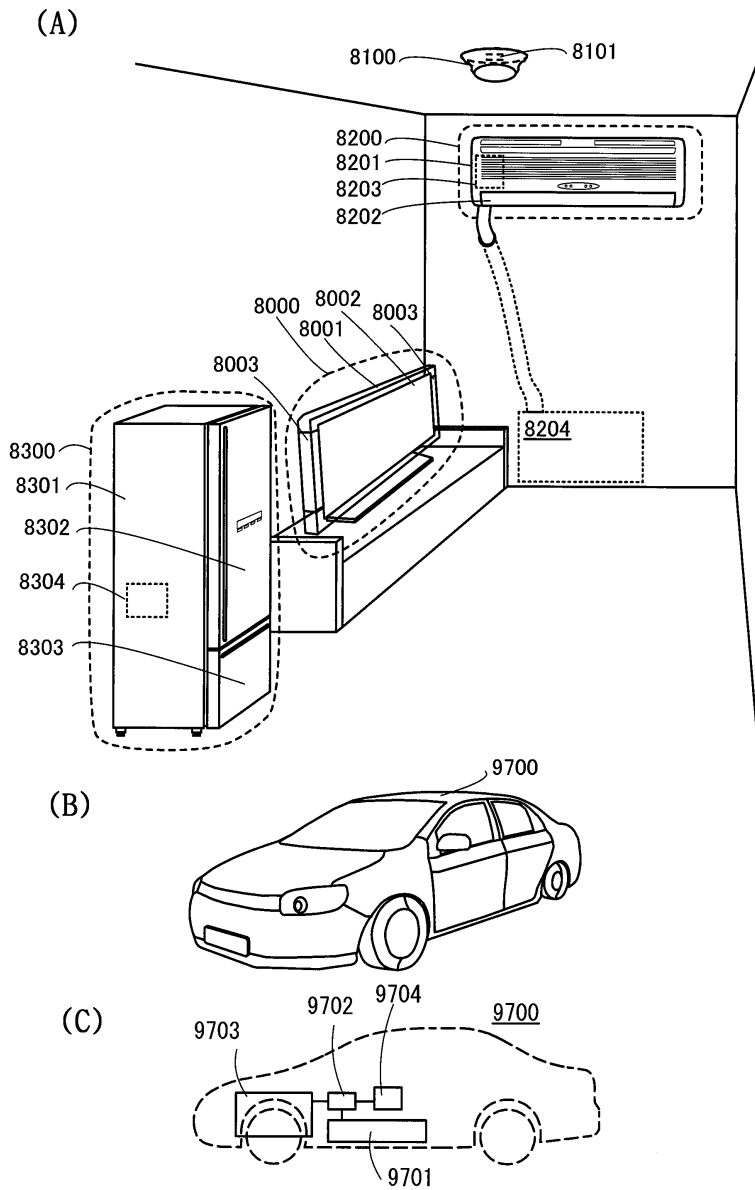
(B)



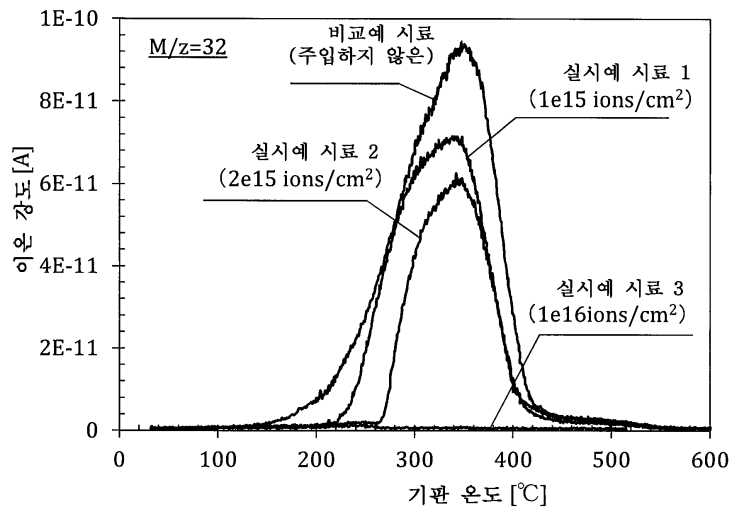
(C)



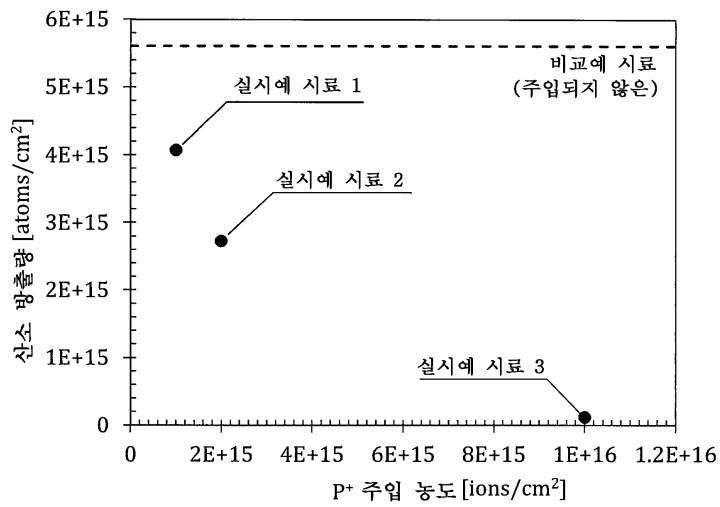
도면21



도면22

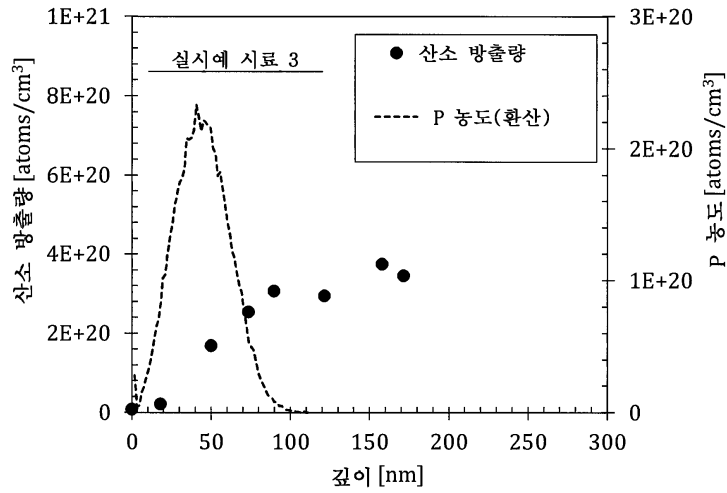


도면23

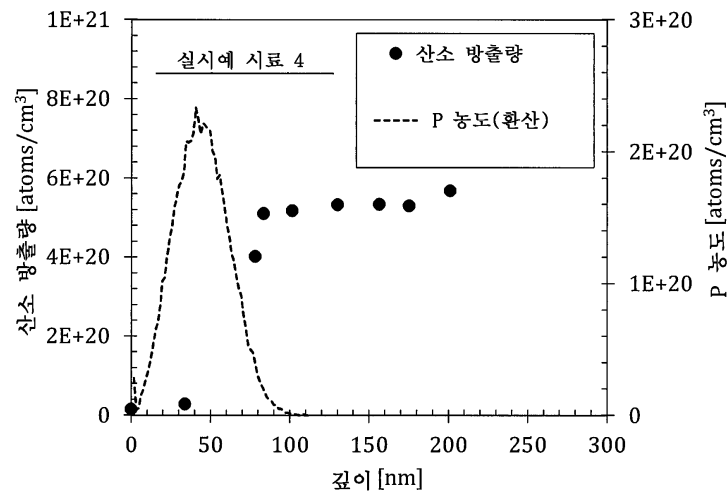


도면24

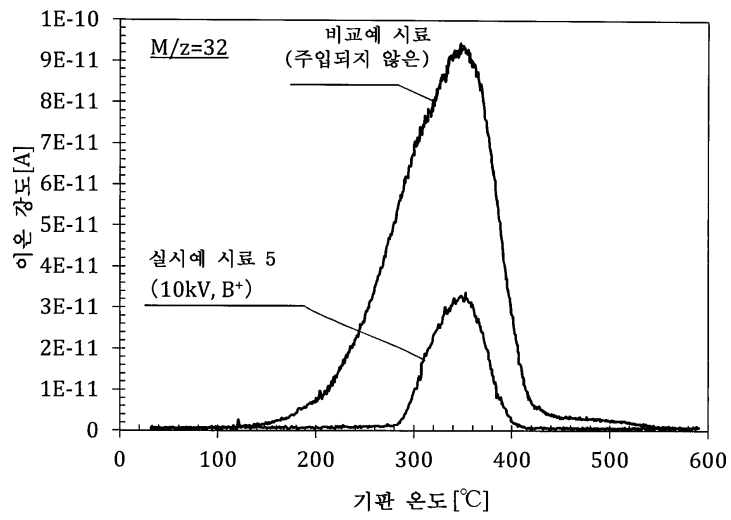
(A)



(B)

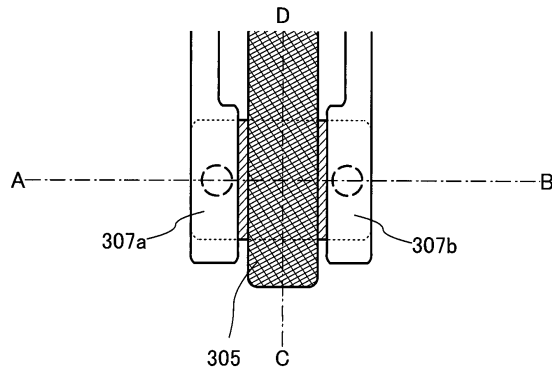


도면25

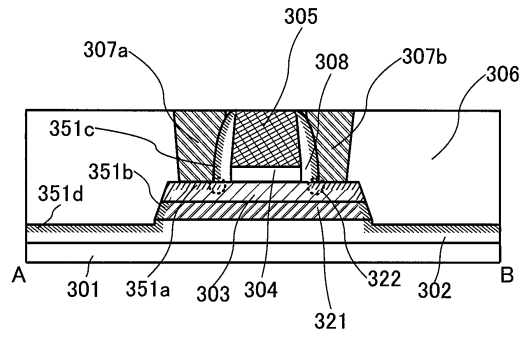


도면26

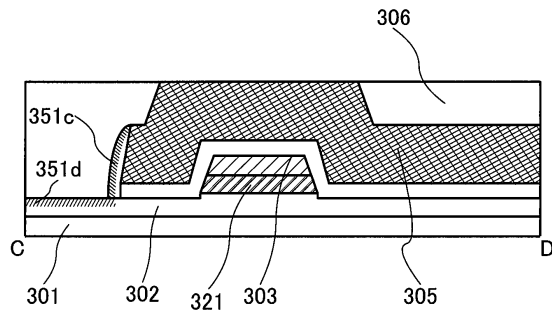
(A)



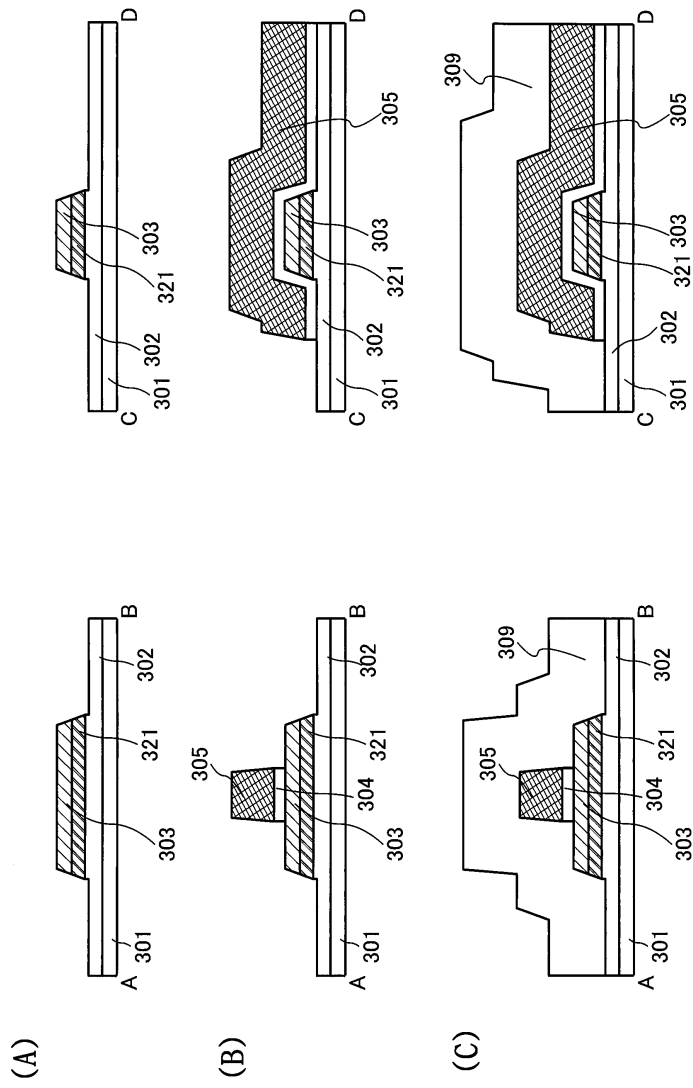
(B)



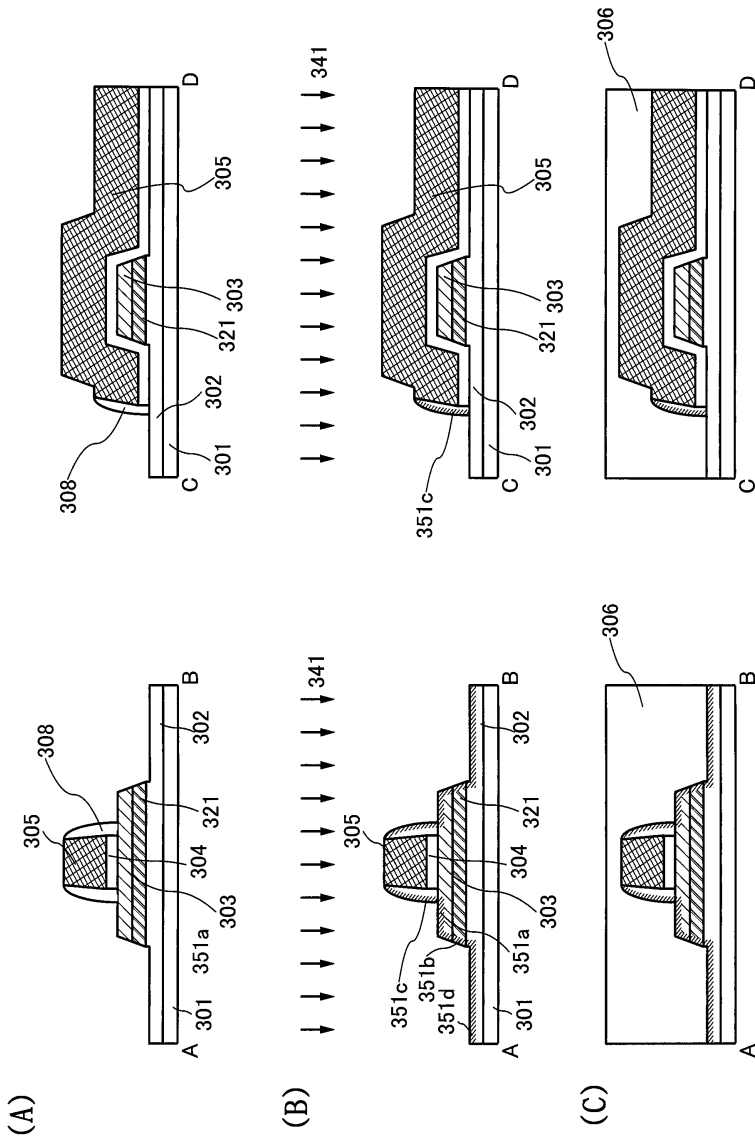
(C)



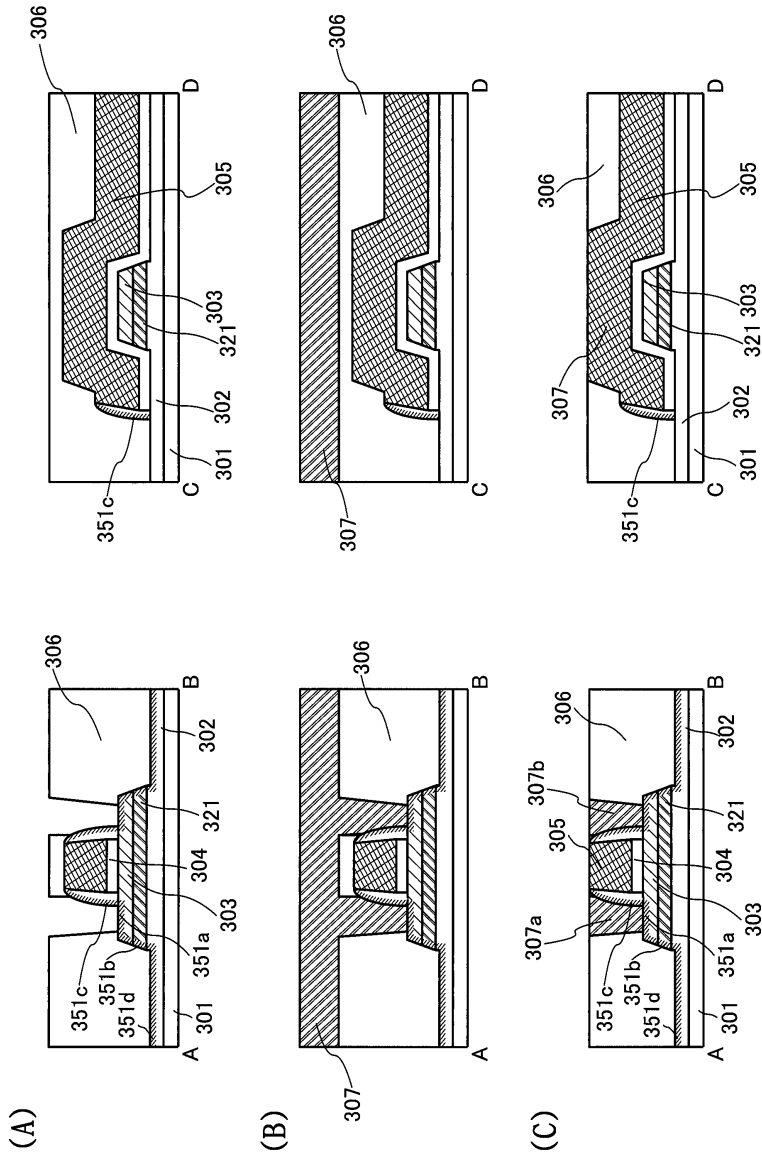
도면27



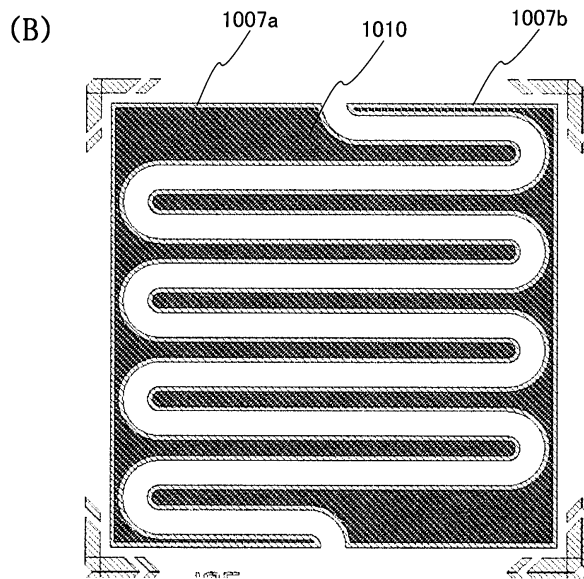
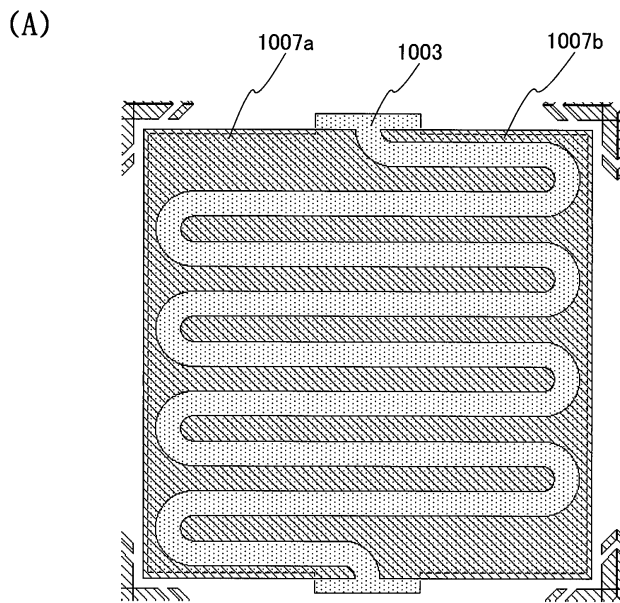
도면28



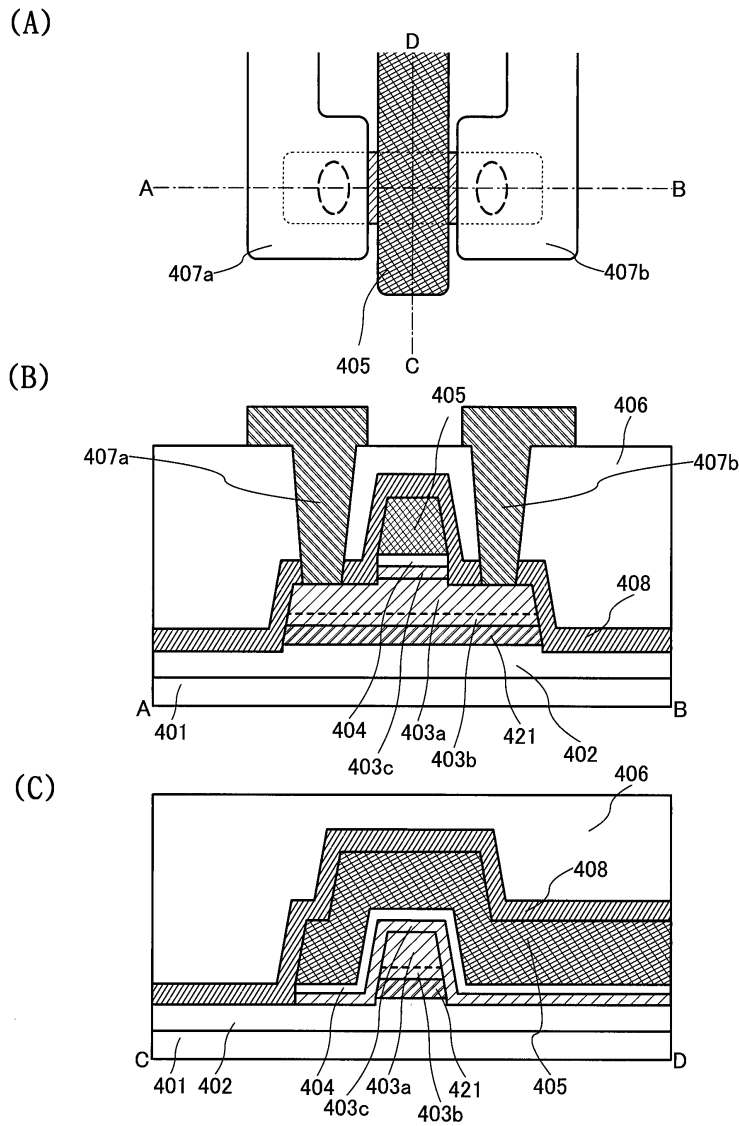
도면29



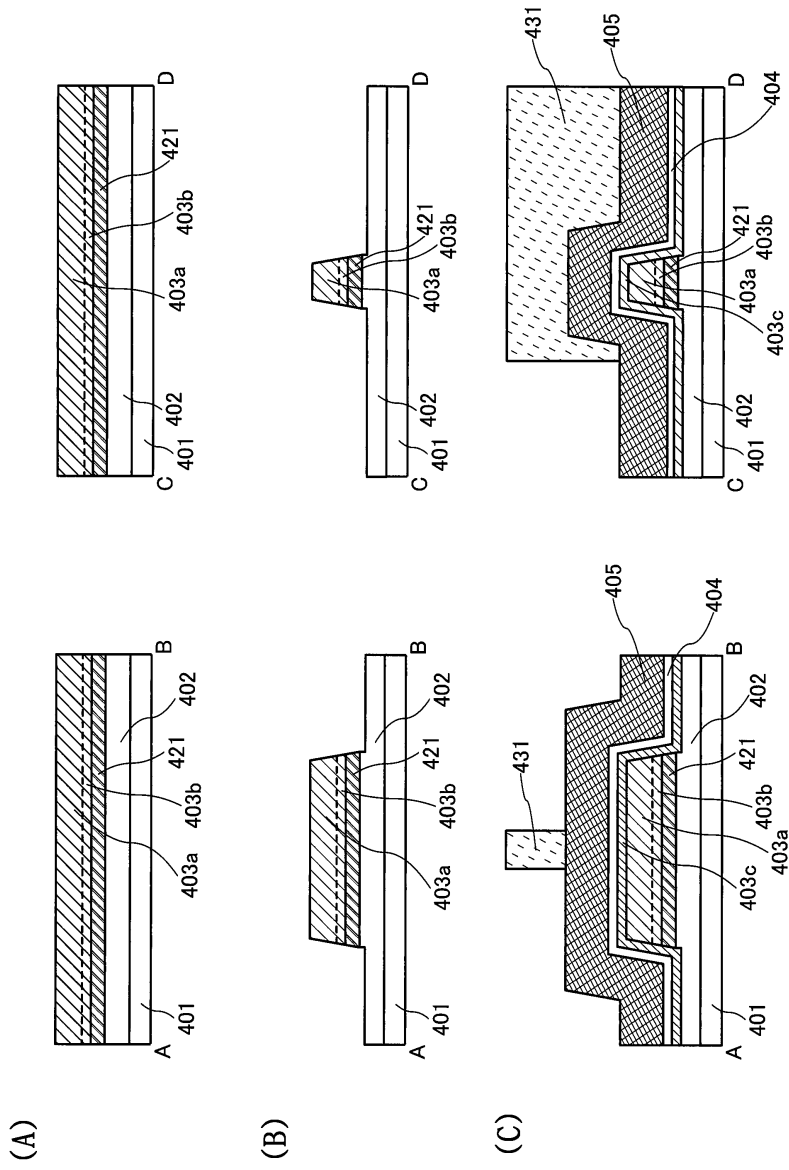
도면30



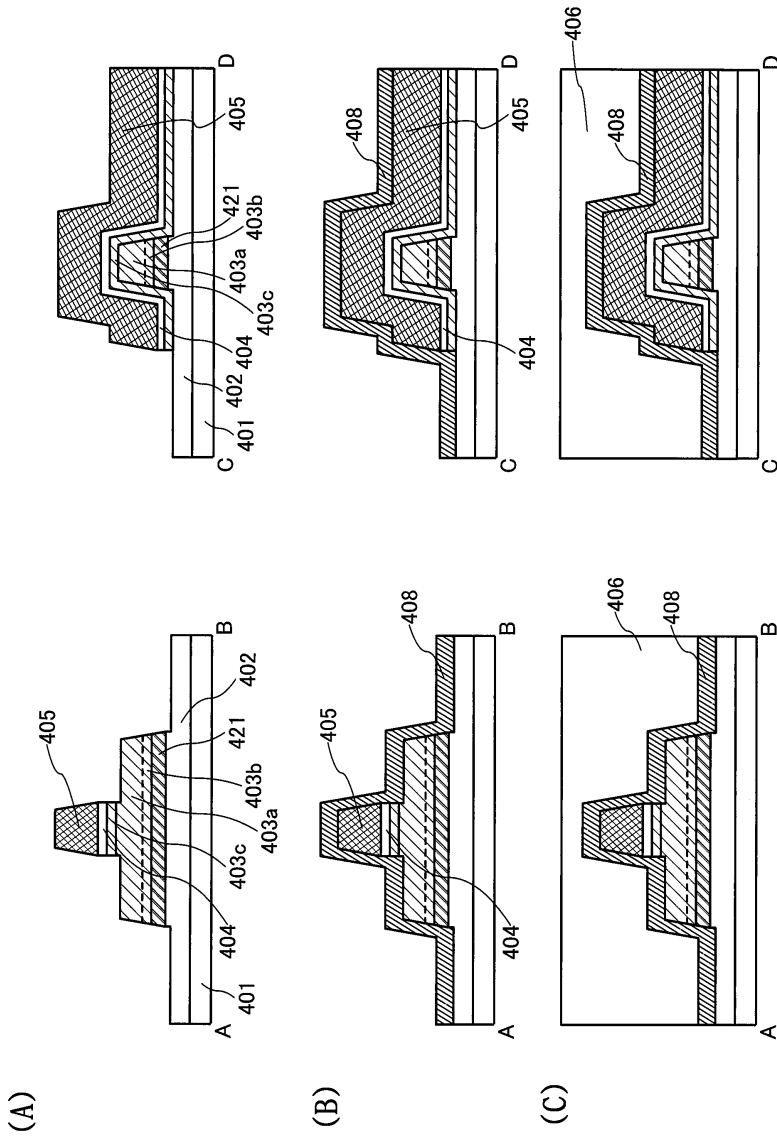
도면31



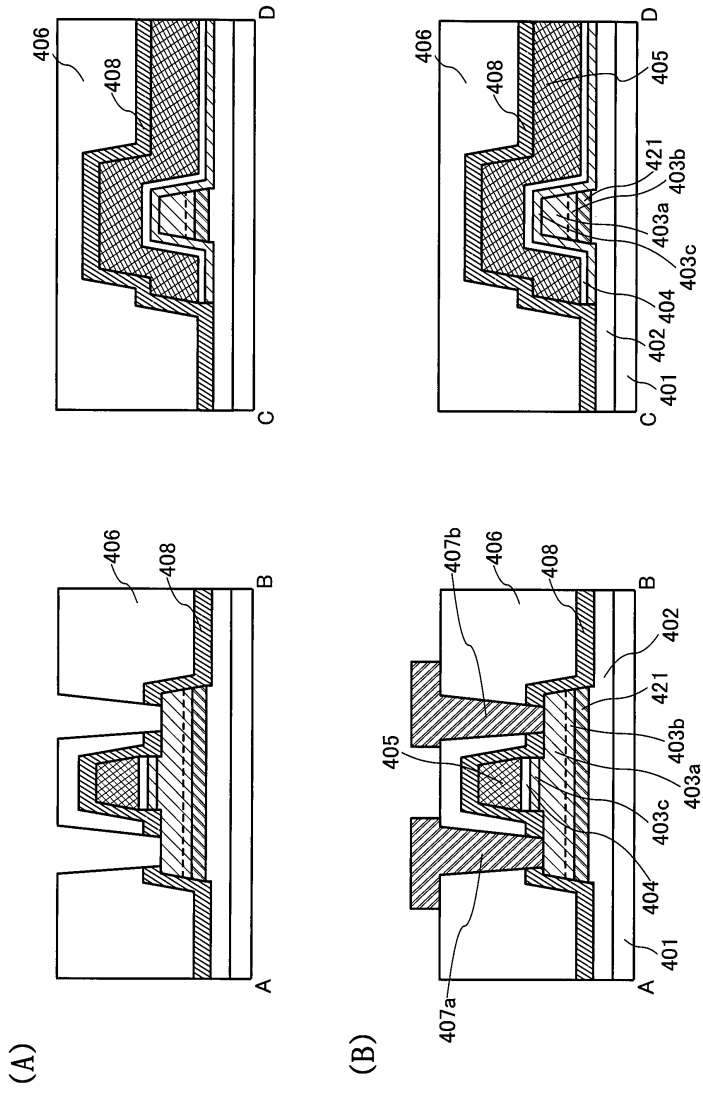
도면32



도면33



도면34



도면35

