



(10) **DE 10 2014 114 656 A1** 2015.05.13

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2014 114 656.5**

(22) Anmeldetag: **09.10.2014**

(43) Offenlegungstag: **13.05.2015**

(51) Int Cl.: **H02M 7/483 (2007.01)**

(30) Unionspriorität:

1319953.4 **12.11.2013** **GB**

(71) Anmelder:

Control Techniques Ltd., Newtown, GB

(72) Erfinder:

**Hart, Simon David, c/o Control Techniques
Ltd., Newtown, GB; Webster, Anthony John, c/o
Control Techniques Ltd, Newtown, GB**

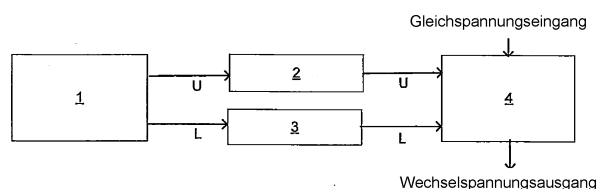
(74) Vertreter:

Weber & Heim Patentanwälte, 81479 München, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Steuerung für einen Multi-Pegel-Wandler**

(57) Zusammenfassung: Ein Verfahren wird offenbart, um zumindest vier Schaltkomponenten eines Multi-Pegel-Wandlers zu steuern. Das Verfahren weist das Empfangen eines ersten und eines zweiten Steuersignals zum Steuern eines Zwei-Pegel-Wechselrichters, der zwei Schaltkomponenten hat, und Verarbeiten des ersten und des zweiten Steuersignals auf, um zumindest vier Steuersignale für die Schaltkomponenten zu erzeugen, um die Schaltkomponenten eines Multi-Pegel-Wandlers zu steuern. Auch sind ein Steuerlogiksystem, ein Multi-Pegel-Wandlersystem und ein computerlesbares Medium offenbart.



Beschreibung

Gebiet der Erfindung

[0001] Diese Offenbarung bezieht sich auf das Erzeugen von Steuersignalen für einen Multi-Pegel-Wandler. Insbesondere, aber nicht ausschließlich, wird ein Verfahren zum Umwandeln von Steuersignalen für einen Zwei-Pegel-Wechselrichter bereitgestellt, so dass sie mit einem Multi-Pegel-Wandler verwendet werden können.

Hintergrund der Erfindung

[0002] Wechselrichter werden in vielen elektrischen und elektromechanischen Systemen benötigt. Beispielsweise wird in Antriebssystemen für Hochleistungsmotoren üblicherweise eine Umwandlung einer Gleichspannungsquelle zu einer Wechselspannungsversorgung benötigt, die geeignet ist, den Motor anzutreiben. In solchen Systemen ist es wünschenswert, ein Wechselspannungssignal bereitzustellen, das so weit wie möglich sinusförmig ist, um die Effizienz des Motors zu maximieren. Ein üblicher Weg, die Qualität eines solchen Umwandlungsprozesses von Gleichspannung (DC) zu Wechselspannung (AC) zu verbessern, ist die Verwendung von Multi-Pegel-Wechselrichtern oder -Wandlern, die ein geschaltetes Takten über den Gleichspannungsbereich bereitstellen, um ein sinusförmiges Signal genauer zu emulieren.

[0003] Zusätzlich dazu, dass sie genauer einer sinusförmigen Wellenform ähneln, bieten Multi-Pegel-Wandler verschiedene andere Vorteile gegenüber einfachen Zwei-Pegel-Wechselrichtern. Beispielsweise wird die harmonische Verzerrung verringert, da das Ausgangssignal genauer einer sinusförmigen Wellenform ähnelt. Des Weiteren gibt eine kleinere Veränderung in der Spannung, da kleinere Spannungspegel verwendet werden, was im Gegenzug bedeutet, dass es eine reduzierte Belastung auf Motorlager in einem Motorantriebssystem gibt. Zusätzlich beschränken die Klemmdioden die Spannung über die ausgeschalteten Schaltvorrichtungen auf einen Kondensatorspannungspegel (Hälfte der Gleichspannungs-Verbindungsspannung). Dies reduziert die Spannung, so dass mittelbewertete Halbleitervorrichtungen für Anwendungen mit hohen Spannungen und hohen Pegeln verwendet werden können.

[0004] Während es viele Vorteile gibt, die mit der Verwendung von Multi-Pegel-Wandlern verbunden sind, gibt es auch eine Anzahl von Nachteilen. Insbesondere kann der Schaltkreis von solchen Wandlern aufgrund des Erhöehens in der Anzahl von Schaltkomponenten, die in Multi-Pegel-Wandlern benötigt werden, groß und teuer sein. Des Weiteren benötigt die Steuerung von Multi-Pegel-Wandlern viele Mikropro-

zessorpins pro Phase. Manche Verfahren verwenden getrennte Gatesignale für jeden Halbleiterschalter und andere verwenden ein Paar von Gatesignalen und zusätzliche Signale, um die Schalterauswahl zu steuern. Jedoch benötigen in jeder Anordnung die individuellen Signale im Allgemeinen eine Pegelverschiebung und Isolation. In der Praxis kann daher der benötigte Schaltkreis, insbesondere für Multi-Pegel-Wandler hoher Ordnung, solche Schaltungen unbrauchbar machen.

ZUSAMMENFASSUNG DER ERFINDUNG

[0005] In Übereinstimmung mit einem Aspekt der Erfindung wird ein Verfahren zum Steuern von zumindest vier Schaltkomponenten eines Multi-Pegel-Wandlers bereitgestellt. Das Verfahren weist das Empfangen eines ersten und eines zweiten Steuersignals zum Steuern eines Zwei-Pegel-Wechselrichters, der zwei Schaltkomponenten hat, auf. Das Verfahren weist auch das Verarbeiten des ersten und des zweiten empfangenen Steuersignals auf, um zumindest vier Steuersignale für die Schaltkomponenten zu erzeugen, um die Schaltkomponenten eines Multi-Pegel-Wandlers zu steuern.

[0006] Das Verfahren weist des Weiteren das Steuern von jeder der zumindest vier Schaltkomponenten auf, indem ein jeweiliges Steuersignal der zumindest vier erzeugten Steuersignale verwendet wird. Die zumindest vier erzeugten Steuersignale können ein Steuersignal für jede Schaltkomponente des Multi-Pegel-Wandlers aufweisen.

[0007] Ein Steuersignal, das von dem ersten der empfangenen Steuersignale abgeleitet ist, kann verwendet werden, um die Steuersignale für die Schaltkomponenten zu erzeugen. Das Steuersignal kann bestimmen, welche Schaltkomponenten in einer nächsten Schaltperiode aktiviert werden. Das abgeleitete Steuersignal kann eine Kombination des ersten und des zweiten empfangenen Steuersignals sein. Das zweite der empfangenen Steuersignale kann invertiert sein. Das erste und das zweite empfangene Steuersignal können mittels eines UND-Logikgatters kombiniert werden. Eine Anzahl von Impulsen in dem abgeleiteten Steuersignal, wenn das zweite Steuersignal aktiv ist, kann verwendet werden, um zu bestimmen, welche der Schaltkomponenten in einer nächsten Schaltperiode aktiviert werden. Wenn die Anzahl von Impulsen in dem abgeleiteten Steuersignal 1 oder mehr ist, kann ein erster Satz von Schaltkomponenten aktiviert werden. Wenn die Anzahl von Impulsen in dem abgeleiteten Steuersignal 0 ist, kann ein zweiter Satz von Schaltkomponenten aktiviert werden. Das abgeleitete Steuersignal kann eingerichtet sein, die Schaltelemente, die der höchsten Spannung und der niedrigsten Spannung zugeordnet sind, zu schalten. Das zweite empfangene Steuersignal kann eingerichtet sein,

die Schaltkomponenten innerhalb eines mittleren Bereichs eines Gesamtspannungsbereichs des Multi-Pegel-Wandlers zu schalten.

[0008] Das Verfahren kann des Weiteren das Ableiten des Führungssignals von den zwei empfangenen Steuersignalen aufweisen. Das Führungssignal kann verwendet werden, um die Steuersignale für die Schaltkomponenten zu erzeugen, indem eines von dem zweiten der empfangenen Steuersignale und dem abgeleiteten Steuersignal zu einer jeweiligen Schaltkomponente des Multi-Pegel-Wandlers geführt wird. Das Führungssignal kann gesperrt werden, wenn das zweite der empfangenen Steuersignale hoch (high) ist. Das Führungssignal kann durch eine steigende Flanke des abgeleiteten Steuersignals zurückgesetzt werden. Das Führungssignal kann an einer fallenden Flanke des zweiten der empfangenen Steuersignale abgetastet werden.

[0009] Totzeit kann zwischen Schaltkomponenten vorgesehen sein, die aktiv geschaltet werden. Das Führungssignal kann diese Totzeit aufrechterhalten, wenn es die Steuersignale führt.

[0010] Das erste und das zweite Steuersignal können durch einen Mikroprozessor erzeugt werden und von dem Mikroprozessor über einen jeweiligen Isolationsschaltkreis und Pegelschiebeeinheiten empfangen werden. Der jeweilige Isolationsschaltkreis und die Pegelschiebeeinheiten können durch jeweilige Optokoppler bereitgestellt werden.

[0011] Gemäß einem anderen Aspekt der Erfindung wird ein Steuerlogiksystem zum Steuern von zumindest vier Schaltkomponenten eines Multi-Pegel-Wandlers bereitgestellt. Das Steuerlogiksystem weist einen Eingang auf, der dazu eingerichtet ist, ein erstes und ein zweites Steuersignal zum Steuern eines Zwei-Pegel-Wechselrichters zu empfangen, der zwei Schaltkomponenten hat. Das Steuerlogiksystem weist auch einen Logikprozessor auf, der eingerichtet ist, das erste und das zweite empfangene Steuersignal zu verarbeiten, um zumindest vier Steuersignale für die Schaltkomponenten zum Steuern der Schaltkomponenten eines Multi-Pegel-Wandlers zu erzeugen.

[0012] Gemäß einem weiteren Aspekt der Erfindung wird ein Multi-Pegel-Wandlersystem bereitgestellt, das ein Steuerlogiksystem aufweist, wie es hierin beschrieben ist. Zusätzlich weist das Multi-Pegel-Wandlersystem einen Multi-Pegel-Wandler auf, der vier oder mehr Schaltkomponenten hat, die jeweils eingerichtet sind, durch eines von zumindest vier Steuersignalen für die Schaltkomponenten geschaltet zu werden, die durch das Steuerlogiksystem erzeugt werden.

[0013] Gemäß einem weiteren Aspekt der Erfindung wird ein computerlesbares Medium bereitgestellt, das computerlesbaren Code aufweist, der im Betrieb verwendbar ist, einen Computer anzuweisen, ein Verfahren, wie es hierin beschrieben ist, durchzuführen.

[0014] Die Prozessorpinanforderung für eine Gatesteuerung von Multi-Pegel-Wandlern kann reduziert werden.

[0015] Der Mikroprozessor kann zwei erweiterte Gateausgänge pro Phase bereitstellen. Eine obere Gateleitung kann daran gehindert werden, den IGBT anzusteuern, wenn die untere Gateleitung aktiv ist. Die obere Gateleitung kann hin- und hergeschaltet werden, um Steuerauswahlimpulse bereitzustellen, während die untere Gateleitung aktiv ist, um die Auswahl der Halbleiterschalter für die nächste Schaltperiode durchzuführen.

[0016] Die Steuerung der Auswahl der Halbleiterschalter kann mit zwei Ansteuerungssignalen für Halbleiterschalter kombiniert werden, um die Anzahl von Prozessorpins, die benötigt werden, zu reduzieren. Die Ansteuerungssignale können pro Phase sein. Dies kann die Menge an Pegelverschiebungs- und Isolationshardware, die benötigt wird, reduzieren. Die damit verbundenen Verzögerungen und Chargen- oder Temperaturtoleranzen können daher auch reduziert sein.

[0017] Eine Anzahl von Steuerimpulsen, die auf der oberen Signalleitung gesendet werden, wenn die untere aktiv ist, kann das „Pegelpaar“ (S1 und S3 oder S4 und S2) steuern, das während der nächsten PWM-Periode geschaltet wird.

[0018] Das obere Signal vom Mikroprozessor kann entweder die höchste Schalteinheit S1 oder die niedrigste Schalteinheit S4, das heißt, die äußeren Schalter, schalten. Die Einschaltinvertierung kann in Software bereitgestellt werden.

[0019] Das untere Signal vom Mikroprozessor kann entweder die Schalteinheiten S2 oder S3, die inneren, 0V, Schalter, schalten. Dies kann Zeit bereitstellen, damit die Steuerimpulse ausgesendet werden, und den korrekten Schalter bereitstellen, auf Totzeit zu schalten. Totzeit kann zwischen S2 und S4 benötigt werden, wenn sie in dem negativen Abschnitt sind, und zwischen S1 und S3, wenn sie in dem positiven Abschnitt sind.

[0020] Die Veränderung des Spannungsabschnitts kann durch eine untere Spannungsschaltperiode (also hohe 0V-Einschalt-Schaltperiode) durchlaufen, die einem langen unteren Gatesignal entspricht, was Zeit ermöglicht, damit das obere Signal die Steuerimpulse für das „Pegelpaar“ aussenden kann.

[0021] Die Schalteinheit S3 kann während eines negativen Abschnitts an bleiben und die Schalteinheit S2 kann während eines positiven Abschnitts an bleiben.

[0022] Die SW-Zyklusperiode kann bei der Mitte der unteren AN-Periode beginnen, so dass eine Entscheidung in Bezug auf die Auswahl des „Pegelpaars“ getroffen werden kann und die Steuerimpulse können vor der nächsten Aktivierung der Schalteinheiten S1 oder S4, das heißt den äußeren Schaltern, ausgesendet werden.

[0023] Die Hardware für die Gatesteuerung kann direkt mit der schnellen Überstromschutzleitung über einen Aktivierungspuffer gekoppelt sein.

[0024] Impulsabfall/-verlängerung kann möglich sein, da sowohl das untere als auch das obere Gate-signal den Zustand pro Zyklus zweimal ändern müssen, damit irgendeine Veränderung im „Pegelpaar“ ausgeführt wird.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0025] Beispielhafte Ausführungsformen der Erfindung werden nun mit Bezug auf die Zeichnungen beschrieben, in denen

[0026] Fig. 1 einen Multi-Pegel-Wandler zusammen mit seinen externen Steuerkomponenten darstellt;

[0027] Fig. 2 eine schematische Ansicht der Schaltung des Multi-Pegel-Wandlers von Fig. 1 ist;

[0028] Fig. 3 ein Schaltdiagramm ist, das die Eingangssteuersignale und die Ausgangstransistorsteuersignale zeigt;

[0029] Fig. 4 ein logisches Diagramm ist, das die Logik darstellt, die verwendet wird, um ein zusätzliches Steuersignal und eine Steuerleitung zu bestimmen; und

[0030] Fig. 5 ein logisches Diagramm ist, das zeigt, wie die Transistorsteuersignale von den Eingangssteuersignalen, dem zusätzlichen Steuersignal und der Steuerleitung abgeleitet werden.

[0031] Durch die Beschreibung und die Zeichnungen hindurch beziehen sich gleiche Bezugszeichen auf gleiche Teile.

DETAILLIERTE BESCHREIBUNG

[0032] Fig. 1 zeigt einen Multi-Pegel-Wandler 4 zusammen mit den externen Steuerkomponenten 1, 2 und 3. Der Multi-Pegel-Wandler 4 empfängt einen Gleichstromeingang und wandelt diesen in einen Wechselstromausgang basierend auf zwei Steu-

ersignalen U und L für die Transistorgates um, die durch einen zugeordneten Mikroprozessor 1 erzeugt werden. Durch Verwendung von mehreren Pegeln ist der Multi-Pegel-Wandler in der Lage, einen Wechselstromausgang bereitzustellen, der verglichen mit einem Wechselrichter mit einem Pegel näher an einer sinusförmigen Form ist. Die Gatesteuersignale U, L laufen durch jeweilige Umwandlungsschaltungen 2, 3 für jede der drei Phasen. Dieser Umwandlungsschaltkreis weist zusätzlich zum Isolationsschaltkreis, um jeden Transistor von dem Mikroprozessor zu isolieren, Pegelschiebeeinheiten auf, um den Pegel in Bezug auf den jeweiligen Emitter, der durch das Signal gesteuert wird, zu verschieben. Ein Optokoppler wird sowohl für die Isolation als auch die Spannungsspiegelverschiebung verwendet.

[0033] Fig. 2 ist eine schematische Ansicht der Schaltung des Multi-Pegel-Wandlers 4 von Fig. 1. In Fig. 2 ist zur Vereinfachung der Beschreibung ein Drei-Pegel-Wandler dargestellt. Jedoch kann alternativ eine größere Anzahl von Pegeln verwendet werden.

[0034] In Fig. 2 wird der Eingang durch V_{dc} bereitgestellt, welches eine Gleichspannungsquelle ist. Ein Ausgang wird zwischen einem 0V-Pin 10 und einem Ausgangspin 11 bereitgestellt. Ein erster und ein zweiter Transistor S1 und S2 werden in Reihe zwischen dem positiven Anschluss der Gleichspannungsquelle V_{dc} und dem Ausgangspin 11 bereitgestellt, wobei ein dritter und ein vierter Transistor S3 und S4 in Reihe zwischen dem Ausgangspin 11 und dem 0V-Pin 10 bereitgestellt werden. Dioden D1 und D1' werden über den zweiten und den dritten Transistoren mit einer Masseverbindung bereitgestellt, die zwischen den zwei Transistoren vorgesehen ist. Des Weiteren sind Glättungskondensatoren C1 und C2 vorgesehen, die jeweils mit einem Anschluss mit einem jeweiligen Anschluss der Gleichspannungsquelle V_{dc} verbunden sind und einem anderen Anschluss mit Masse verbunden sind. In Fig. 2 ist nur eine einzelne Phase eines dreiphasigen Systems zur Erleichterung der Erklärung gezeigt. Es wird gewürdigt werden, dass die anderen Phasen einen äquivalenten Schaltkreis verwenden.

[0035] Ein Wechselspannungsausgang wird durch den Ausgang des Multi-Pegel-Wandlers 4 bereitgestellt, indem die vier Transistoren S1, S2, S3, S4 gesteuert geschaltet werden, um die Ausgangsspannung von der Spannung des Gleichspannungseingangs zu variieren. Wie aus Fig. 1 klar ist, empfängt der Multi-Pegel-Wandler 4 die zwei Gatesteuersignale U, L und verwendet Logik, um diese zwei Steuersignale in vier Steuersignale umzuwandeln, eines für jeden der vier Transistoren S1, S2, S3, S4.

[0036] Dieser Steuerprozess soll nun mit Bezug auf Fig. 3, die ein Schaltdiagramm zum Ableiten der

Transistorsteuersignale S1', S2', S3', S4' zeigt, zusammen mit **Fig. 4** und **5** beschrieben werden, die die Logik zeigen, die verwendet wird, um die Transistorsteuersignale S1', S2', S3', S4' von den Eingangsgatesteuersignalen U, L abzuleiten.

[0037] Zuerst werden mit Bezug auf **Fig. 4** ein zusätzliches Gatesteuersignal U1 und eine Steuerleitung C von den Eingangsgatesteuersignalen U, L abgeleitet. Die zwei Eingangsgatesteuersignale, das obere U und das untere L sind eingerichtet, um einen üblichen Zwei-Pegel-Wechselrichter zu betreiben, der nur zwei Transistoren hat. Somit ist das erste Eingangsgatesteuersignal U eingerichtet, den oberen Transistor in einer solchen Anordnung zu betreiben, während das zweite Eingangsgatesteuersignal L eingerichtet ist, den unteren Transistor zu betreiben.

[0038] Das erste zusätzliche Steuersignal U1 wird abgeleitet, indem das Gatesteuersignal U und eine Invertierung des Gatesteuersignals L durch ein UND-Gatter **12** hindurchgeleitet werden, wobei L durch ein NICHT-Gatter **13** invertiert wird. Um die Steuerleitung C zu erhalten, werden die Eingangsgatesteuersignale zuerst über ein UND-Gatter **14** kombiniert, wobei der Ausgang von diesem zu dem „Setz“-Eingang eines Flipflop-Latches **15** eingegeben wird. Das zusätzliche Gatesteuersignal U1 wird zu einem von den vier Halbleiterschaltern eingegeben, wie in Bezug auf den Schaltkreis in **Fig. 5** beschrieben wird, der später in diesem Dokument beschrieben wird. Das Rücksetzen (Reset) wird nur bei der steigenden Flanke von U1 aktiviert, indem ein Detektor **16** für steigende Flanken verwendet wird, und dann in das Rücksetzen des Flipflop-Latches. Der Ausgang des Flipflops **15** wird in den Dateneingang des Abtastpuffers **17** eingegeben, während das Gatesteuersignal L, das durch den Detektor **18** für fallende Flanken gelaufen ist, in den Abtasteingang des Abtastpuffers **17** eingegeben wird, der eine Abtastung des Logikpegels des Dateneingangs triggert. Dann ist der Ausgang des Abtastpuffers die Steuerleitung C, die in **Fig. 3** gesehen werden kann.

[0039] In der Praxis wird in dem in **Fig. 4** gezeigten Logikdiagramm das zusätzliche Steuersignal, oder das aktuelle obere Gatesignal, U1, immer auf niedrig gezwungen, wenn das zweite Gatesteuersignal L aktiv ist, um ein Durchschießen zu verhindern, wenn die codierten Steuersignaleimpulse auch auf dem Gatesteuersignal U gesendet werden. Der Steuersignaleimpuls wird verriegelt, wenn das zweite Gatesteuersignal L hoch ist, und wird durch die steigende Flanke des zusätzlichen Gatesteuersignals U1 zurückgesetzt. Die Steuerleitung C wird an der fallenden Flanke des zweiten Gatesteuersignals L abgetastet, so dass die neue Führung der Gatesteuersignale U1 und L durch die Steuerimpulse auf der Steuerleitung C vor dem nächsten aktuellen oberen Gateimpuls U1 wirksam werden kann. Dies erzeugt die „Pegelpaar“-

Steuerleitung C, die der Ausgang durch den Abtastpuffer **17** ist. Nur ein Signal ist für ein Dreipegelsystem vorgesehen, da das System nur zwischen dem Steuern von zwei Paaren von Schaltern S1, S3 und S4, S2 wählt. Für Multi-Pegel-Wandler, die fünf (und mehr) Pegel haben, wird die Anzahl von Steuerimpulsen gezählt, wie unten beschrieben wird.

[0040] In dem Fall eines Drei-Pegel-Wandlers wird nur ein Steuerimpuls auf der Steuerleitung C benötigt, wenn der Steuerimpuls vorhanden ist, werden die positiveren Schalter verwendet, und wenn nicht, werden die am negativsten Schalter verwendet. Wenn ein System verwendet wird, das fünf oder mehr Pegel hat, wird eine Reihe von Impulsen bereitgestellt, um anzuzeigen, welches Paar von Schaltern aktiv durch die Gatesteuersignale U1 und L gesteuert wird. Diese Steuersignale würden immer noch durch den Flipflop-Latch **15**, der in **Fig. 4** gezeigt ist, durchlaufen. In **Fig. 4** wird ein einfacher Abtastpuffer **17** durch die fallende Flanke des Gatesteuersignals L gesteuert. Für fünf oder mehr Pegel wird ein Seriell-zu-Parallel-Decoder bereitgestellt, bei dem der Zähler durch das Signal von dem Detektor **16** für steigenden Flanken zurückgesetzt wird und der Abtastpuffer **17** mehrere Eingänge und mehrere Ausgänge hat.

[0041] Sobald das zusätzliche Gatesteuersignal U1 und die Steuerleitung C durch die Logikschaltung von **Fig. 4** abgeleitet werden, ist es dann möglich, mit der Ableitung der Transistorsteuersignale S1', S2', S3', S4' fortzufahren, wie es in **Fig. 5** gezeigt ist und nun beschrieben wird.

[0042] S1' wird durch ein Kombinieren des zusätzlichen Gatesteuersignals U1 und der Steuerleitung C über ein UND-Gatter **19** abgeleitet. S2' wird durch ein Kombinieren, an einem UND-Gatter **20**, des Eingangsgatesteuersignals L mit einer Inversion der Steuerleitung C, die durch ein NICHT-Gatter **21** durchgeleitet wird, abgeleitet, wobei der Ausgang des UND-Gatters **20** an einem anderen ODER-Gate **22** mit der zusätzlichen Steuerleitung C kombiniert wird. S3' wird durch ein Kombinieren des zusätzlichen Steuersignals C mit dem Steuersignal L an einem UND-Gatter **23** und durch ein Durchlaufen des Ausgangs dieses UND-Gatters **23** durch ein ODER-Gatter **24** mit einer Inversion der Steuerleitung C abgeleitet, die durch ein NICHT-Gatter **21** durchgelaufen ist. S4' wird durch ein Kombinieren, an einem UND-Gatter **24**, des zusätzlichen Steuersignals U1 mit der Inversion der Steuerleitung C abgeleitet, die durch das NICHT-Gatter **21** invertiert wird. Jedes der Signale S1', S2', S3', S4' durchläuft ein Gatter oder den Aktivierungspuffer **26**. Der Aktivierungspuffer **26** ermöglicht dem System, im Fall von Überstrombedingungen deaktiviert zu werden. Der Aktivierungspuffer **26** wird durch ein Aktivierungssignal zum Aktivieren und Verhindern eines Betriebs des Multi-Pegel-Wandlers **4** gesteuert.

[0043] In der Praxis stellt die Steuerleitung **10** für das Pegelpaar ein Führungssignal bereit, das steuert, zu welchem äußeren Schalter (S1 oder S4) das aktuelle obere Gatesignal U1 verbunden wird. Es steuert auch, mit welchem inneren Schalter (S2 oder S3) das untere Gatesignal verbunden wird. Die Steuerleitung C hält auch den inneren Schalter, der aktuell nicht durch das untere Gatesignal gesteuert wird, hoch, aktiv. Der äußere Schalter, der aktuell nicht gesteuert wird, wird niedrig gehalten, inaktiv. In anderen Worten führt die Steuerleitung C die empfangenen Steuersignale zu den Schaltkomponenten.

[0044] In **Fig. 3** ist das Schalten des Multi-Pegel-Wandlers **3** gezeigt, wobei die Anforderung der Ausgangsspannung von negativ zu positiv wechselt und dann zurück zu negativ, wie durch die Steuerleitung C und die „Pegelpaare“ dargestellt ist, die in einer PWM-Art geschaltet sind, das heißt das Paar von Schaltkomponenten S1, S3 für eine positive Spannung oder S4, S2 für eine negative Spannung. Das „Pegelpaar“, das gewählt ist, und somit die Signalführung, wird durch die Steuerimpulse gesteuert, die auf der oberen Gatesteuerleitung U gesendet werden, wenn die untere Gatesteuerleitung L aktiv ist. Beispielsweise zeigen Zeitpunkte t2 und t4 einen Impuls (eine Wahl zwischen nur zwei Paaren muss für einen Drei-Pegel-Wandler getroffen werden), um das Paar von Schaltern zu wählen, die die positivere Spannung erzeugen (S1, S3). Die Anzahl von Steuerimpulsen, die auf der oberen Signalleitung U gesendet werden, wenn die untere L aktiv ist (die untere übernimmt den Vorsitz), steuert das „Pegelpaar“, das die nächste PWM-Periode schalten wird. Ein Steuerimpuls gibt an, dass der nächste PWM-Zyklus auf dem positiven „Pegelpaar“ sein wird (so dass es eine positive Spannung geben wird). Eine Abwesenheit eines Steuerimpulses gibt das negative „Pegelpaar“ an. In anderen Worten bedeutet kein Impuls (für einen Drei-Pegel-Wandler), dass das System das Paar von Schaltern auswählt, das die negativere Spannung erzeugt (zum Beispiel S4, S2). Es sollte beachtet werden, dass die erste Schaltkomponente in den Paaren diejenige ist, die mit dem Gatesteuersignal U1 verbunden ist, und die zweite diejenige ist, die mit dem Steuersignal L verbunden ist. Nur ein Steuerimpuls wird benötigt, um das positive Paar von Schaltern anzugeben. Eine Abwesenheit eines Steuerimpulses wählt das negative Paar von Schaltern.

[0045] In **Fig. 3** dauert die Pulsweitenmodulations-(PWM)-Periode, auch als die Schaltperiode bekannt, von t1 bis t3 und wiederholt sich. Eine Veränderung des Timings des Schaltpegels wird beim Start der Schaltperiode (t1, t3 etc.) aktualisiert, so dass alles Decodieren und Führen zur Implementierung beim Start der nächsten Schaltperiode bereit sein muss. Die Software in dem Mikroprozessor läuft bei der Mitte t2 von jeder Schaltperiode. Das Gatesteuersignal U steuert die zwei äußeren Schalter S1 oder

S4. Je länger das Gatesteuersignal U an ist, desto größer wird die resultierende Durchschnittsspannung sein (entweder positiv oder negativ). Das Gatesteuersignal L steuert die inneren Schalter S2 oder S3, wenn sie nicht geschlossen gehalten werden, um es Strom zu ermöglichen, durch S1 oder S4 zu fließen. Je länger das Gatesteuersignal L an ist, desto niedriger wird die Spannung Richtung null sein. Das niedrigere Signal hat Vorrang vor dem Gatesteuersignal U, so dass, wenn das Gatesteuersignal L aktiv ist, das Gatesteuersignal U intern niedrig gehalten wird, und so dass S1 und S3 die Kondensatoren nicht kurzschließen werden und Schaden an der Schaltung verursachen werden. Das Signal, das zu S1 oder S4 geführt wird, wird als das Gatesteuersignal U1 bezeichnet, und ist der Zustand des Gatesteuersignals U, wenn das Gatesteuersignal U niedrig ist, anderenfalls wird das Gatesteuersignal U1 niedrig gehalten. Die Steuerleitung C steuert die Führung der Gatesteuersignale U1 und L. Eine hohe Steuerleitung C führt das Gatesteuersignal U1 zu S1, schließt S2, so dass Strom durch S1 fließen kann, und führt das Gatesteuersignal L zu S3. Eine niedrige Steuerleitung C führt das Steuersignal U1 zu S4, schließt S3, so dass Strom durch S4 fließen kann, und führt das Steuersignal L zu S2. Die PWM-Verhältnisaktion wird durch die alternierende Schaltaktion von S1 und S3 bereitgestellt, wenn eine positive Spannung bereitgestellt wird, und S4 und S2, wenn eine negative Spannung bereitgestellt wird. Das Führen der Gatesteuersignale U1 und L bedeutet, dass es eine Totzeit gibt, die zwischen den aktiv geschalteten Vorrichtungen S1 und S3 oder S4 und S2 vorgesehen ist. Wenn das Gatesteuersignal U hoch wird, während das Gatesteuersignal L an ist, wird es zu einem Latch geführt. Das verriegelte Signal wird abgetastet, wenn das Gatesteuersignal L von dem hohen zu einem niedrigen Zustand wechselt, und wird das Führungssteuerleitungssignal C. Das Gatesteuersignal U wird hoch, kurz nach t2, nachdem die Software gelaufen ist und entschieden hat, welche Schaltführung für die nächste Schaltperiode benötigt wird. **Fig. 3** zeigt eine Einschaltdauer, Steuermuster und Schaltzustände, die eine negative Spannung bereitstellen, dann eine positive Spannung und dann zu einer negativen Spannung zurückkehren. Das hohe Gatesteuersignal U bei t2 ändert die Führung von negativ (das heißt S4 und S2) zu positiv (das heißt S1 und S3) zum Start der nächsten Schaltperiode t3. Das hohe Gatesteuersignal U bei t4 behält die Führung zu dem positiven (das heißt S1 und S3) durch die nächste Schaltperiode (beginnend bei t5). Die Abwesenheit eines Gatesteuersignals U, das nach t6 hoch ist, verändert die Führung von positiv (das heißt S1 und S3) zu negativ (das heißt S4 und S2) zum Start der nächsten Schaltperiode, t7.

[0046] In dem System, das oben beschrieben ist, gibt es die Möglichkeit eines Auftretens von Durchschießen, das heißt zwei Versorgungsleitungen wer-

den aufgrund von Schaltern, die zu derselben Zeit an sind, verbunden. Der potenzielle Überlapp aufgrund von Verzögerungen in den Gateschaltungen wird entfernt, indem eine Totperiode, bekannt als die Totzeit, zwischen Schaltern eingefügt wird. In einem Multi-Pegel-Wandler muss dies nur zwischen den Schaltern in jedem Paar (das heißt S1, S3 und S4, S2) vorgesehen sein. Die zwei dualen Steuersignale U und L der Pegelgates enthalten die Totzeit bereits zwischen ihren U- und L-Signalen. Das System, das hierin beschrieben ist, führt diese Signale, um sicherzustellen, dass die Totzeit für den Multi-Pegel-Wandler korrekt verwendet wird.

[0047] Das Steuersignal für Systeme mit mehr als fünf Pegeln ist auf das Gatesteuersignal U codiert, während das Gatesteuersignal L aktiv einen Schalter anschaltet. Wenn dies getan wird, ist es wichtig, sicherzustellen, dass es für die Impulse genug Zeit gibt, ausgesendet zu werden, so dass das Gatesteuersignal L zumindest für die Zeit an sein muss, die benötigt wird, um die Signale auszusenden. Die Anordnung der Führung in dem System, das hierin beschrieben ist, bedeutet, dass der Mittelspannungspunkt (0 auf **Fig. 2**) verwendet wird, um die Steuerinformation zu senden, da diese Spannung immer weitergegeben wird, wenn von positiver zu negativer Spannung und umgekehrt bewegt wird. Das System stellt sicher, dass die untere AN-Zeit lang genug ist, um die Steuerführungsdaten herauszubekommen.

[0048] Das Schaltelement S3 wird während eines negativen Abschnitts an bleiben und das Schaltelement S2 wird während eines positiven Abschnitts an bleiben, so dass Strom von den äußeren Schaltern S1 und S4 zu/von dem Ausgang 11 fließen kann. Beispielsweise muss das Schaltelement S2 an sein, wenn das Schaltelement S1 geschlossen ist und der Strom in den Ausgangsknoten 11 fließen muss, da es keinen anderen Pfad gibt. D1 und die antiparallele Diode in S2 sind umgekehrt vorgeschaltet.

[0049] Die Softwarezyklusperiode beginnt an dem Zentrum der unteren AN-Periode, so dass eine Entscheidung hinsichtlich der Auswahl des „Pegelpaars“ getroffen werden kann und die Steuerimpulse vor der nächsten Aktivierung der äußeren Schalter S1 oder S4 ausgesendet werden können. Dies ist Teil der Entscheidung, die unteren Schalter Priorität annehmen zu lassen. Es ist sicherer, die Zeit, die bei Nullspannung verbracht wird, zu erweitern, um Informationen herüberzubekommen, als bei einer höheren Spannung. Die Nullausgangsspannung benötigt ein 50%-Einschalten der Gatesteuersignale L bis U, so dass es genug Zeit gibt, die Steuerimpulse zu senden.

[0050] Es gibt das Risiko einer Leitung von einer Ausgangsphase zu einer anderen ohne geeignete Impedanz, von einem Ausgang zur Erde, oder von dem Ausgang zu 0V oder entweder +Vdc/2 oder –

Vdc/2. In solchen Fällen wird ein Kurzschlussfehler auftreten und die Halbleiterschalter können beschädigt werden, bevor irgendeine Softwareschutzlösung in der Lage ist, sie abzuschalten. In dieser Situation ist ein schnelles Hardwareabschalten ($< 0,5 \mu\text{s}$) vorgesehen. Die Gatesteuerhardware koppelt direkt mit einer schnellen Überstromschutzleitung über den Aktivierungspuffer 26 in **Fig. 5**.

[0051] Impulsabfall/-verlängerung ist möglich, da sowohl das untere als auch das obere Gatesignal den Zustand zweimal pro Zyklus verändern muss, um irgendeine Änderung in dem „Pegelpaar“ geschehen zu lassen. Wenn entweder die maximale positive oder negative Spannung benötigt wird, wird der höchste Takt (das heißt das Maximum an Zeit) von entweder dem Schaltelement S1 (für positiv) oder dem Schaltelement S4 (für negativ) benötigt. Inverter-PWM-Erzeugung ist unüblicherweise um einen Mikroprozessorzähler herum basiert, der zwei Veränderungen von einem Zustand pro PWM-Periode (bekannt als die Schaltperiode) unterstützen muss, so dass auch wenn das Schaltelement S1 dazu gedacht ist, für die gesamte PWM-Periode an zu bleiben, ebenfalls eine kurze Periode (gleich der Totzeit) des Schaltelementes S3 bereitgestellt werden muss. Zweite Bedenken bestehen darin, dass Halbleiterschalter einen Verlust haben, der mit dem Verändern eines Zustands verbunden ist, bekannt als Schaltverlust. In einem Idealfall wird das Schaltelement S1 für die gesamte PWM-Periode angelassen. Von daher wird der Schaltverlust entfernt und 100%-Einschaltfaktor wird erreicht. Dies wird durch Impulsabfallen und Impulsverlängerung erreicht. Der kurze Schaltimpuls S3' wird fallengelassen und der Impuls S1' wird für die gesamte PWM-Periode angelassen. Das System codiert Informationen an speziellen Punkten in dem PWM-Ablaufdiagramm (beispielsweise t2 in **Fig. 3**). Das System ist entworfen, selbst auch dann zu arbeiten, wenn ein hohes Gatesteuersignal L nicht ausgesendet wird, zum Beispiel wenn der Impuls S3' fallengelassen wird. In diesem Fall wird eine neue Steuerführungsauswahl nicht abgetastet, so dass das Schaltelement S1 einfach an bleibt, was das ist, was gewünscht ist, da es eine Impulsverlängerung ist. Nur die Zeit für S1 (wenn positiv) oder S4 (wenn negativ) muss erweitert werden, was ein anderer Grund ist, warum das Gatesteuersignal U1 zu dem Schaltelement S1 oder S4 geführt wird, so dass sie verlängert werden können, während das Gatesteuersignal L zu dem Schaltelement S2 oder S3 geführt wird, die fallengelassen werden können, ohne unbeabsichtigt die Steuerführung zu verändern.

[0052] In einer alternativen Anordnung wird die Prozedur des oberen und unteren Schaltens, die mit Bezug auf **Fig. 3** beschrieben ist, umgedreht. In **Fig. 3** würde sich das Ablaufdiagramm um eine halbe PWM-Periode bewegen und das Gatesteuersignal U wür-

de vor dem Gatesteuersignal L vorlaufen (in **Fig. 3**, die oben beschrieben ist, läuft das Gatesteuersignal L vor). Von daher wird ein Gatesteuersignal L1 statt dem Gatesignal U1 abgeleitet, indem die Logik verwendet wird.

[0053] Es wird gewürdigt werden, dass die Logikfunktionalität, die in den **Fig. 4** und **Fig. 5** gezeigt ist, in alternativen Weisen implementiert werden kann und denselben funktionellen Effekt erreicht.

[0054] Wenn Komponenten als obere und untere bezeichnet werden, wird gewürdigt werden, dass diese Begriffe jeweils durch erstes und zweites ersetzt werden könnten. Insbesondere haben die Komponenten, die als obere oder untere bezeichnet werden, keinen Vorteil davon über- oder untereinander zu sein, aber diese Terminologie wird einfach verwendet, um die beschreibende Sprache in die Darstellung der Schaltungen in den Figuren einzubeziehen.

[0055] Die verschiedenen Verfahren, die oben beschrieben wurden, können durch ein Computerprogramm implementiert werden. Das Computerprogramm kann Computercode enthalten, der geeignet ist, einen Computer anzuweisen, die Funktionen von einem oder mehreren der verschiedenen Verfahren, die oben beschrieben sind, auszuführen. Das Computerprogramm und/oder der Code zum Ausführen solcher Verfahren kann an einem Gerät bereitgestellt werden, wie beispielsweise einem Computer, auf einem computerlesbaren Medium oder einem Computerprogrammprodukt. Das computerlesbare Medium könnte beispielsweise ein elektronisches, magnetisches, optisches, elektromagnetisches, Infrarot- oder Halbleitersystem oder ein Ausbreitungsmedium zur Datenübertragung, beispielsweise zum Herunterladen des Codes über das Internet sein. Alternativ könnte das computerlesbare Medium die Form eines physikalischen computerlesbaren Mediums wie eines Halbleiter- oder Solid-State-Speichers, magnetischen Band, einer entfernbaren Computerdiskette, einem Zufallszugriffsspeichers (RAM), einem nur-Lesespeicher (ROM), einer festen magnetischen Patte, einer optischen Platte, wie beispielsweise einer CD-ROM, CD-R/W oder DVD annehmen.

[0056] Ein Gerät wie ein Computer kann in Übereinstimmung mit solchem Code konfiguriert sein, einen oder mehrere Prozesse in Übereinstimmung mit den verschiedenen Verfahren, die hierin diskutiert sind, auszuführen. Ein solches Gerät kann die Form eines Datenverarbeitungssystems annehmen. Ein solches Datenverarbeitungssystem kann ein verteiltes System sein. Beispielsweise kann ein solches Datenverarbeitungssystem über ein Netzwerk verteilt sein.

Patentansprüche

1. Verfahren zum Steuern von zumindest vier Schaltkomponenten eines Multi-Pegel-Wandlers, wobei das Verfahren aufweist:
Empfangen eines ersten und eines zweiten Steuersignals zum Steuern eines Zwei-Pegel-Wechselrichters, der zwei Schaltkomponenten hat; und
Verarbeiten des ersten und des zweiten empfangenen Steuersignals, um zumindest vier Steuersignale für die Schaltkomponenten zu erzeugen, um die Schaltkomponenten eines Multi-Pegel-Wandlers zu schalten.
2. Verfahren gemäß Anspruch 1, welches weiterhin das Steuern von jedem der zumindest vier Schaltkomponenten unter Verwendung eines jeweiligen Steuersignals der zumindest vier erzeugten Steuersignale aufweist.
3. Verfahren gemäß Anspruch 1 oder Anspruch 2, wobei die erzeugten zumindest vier Steuersignale ein Steuersignal für jede Schaltkomponente des Multi-Pegel-Wandlers aufweisen.
4. Verfahren gemäß einem der Ansprüche 1 bis 3, wobei ein Steuersignal, das von dem ersten der empfangenen Steuersignale abgeleitet ist, verwendet wird, um die Steuersignale für die Schaltkomponenten zu erzeugen.
5. Verfahren gemäß Anspruch 4, wobei das abgeleitete Steuersignal eine Kombination des ersten und des zweiten empfangenen Steuersignals ist, wobei das zweite der empfangenen Steuersignale invertiert ist.
6. Verfahren gemäß Anspruch 5, wobei das erste und das zweite empfangene Steuersignal durch ein UND-Logikgatter kombiniert werden.
7. Verfahren gemäß einem der Ansprüche 4 bis 6, wobei eine Anzahl von Impulsen in dem abgeleiteten Steuersignal verwendet wird, wenn das zweite Steuersignal aktiv ist, um zu bestimmen, welche der Schaltkomponenten in einer nächsten Schaltperiode aktiviert wird.
8. Verfahren gemäß Anspruch 7, wobei eine erste Menge an Schaltkomponenten aktiviert wird, wenn die Anzahl von Impulsen in dem abgeleiteten Steuersignal 1 oder mehr ist, und eine zweite Menge an Schaltkomponenten aktiviert wird, wenn die Anzahl von Impulsen in dem abgeleiteten Steuersignal 0 ist.
9. Verfahren gemäß einem der Ansprüche 4 bis 8, wobei das abgeleitete Steuersignal eingerichtet ist, die Schaltelemente, die mit der höchsten Spannung und der niedrigsten Spannung verbunden sind, zu schalten.

10. Verfahren gemäß einem der Ansprüche 4 bis 8, wobei das zweite empfangene Steuersignal eingerichtet ist, die Schaltkomponenten innerhalb eines mittleren Bereichs eines Gesamtspannungsbereichs des Multi-Pegel-Wandlers zu schalten.

11. Verfahren gemäß einem der Ansprüche 4 bis 10, welches weiterhin das Ableiten eines Führungssignals von den zwei empfangenen Steuersignalen aufweist, wobei das Führungssignal verwendet wird, um die Steuersignale für die Schaltkomponenten zu erzeugen, indem eines von dem zweiten der empfangenen Steuersignale und dem abgeleiteten Steuersignal zu einer jeweiligen Schaltkomponente des Multi-Pegel-Wandlers geführt wird.

12. Verfahren gemäß Anspruch 11, wobei das Führungssignal verriegelt ist, wenn das zweite der empfangenen Steuersignale hoch ist, das Führungssignal durch eine steigende Flanke des abgeleiteten Steuersignals zurückgesetzt ist, und das Führungssignal bei einer fallenden Flanke des zweiten der empfangenen Steuersignale abgetastet wird.

13. Verfahren gemäß Anspruch 11 oder Anspruch 12, wobei eine Totzeit zwischen Schaltkomponenten vorgesehen ist, die aktiv geschaltet werden, und das Führungssignal diese Totzeit beibehält, wenn es die Steuersignale führt.

14. Verfahren gemäß einem der vorhergehenden Ansprüche, wobei das erste und das zweite Steuersignal durch einen Mikroprozessor erzeugt werden und von dem Mikroprozessor über einen jeweiligen Isolationsschaltkreis und Pegelschiebeeinheiten empfangen werden.

15. Verfahren gemäß Anspruch 14, wobei der jeweilige Isolationsschaltkreis und die Pegelschiebeeinheiten durch jeweilige Optokoppler bereitgestellt werden.

16. Steuerlogiksystem zum Steuern von zumindest vier Schaltkomponenten eines Multi-Pegel-Wandlers, wobei das Steuerlogiksystem aufweist: einen Eingang, der eingerichtet ist, ein erstes und ein zweites Steuersignal zum Steuern eines Zwei-Pegel-Wechselrichters, der zwei Schaltkomponenten hat, zu empfangen; und einen Logikprozessor, der eingerichtet ist, das erste und das zweite empfangene Steuersignal zu verarbeiten, um zumindest vier Steuersignale für die Schaltkomponenten zu erzeugen, um die Schaltkomponenten eines Multi-Pegel-Wandlers zu steuern.

17. Multi-Pegel-Wandlersystem, welches aufweist: ein Steuerlogiksystem gemäß Anspruch 16; und einen Multi-Pegel-Wandler, der vier oder mehr Schaltkomponenten hat, die jeweils eingerichtet sind, durch eines von zumindest vier Steuersignalen für

die Schaltkomponenten, die durch das Steuerlogiksystem erzeugt werden, geschaltet zu werden.

18. Computerlesbares Medium, welches computerlesbaren Code aufweist, der im Einsatz betreibbar ist, einen Computer anzuweisen, das Verfahren gemäß einem der Ansprüche 1 bis 15 auszuführen.

Es folgen 5 Seiten Zeichnungen

Anhängende Zeichnungen

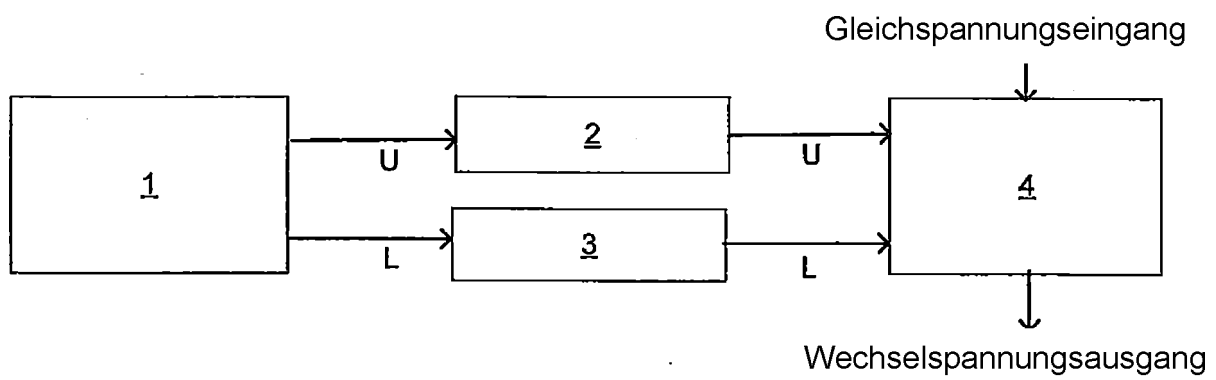


Fig. 1

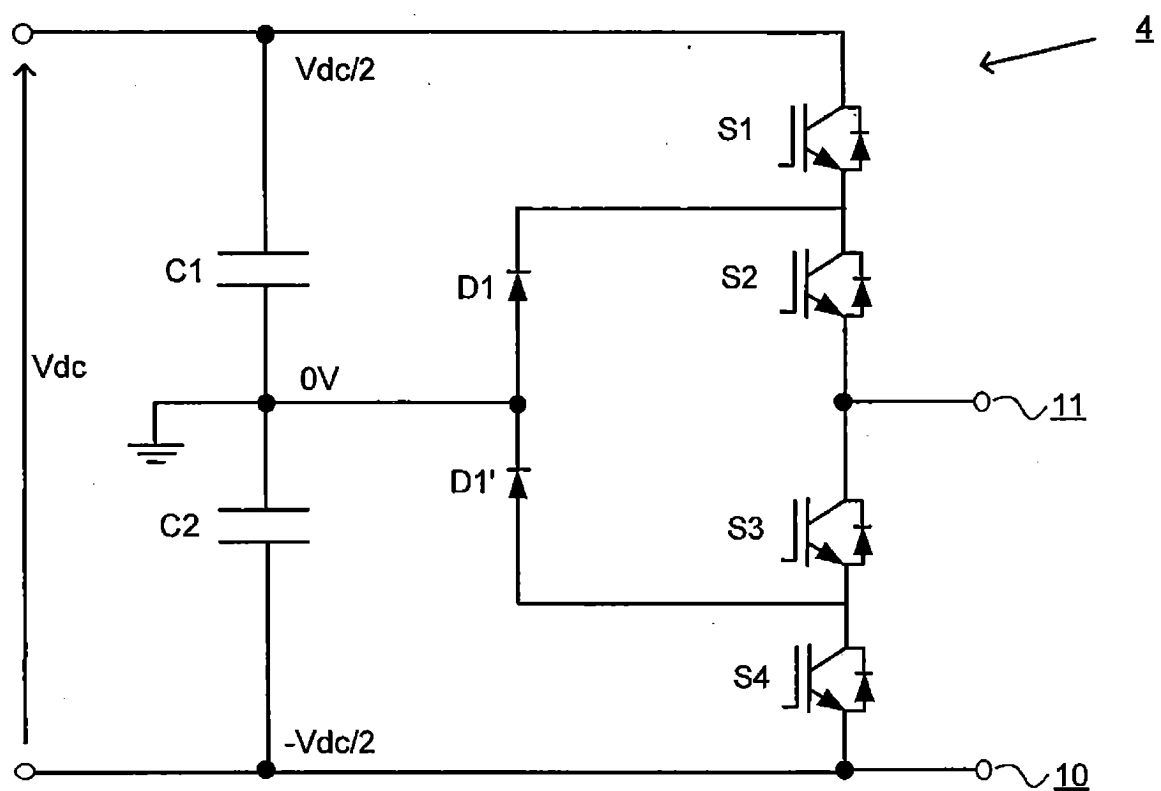


Fig. 2

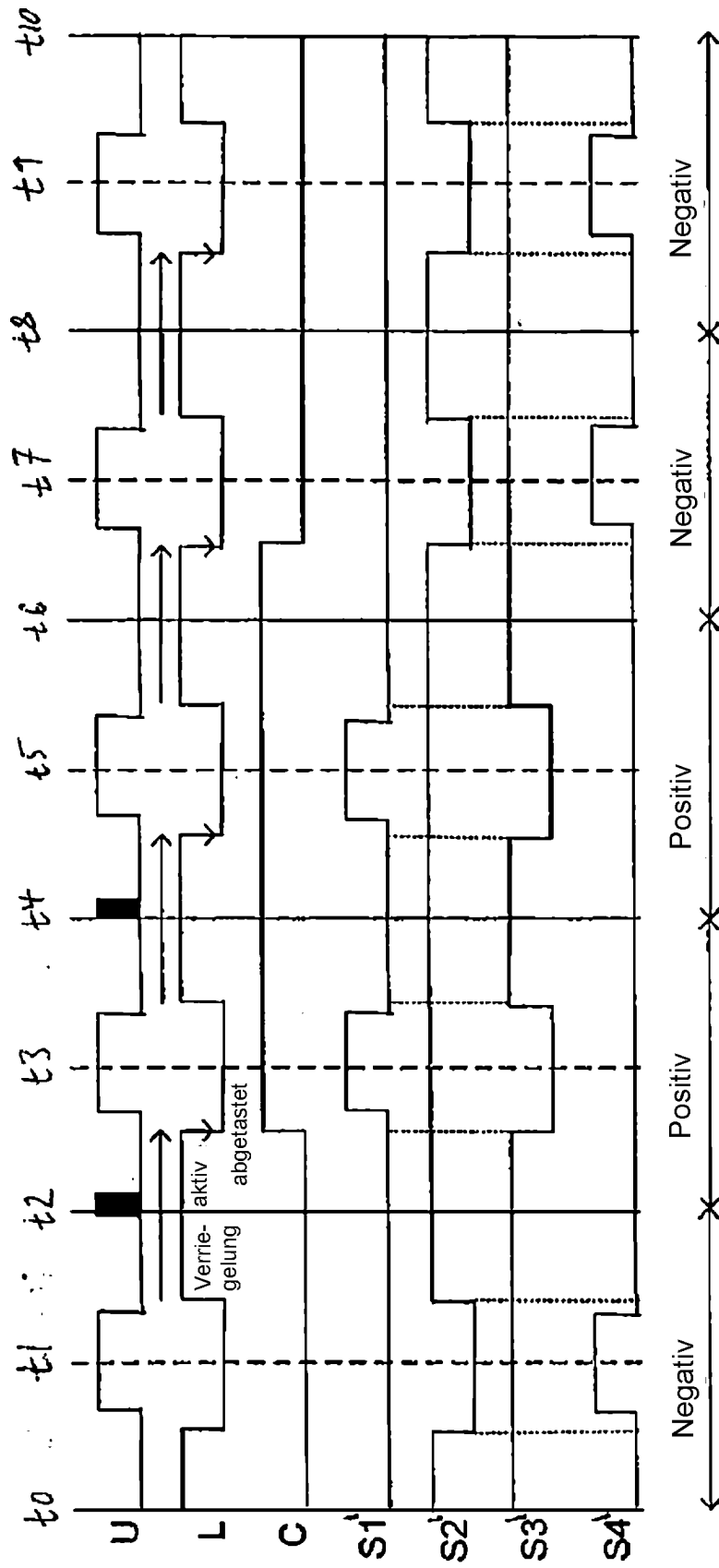


Fig. 3

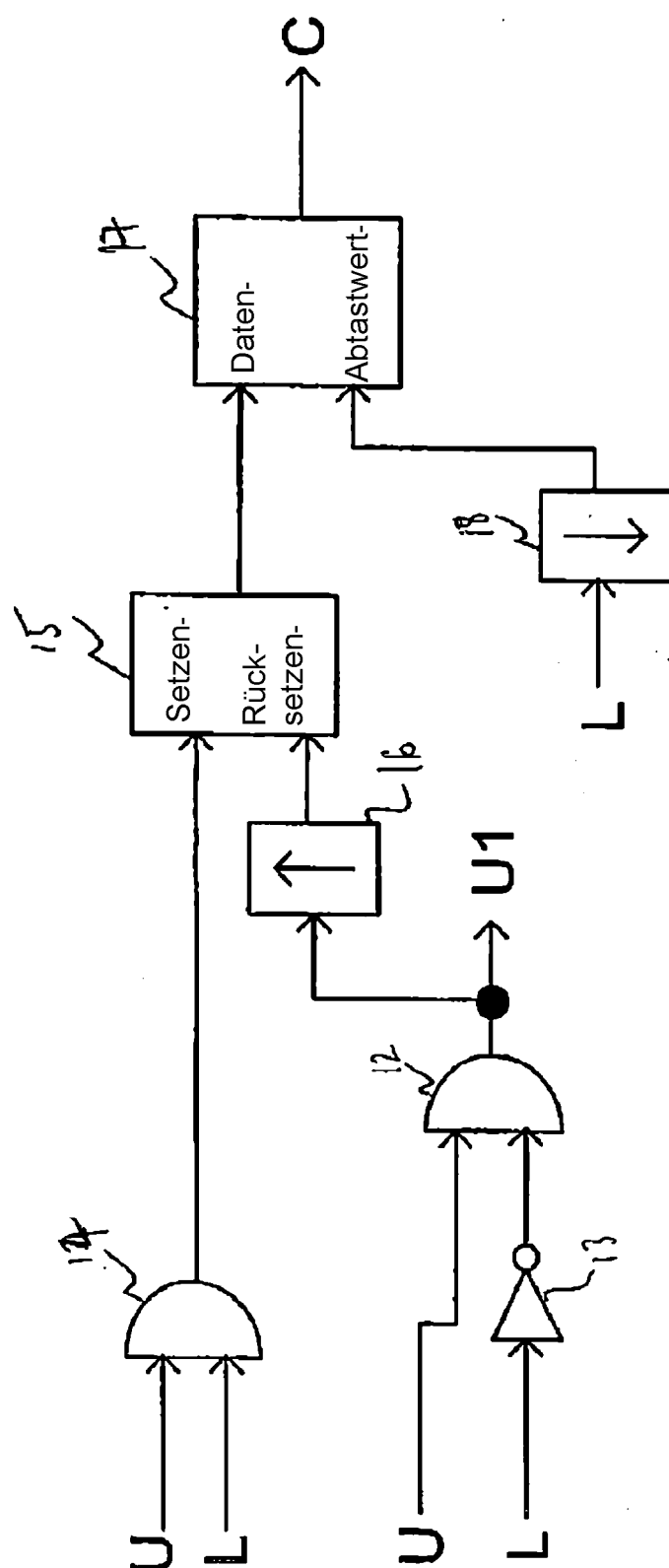


Fig. 4

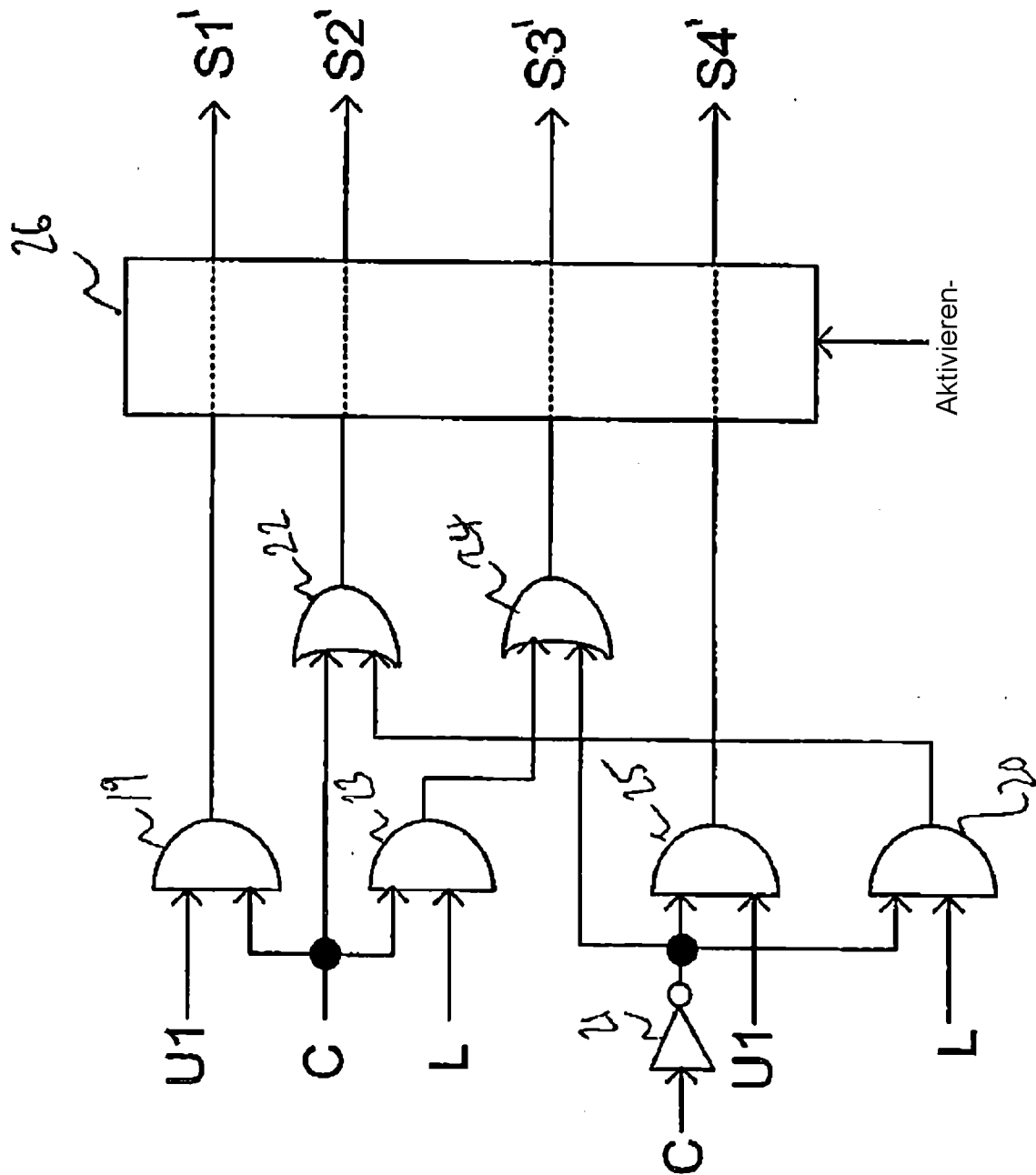


Fig. 5