

(19)日本国特許庁(JP)

(12)特許公報(B1)

(11)特許番号  
特許第7216846号  
(P7216846)

(45)発行日 令和5年2月1日(2023.2.1)

(24)登録日 令和5年1月24日(2023.1.24)

(51)国際特許分類 F I  
H 0 2 M 3/155(2006.01) H 0 2 M 3/155 H

請求項の数 7 (全12頁)

(21)出願番号	特願2021-572662(P2021-572662)	(73)特許権者	000191238 日清紡マイクロデバイス株式会社 東京都中央区日本橋横山町3-10
(86)(22)出願日	令和3年6月24日(2021.6.24)	(74)代理人	100101454 弁理士 山田 卓二
(86)国際出願番号	PCT/JP2021/023988	(74)代理人	100132241 弁理士 岡部 博史
審査請求日	令和3年12月7日(2021.12.7)	(72)発明者	井村 雅行 大阪府池田市姫室町13番1号 リコー 電子デバイス株式会社内
		審査官	東 昌秋

最終頁に続く

(54)【発明の名称】 電力変換装置の制御回路

(57)【特許請求の範囲】

【請求項1】

第1の直流電圧を所定の第2の直流電圧に変換して出力電圧として出力する電力変換装置の制御回路であって、

所定の基準電圧を発生する基準電圧源と、

前記出力電圧又はそれに対応する電圧を充電するキャパシタを有し、前記キャパシタの電圧に基づいて、前記出力電圧の低下を検出して検出信号を出力する出力電圧検出回路と、

前記基準電圧及び前記出力電圧の設定電圧に応じて分圧比が設定されて互いに直列に接続された2個の分圧抵抗を含み、前記出力電圧を分圧した帰還電圧を出力する帰還電圧出力回路と、

前記基準電圧を前記帰還電圧と比較し、比較結果を示す比較結果信号を出力する電圧比較回路と、

前記比較結果信号及び前記出力電圧検出回路の検出信号に応じて間欠動作の制御を行う駆動制御回路を備え、

前記間欠動作は、前記電力変換装置が、電圧の変換を行うためのスイッチング動作を行うスイッチング期間と当該スイッチング動作を停止するスイッチング停止期間とを繰り返すものであり、

前記出力電圧検出回路は、前記スイッチング期間において、前記キャパシタが前記出力電圧から所定の低下分を減算した電圧、もしくは前記減算した電圧に対応する電圧を充電し、前記スイッチング停止期間において、前記キャパシタの電圧と前記出力電圧に基づい

て、前記出力電圧の低下を検出して前記検出信号を出力する電力変換装置の制御回路。

【請求項 2】

前記駆動制御回路は、前記比較結果信号に基づいて、前記帰還電圧が前記基準電圧以上であることが所定時間継続したときに、前記基準電圧源と、前記帰還電圧出力回路及び前記電圧比較回路のうちのいずれかの動作を停止する、

請求項 1 に記載の電力変換装置の制御回路。

【請求項 3】

前記駆動制御回路は、前記検出信号に基づいて、前記基準電圧源と、前記帰還電圧出力回路及び前記電圧比較回路の動作を再開させる、

請求項 2 に記載の電力変換装置の制御回路。

10

【請求項 4】

請求項 1 ~ 3 のうちのいずれか 1 つに記載の電力変換装置の制御回路を備える電力変換装置であって、

前記電力変換装置は、昇圧型 D C D C コンバータである、  
電力変換装置。

【請求項 5】

第 1 の直流電圧を所定の第 2 の直流電圧に変換して出力電圧として出力する電力変換装置の制御方法であって、

基準電圧源が、所定の基準電圧を発生するステップと、

前記出力電圧又はそれに対応する電圧を充電するキャパシタを有し、前記キャパシタの電圧に基づいて、前記出力電圧の低下を検出して検出信号を出力するステップと、

20

帰還電圧出力回路が、前記基準電圧及び前記出力電圧の設定電圧に応じて分圧比が設定されて互いに直列に接続された 2 個の分圧抵抗を用いて、前記出力電圧を分圧した帰還電圧を出力するステップと、

電圧比較回路が、前記基準電圧を前記帰還電圧と比較し、比較結果を示す比較結果信号を出力するステップと、

前記比較結果信号及び前記検出信号に応じて間欠動作の制御を行うステップとを含み、  
前記間欠動作は、前記電力変換装置が、電圧の変換を行うためのスイッチング動作を行うスイッチング期間と当該スイッチング動作を停止するスイッチング停止期間とを繰り返すものであり、

30

前記検出信号を出力するステップは、前記スイッチング期間において、前記キャパシタが前記出力電圧から所定の低下分を減算した電圧、もしくは前記減算した電圧に対応する電圧を充電し、前記スイッチング停止期間において、前記キャパシタの電圧と前記出力電圧に基づいて、前記出力電圧の低下を検出して前記検出信号を出力することを含む電力変換装置の制御方法。

【請求項 6】

前記比較結果信号に基づいて、前記帰還電圧が前記基準電圧以上であることが所定時間継続したときに、前記基準電圧源と、前記帰還電圧出力回路及び前記電圧比較回路のうちのいずれかの動作を停止するステップをさらに含む、

請求項 5 に記載の電力変換装置の制御方法。

40

【請求項 7】

前記検出信号に基づいて、前記基準電圧源と、前記帰還電圧出力回路及び前記電圧比較回路の動作を再開させるステップをさらに含む、

請求項 6 に記載の電力変換装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば D C D C コンバータ等の電力変換装置の制御回路及び制御方法と、前記電力変換装置とに関する。

【背景技術】

50

## 【 0 0 0 2 】

D C D Cコンバータの制御方法の一つにV F M ( Variable Frequency Modulation ) 制御と呼ばれるものがある。V F M制御は負荷電流の大きさに応じてスイッチング周波数を変動させる制御方法である。負荷電流が小さいときは周波数を低くなり、スイッチング動作停止区間が発生する。このときに不必要な回路に対する電源供給を停止することで、装置全体の消費電流を減らし、軽負荷時の効率を上げる技術が既に知られている。

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 0 3 】

【 文献 】 特許第 6 4 6 0 5 9 2 号 公 報

10

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 4 】

しかし、今までのV F M制御のD C D Cコンバータでは、スイッチング動作停止区間においても出力電圧を維持するために、負荷電流による出力電圧の低下を検出する必要がある。従って、基準電圧源、帰還抵抗、V F M制御コンパレータに対する電源供給を停止することができず、これらの消費電流により軽負荷時の効率が低下するという問題点があった。

## 【 0 0 0 5 】

本発明の目的は以上の問題点を解決し、基準電圧源、帰還抵抗及びV F M制御コンパレータを含めた不要回路の電源供給を停止することができ、従来技術に比較して軽負荷時の効率を高めることができる電力変換装置の制御回路及び制御方法、並びに電力変換装置を提供することにある。

20

## 【 課題を解決するための手段 】

## 【 0 0 0 6 】

本発明の一態様に係る電力変換装置の制御回路は、

第 1 の直流電圧を所定の第 2 の直流電圧に変換して出力電圧として出力する電力変換装置の制御回路であって、

所定の基準電圧を発生する基準電圧源と、

前記出力電圧又はそれに対応する電圧を充電するキャパシタを有し、前記キャパシタの電圧に基づいて、前記出力電圧の低下を検出して検出信号を出力する出力電圧検出回路と、

30

前記基準電圧及び前記出力電圧に応じて分圧比が設定されて互いに直列に接続された 2 個の分圧抵抗を含み、前記出力電圧を分圧した帰還電圧を出力する帰還電圧出力回路と、

前記基準電圧を前記帰還電圧と比較し、比較結果を示す比較結果信号を出力する電圧比較回路と、

前記比較結果信号及び前記検出信号に応じて間欠動作の制御を行う駆動制御回路とを備える。

## 【 発明の効果 】

## 【 0 0 0 7 】

従って、本発明に係る電力変換装置の制御回路等によれば、新たにキャパシタを用いた出力電圧検出回路を使用することで、基準電圧源、帰還抵抗及びV F M制御コンパレータを含めた不要回路に対する電源供給を停止することができ、従来技術に比較して軽負荷時の効率を高めることができる。

40

## 【 図面の簡単な説明 】

## 【 0 0 0 8 】

【 図 1 】 実施形態に係る昇圧型D C D Cコンバータ 1 とその制御回路 2 の構成例を示す回路図である。

【 図 2 A 】 図 1 の出力電圧検出回路 2 0 の構成例及びフェーズ 1 のスイッチング期間の動作例を示す回路図である。

【 図 2 B 】 図 1 の出力電圧検出回路 2 0 の構成例及びフェーズ 2 のスイッチング停止期間

50

の動作例を示す回路である。

【図3】図1の制御回路2により実行される昇圧型DCDCコンバータの制御処理を示すフローチャートである。

【図4】図1の昇圧型DCDCコンバータ1及び制御回路2の動作を示すタイミングチャートである。

【発明を実施するための形態】

【0009】

以下、本発明に係る実施形態及び変形例について図面を参照して説明する。なお、同一又は同様の構成要素については同一の符号を付している。

【0010】

(発明者の知見)

本発明に係る実施形態は、昇圧型DCDCコンバータのスイッチング停止区間における構成及び制御動作に際して、以下の特徴を有する。すなわち、出力電圧検出コンパレータに内蔵されたキャパシタに、目標とする出力電圧を保持しておく。スイッチング停止区間では保持された前記電圧を基準電圧とし、出力電圧のモニターは帰還抵抗による分圧を介さずに直接行うため、基準電圧源及び帰還抵抗の動作は不要となり、それらに対する電源供給を停止できる。従って、軽負荷時の効率をより高めることができることが特徴になっている。

【0011】

(実施形態)

図1は実施形態に係る昇圧型DCDCコンバータ1とその制御回路2の構成例を示す回路図である。図1において、昇圧型DCDCコンバータ1は非絶縁昇圧型DCDCコンバータであって、PチャンネルMOSトランジスタQ1、NチャンネルトランジスタQ2と、ゲートドライバ回路14とを備えて構成される。また、DCDCコンバータ1の制御回路2は、基準電圧源11と、VFM制御コンパレータ12と、駆動制御回路13と、帰還用分圧抵抗R1、R2と、スイッチ15と、出力電圧検出回路20とを備えて構成される。ここで、帰還用分圧抵抗R1、R2は、帰還電圧出力回路を構成する。

【0012】

ここで、コンパレータ12は、非反転入力端子に印加される第1の電圧を反転入力端子に印加される第2の電圧と比較して、第1の電圧 > 第2の電圧のときに、比較結果信号であるHレベルの出力信号Sc1を出力する一方、第1の電圧 < 第2の電圧のときに、比較結果信号であるLレベルの出力信号Sc1を出力する。出力電圧検出回路20は、図2A及び図2Bで図示された内蔵キャパシタC1、C2を含むスイッチトキャパシタ回路を用いた回路であって、出力電圧Vout又はそれに対応する電圧を充電する内蔵キャパシタC1、C2の電圧に基づいて、出力電圧Voutの低下を検出して、検出結果を示すHレベル又はLレベルの出力信号Sc2を発生して出力する。

【0013】

駆動制御回路13は所定の制御ロジック回路で構成され、入力される出力信号Sc1、Sc2に基づいて、後述するように、昇圧動作時にMOSトランジスタQ1、Q2をオンオフ制御するための駆動制御信号をゲートドライバ回路14に出力するとともに、昇圧動作を実行するON信号を表すHレベルのON/OFF信号Sonoffを出力する一方、昇圧の非動作時に昇圧動作を停止するOFF信号を表すLレベルのON/OFF信号Sonoffを出力する。さらに、ゲートドライバ回路14は、駆動制御回路13からの駆動制御信号に基づいて、MOSトランジスタQ1又はQ2のゲートに所定のゲート信号を印加することで、オンオフ制御する。

【0014】

一般的なVFM制御の昇圧DCDCコンバータは、主に軽負荷時の効率を重視するアプリケーションに使用され、基準電圧源11、VFM制御コンパレータ12、例えば制御ロジック回路で構成される駆動制御回路13、ゲート電圧を増幅して駆動するゲートドライバ回路14、MOSトランジスタQ1、Q2、帰還用分圧抵抗R1、R2、インダクタ1

10

20

30

40

50

8を備えている。また、本実施形態における追加の構成として、内蔵キャパシタC1、C2（図2A、図2B参照）を有する出力電圧検出回路20とスイッチ15を備えている。ここで、入力端子T1と出力端子T2との間に、インダクタ18と、MOSトランジスタQ1の直列回路が挿入され、インダクタ18とMOSトランジスタQ1のドレインとの接続点はMOSトランジスタQ2のソース及びドレインを介して接地される。なお、好ましくは、入力端子T1と接地との間、並びに、出力端子T2と接地との間には、例えば平滑用キャパシタ（図示せず）が接続される。

#### 【0015】

まず、一般的なVFM制御の昇圧DCDCコンバータの動作を以下に説明する。

#### 【0016】

DCDCコンバータとは入力電圧 $V_{in}$ 及び負荷電流が変動しても一定の出力電圧 $V_{out}$ を出力する電圧レギュレータの一例である。特に、出力電圧が入力電圧よりも高い場合は昇圧DCDCコンバータ1を用いる。前提としてスイッチ15はオン状態とし、一例として入力電圧 $V_{in}$ として1.5Vが印加され、出力電圧 $V_{out}$ として、設定された3Vの電圧が出力されるとする。また、基準電圧源11の基準電圧 $V_{ref}$ は1Vに設定され、帰還用分圧抵抗 $R1$ 、 $R2$ の分圧比は、 $R1 : R2 = 2 : 1$ で出力電圧の3分の1が帰還電圧 $V_{fb}$ として出力される。DCDCコンバータ1は基準電圧 $V_{ref} =$ 帰還電圧 $V_{fb}$ となるように帰還制御を行う。従って、基準電圧 $V_{ref} \times 3 = 3V$ が出力電圧の設定値となる。ここで、初期状態として、MOSトランジスタQ1、Q2をオフ状態とする。

#### 【0017】

まず、出力電圧 $V_{out}$ の出力端子T2に接続された負荷装置などの負荷が増大して出力電圧 $V_{out}$ が低下した場合、帰還用分圧抵抗 $R1$ 、 $R2$ にて分圧された帰還電圧 $V_{fb}$ も低下する。例えば、出力電圧 $V_{out}$ が3Vから2.7Vに低下した場合、帰還電圧 $V_{fb}$ は0.9Vとなる。このとき、VFM制御コンパレータ12は、帰還電圧 $V_{fb} = 0.9V$ を基準電圧 $V_{ref} = 1V$ と比較して、 $V_{fb} < V_{ref}$ となり、出力電圧 $V_{out}$ が低下したと判定してVFM制御コンパレータ12の出力信号 $S_{c1}$ をHレベルからLレベルに反転させる。次に、駆動制御回路13は、前記反転したLレベルの出力信号 $S_{c1}$ を受信して、入力電圧 $V_{in}$ から出力電圧 $V_{out}$ への昇圧動作を開始する。ここで、主として、以下の3つの動作フェーズP1～P3がある。

#### 【0018】

フェーズP1として、MOSトランジスタQ2を、ゲートドライバ回路14からのゲート信号によりオンさせる。このとき、入力電圧 $V_{in}$ により、インダクタ18及びMOSトランジスタQ2を介して接地（GND）方向に電流が流れることにより、インダクタ18に磁界が発生してエネルギーがチャージされる。

#### 【0019】

フェーズP2として、ゲートドライバ回路14からのゲート信号により、MOSトランジスタQ2はオフされ、MOSトランジスタQ1はオンされる。このとき、インダクタ18には逆起電力が発生し、入力電圧 $V_{in}$ の入力端子T1から出力電圧 $V_{out}$ の出力端子T2の方向へMOSトランジスタQ1を介して電流が流れることにより、低下した出力電圧が上昇する。

#### 【0020】

フェーズP3として、前記の逆起電力による電流が流れなくなった時点で、MOSトランジスタQ1がオフされる。

#### 【0021】

以上の動作を駆動制御回路13は繰り返して行う。出力電圧 $V_{out}$ が所望の3V以上上昇し、帰還電圧 $V_{fb}$ が基準電圧 $V_{ref}$ 以上となり、VFM制御コンパレータ12の信号が再度反転した場合、駆動制御回路13は昇圧動作を停止する。

#### 【0022】

一般的に、昇圧動作を停止している場合、駆動制御回路13は不要な回路ブロックに対

10

20

30

40

50

して、OFF信号を表すLレベルのON/OFF信号 $S_{onoff}$ を出力することで、当該昇圧型DCDCコンバータの消費電流を抑制し、軽負荷時の効率を高くする。しかし、出力電圧 $V_{out}$ の低下を検出するための、基準電圧源11、VFM制御コンパレータ12、帰還用分圧抵抗 $R_1$ 、 $R_2$ の動作を停止させることはできない。

#### 【0023】

本実施形態では、昇圧動作停止時に、出力電圧検出回路20の動作を停止し、帰還用分圧抵抗 $R_1$ 、 $R_2$ に設けられたスイッチ15をオフさせることを特徴としている。具体的には、昇圧動作が停止して一定時間を経た場合、駆動制御回路13は基準電圧源11、VFM制御コンパレータ12及びスイッチ15にもOFF信号を表すLレベルのON/OFF信号 $S_{onoff}$ を出力し、出力電圧 $V_{out}$ の低下検出は出力電圧検出回路20にて行うように構成した。

10

#### 【0024】

図2Aは図1の出力電圧検出回路20の構成例及びフェーズ1のスイッチング期間の動作例を示す回路である。また、図2Bは図1の出力電圧検出回路20の構成例及びフェーズ2のスイッチング停止期間の動作例を示す回路である。

#### 【0025】

まず、図2A及び図2Bを参照して、出力電圧検出回路20の構成について以下に説明する。

#### 【0026】

出力電圧検出回路20は、スイッチドキャパシタ回路を用いた回路であって、直流電圧源21、22と、コンパレータ23と、互いに直列に接続された2個のインバータ31、32からなるバッファ回路24と、内蔵キャパシタ $C_1$ 、 $C_2$ と、スイッチ $SW_1 \sim SW_4$ と、制御回路30とを備えて構成される。ここで、スイッチ $SW_1 \sim SW_4$ は例えばMOSトランジスタで構成される。

20

#### 【0027】

図2A及び図2Bにおいて、出力電圧検出回路20は、直流電圧源21、22と、コンパレータ23と、制御回路30と、インバータ31、32より構成されるバッファ回路24と、スイッチドキャパシタである内蔵キャパシタ $C_1$ 、 $C_2$ とを備えて構成される。直流電圧源21は電圧 $V_{LS}$ を有し、直流電圧源22は電圧 $V_{DRP}$ を有する。

#### 【0028】

出力電圧 $V_{out}$ は直流電圧源21の正極及び内蔵キャパシタ $C_1$ の一端に接続され、直流電圧源21の負極はスイッチ $SW_1$ を介して内蔵キャパシタ $C_1$ の他端及びコンパレータ23の非反転入力端子に接続される。直流電圧源22の正極はスイッチ $SW_2$ を介してスイッチ $SW_4$ の一端及び内蔵キャパシタ $C_2$ の一端に接続され、直流電圧源22の負極及びスイッチ $SW_4$ の他端は接地される。内蔵キャパシタ $C_2$ の他端はコンパレータ23の反転入力端子に接続されるとともに、スイッチ $SW_3$ を介してコンパレータ23の出力端子に接続される。コンパレータ23の出力端子からの出力信号はバッファ回路24を介して、出力信号 $S_{c2}$ として出力される。

30

#### 【0029】

制御回路30は当該スイッチドキャパシタ回路の動作を制御するための、互いに反転関係を有する制御信号 $SS_1$ 、 $SS_2$ を発生する。制御回路30は、フェーズ1のスイッチング期間において、Hレベルの制御信号 $SS_1$ をスイッチ $SW_1 \sim SW_3$ に出力することでスイッチ $SW_1 \sim SW_3$ をオンする一方、Lレベルの制御信号 $SS_2$ をスイッチ $SW_4$ に出力することでスイッチ $SW_4$ をオフする。また、制御回路30は、フェーズ2のスイッチング期間において、Lレベルの制御信号 $SS_1$ をスイッチ $SW_1 \sim SW_3$ に出力することでスイッチ $SW_1 \sim SW_3$ をオフする一方、Hレベルの制御信号 $SS_2$ をスイッチ $SW_4$ に出力することでスイッチ $SW_4$ をオンする。ここで、スイッチング期間とスイッチング停止期間とは互いに交互に繰り返される。

40

#### 【0030】

以上のように構成された出力電圧検出回路20においては、図2Aのフェーズ1のスイ

50

ツチング期間において、スイッチ  $S W 1 \sim S W 3$  がオンされ、スイッチ  $S W 4$  がオフされる。ここで、出力電圧  $V o u t = V O U T 1$  とする。コンパレータ 23 の出力信号をスイッチ  $S W 3$  を介して反転入力端子に帰還することで、コンパレータ 23 の 2 個の入力端子は同電位となる。そして、それに応じて 2 つの内蔵キャパシタ  $C 1, C 2$  には、定常状態で、図 2 A で示した電圧が充電される。すなわち、内蔵キャパシタ  $C 1$  は電圧  $V L S$  に充電され、内蔵キャパシタ  $C 2$  は電圧  $(V O U T 1 - V L S - V D R P)$  に充電される。

【 0 0 3 1 】

次いで、図 2 B のフェーズ 2 のスイッチング停止期間においては、スイッチ  $S W 1 \sim S W 3$  がオフされ、スイッチ  $S W 4$  がオンされる。ここで、出力電圧  $V o u t = V O U T 2$  とし、コンパレータ 23 の 2 個の入力端子における電位に注目すると、

[ 数 1 ]

$$V O U T 2 - V L S < V O U T 1 - V L S - \underline{V D R P}$$

すなわち、

[ 数 2 ]

$$V O U T 2 < V O U T 1 - V D R P$$

となったときに、コンパレータ 23 の出力信号はロジック反転する。つまり、出力電圧  $V o u t$  はスイッチング期間の電圧  $V O U T 1$  から電圧  $V D R P$  だけ低下した時点で反転する。

【 0 0 3 2 】

以上説明したように、出力電圧検出回路 20 のフェーズ 2 において、出力電圧  $V o u t$  がフェーズ 1 の出力電圧  $V o u t = V O U T 1$  から電圧  $V D R P$  だけ下がったとき、コンパレータ 23 の出力信号が反転する。ここで、電圧  $V L S$  及びコンパレータ 23 の出力電圧をレベルシフトさせる理由は、コンパレータ 23 の同相入力レベルを任意の値にすることで、コンパレータ 23 の設計を容易にするためである。なお、フェーズ 2 のときは電圧  $V D R P$  及び電圧  $V L S$  の基準電圧出力は不要であり、消費電流を下げるために、直流電圧源 21, 22 の電源をオフ状態にすることが好ましい。

【 0 0 3 3 】

出力電圧検出回路 20 においては、出力電圧  $V o u t$  は内蔵キャパシタ  $C 1$  に印加されて、内蔵キャパシタ  $C 1$  が予め充電される。その両端電圧  $V c 1$  はコンパレータ 23 の非反転入力端子に印加されて、出力電圧  $V o u t$  の低下検出を行う。すなわち、内蔵キャパシタ  $C 2$  に所望の出力電圧  $V o u t$ 、例えば 3 V があらかじめチャージされ、その電圧をコンパレータ 23 の反転入力端子に印加してコンパレータ 23 の基準電圧として用いる。従って、基準電圧源 11 が不要となり、その動作を停止することができる。一方で、出力電圧  $V o u t$  を直接比較することにより帰還用分圧抵抗  $R 1, R 2$  にて分圧する必要はなくなるため、スイッチ 15 をオフすることができる。その結果、それらの消費電流を抑制することができる、軽負荷時の効率をさらに高くすることができる。

【 0 0 3 4 】

図 3 は図 1 の制御回路 2 により実行される昇圧型 D C D C コンバータの制御処理を示すフローチャートである。ここで、V F M 制御型昇圧 D C D C コンバータ 1 について、説明を容易にするため、スタートアップが完了し出力電圧が設定電圧に到達済の場合を開始状態と仮定する。また、ステップ S 1 の前置処理において、ON 信号を表す H レベルの ON / OFF 信号  $S o n o f f$  が出力されているものとする。

【 0 0 3 5 】

図 3 において、まず、出力端子 T 2 に接続された負荷装置により出力電圧  $V o u t$  が低下した場合、帰還用分圧抵抗  $R 1, R 2$  により出力電圧  $V o u t$  が分圧された帰還電圧  $V f b$  も低下する。帰還電圧  $V f b$  が基準電圧  $V r e f$  を下回ると (ステップ S 1 で Y E S)、M O S トランジスタ  $Q 2, Q 1$  をオン / オフさせ、昇圧動作を開始する (ステップ S 2)。次いで、昇圧動作により出力電圧  $V o u t$  が上昇し、帰還電圧  $V f b$  が基準電圧  $V r e f$  以上となった場合 (ステップ S 3 で Y E S)、昇圧動作を停止する (ステップ 4 5)

【 0 0 3 6 】

10

20

30

40

50

さらに、昇圧停止後、帰還電圧  $V_{fb}$  が基準電圧  $V_{ref}$  以上になった状態が所定時間（例えば、5～10秒程度）継続した場合、軽負荷時と判断し（ステップS5でYES）、基準電圧源11、VFM制御コンパレータ12、スイッチ15、その他不要な回路ブロックに対してOFF信号を表すLレベルのON/OFF信号  $S_{onoff}$  を出力し（ステップS6）ステップS7に進む。一方、ステップS5でNOのときはステップS1に戻る。

【0037】

ステップS7では、出力電圧検出回路20により出力電圧  $V_{out} <$  内蔵キャパシタ  $V_{c1}$  を検出した場合（ステップS7でYES）、前記の各ブロックに対してON信号を表すHレベルのON/OFF信号  $S_{onoff}$  を出力し（ステップS8）、ステップS1に戻る。従って、出力電圧  $V_{out}$  が低下した場合は、基準電圧源11及び帰還用分圧抵抗  $R1, R2$  の動作をオンさせてレギュレーション動作を再開できる。

10

【0038】

以上説明したように、このように昇圧動作が停止された時間期間に、基準電圧源11や帰還用分圧抵抗  $R1, R2$  など不要回路ブロックの動作をオフすることで、消費電流を抑制し、軽負荷時の効率を高くすることができる。

【0039】

図4は図1の昇圧型DCDCコンバータ1及び制御回路2の動作を示すタイミングチャートである。図4において、時刻  $t1 \sim t2$  及び  $t3 \sim t4$  の期間はスイッチング期間  $T1$  であり、時刻  $t3 \sim t4$  及び  $t5 \sim t6$  の期間はスイッチング停止期間  $T2$  である。

【0040】

20

図4のスイッチング期間  $T1$  において、帰還電圧  $V_{fb} <$  基準電圧  $V_{ref}$  の場合、DCDCコンバータ1はスイッチング動作を行い、出力電圧  $V_{out}$  は上昇する（ $V_{out1}$ ）。このとき、出力電圧検出回路20の内蔵キャパシタ  $C1$  はチャージされ、そのキャパシタ電圧  $V_{c1}$  は出力電圧  $V_{out}$  あるいはそれに準ずる電圧（近傍電圧）となる（ $V_{c11}$ ）。そして、帰還電圧  $V_{fb}$  基準電圧  $V_{ref}$  となり、VFM制御コンパレータ12の出力信号  $S_{c1}$  がLレベルに反転するまで、スイッチング動作（昇圧動作）が行われる。この間、駆動制御回路13から出力されるON/OFF信号  $S_{onoff}$  はON信号を表すHレベルであり、帰還用分圧抵抗  $R1, R2$ 、基準電圧源11及びVFM制御コンパレータ12は動作状態（オン状態）である。（ $S_{onoff1}$ ）。

【0041】

30

次いで、帰還電圧  $V_{fb}$  基準電圧  $V_{ref}$  になると、VFM制御コンパレータ12の出力信号  $S_{c1}$  がHレベルに反転し、DCDCコンバータ1はスイッチングを停止する（スイッチング停止期間  $T2$ ）。このとき、出力電圧  $V_{out}$  は負荷電流によって徐々に低下する。この傾斜は出力端子  $T2$  に接続された容量値と負荷電流の大きさに依存する（ $V_{out2}$ ）。VFM制御コンパレータ12の出力信号  $S_{c1}$  がLレベルに反転したとき、基準電圧  $V_{ref}$  はヒステリシスを持たせるために低下する。ただし、これは一例でありヒステリシスを持たせない場合もあり得る。出力電圧検出回路20の内蔵キャパシタ  $C1, C2$  はチャージを停止し、出力電圧低下を検出するための参照電圧を保持する。内蔵キャパシタ  $C1$  の電圧  $V_{c1}$  はリーク電流などによって徐々に低下するが、出力電圧低下の検出には問題とならない範囲である（ $V_{c12}$ ）。

40

【0042】

なお、内蔵キャパシタ  $C1, C2$  へのチャージ停止及び保持動作の開始は、以降に示すOFF信号出力時に行ってもよい。すなわち、帰還電圧  $V_{fb}$  基準電圧  $V_{ref}$ 、すなわちVFM制御コンパレータ12の出力信号  $S_{c1}$  がLレベルに再反転しない状態が「OFF判定期間」（図4の  $T3$ ）以上継続した場合、駆動制御回路13からOFF信号を表すLレベルのON/OFF信号  $S_{onoff}$  が出力される。この信号により、帰還用分圧抵抗  $R1, R2$ 、基準電圧源11、VFM制御コンパレータ12の動作はオフされ、動作するのは出力電圧検出回路20のみである。従って、消費電流は非常に小さくなる（図3の  $S_{onoff2}$ ）。なお、出力電圧  $V_{out}$  が所定の電圧値まで低下すると、出力電圧検出回路20の出力信号  $S_{c2}$  がHレベルに反転し、各回路ブロックに対してON信号を

50

表すHレベルのON/OFF信号S o n o f fを出力して再びスイッチング動作を開始する。

#### 【0043】

以上説明したように、昇圧動作が停止された時間期間（図4のスイッチング停止期間T2）に、基準電圧源11や帰還用分圧抵抗R1, R2など不要回路ブロックの動作をオフすることで、消費電流を抑制し、軽負荷時の効率を高くすることができる。

#### 【0044】

（変形例）

以上の実施形態においては、昇圧動作が停止された時間期間（図4のスイッチング停止期間T2）に、基準電圧源11、VFM制御コンパレータ12、及び帰還用分圧抵抗R1, R2など不要回路ブロックの動作をオフするためのLレベルのON/OFF信号S o n o f fを出力している。本発明はこれに限られず、基準電圧源11、VFM制御コンパレータ12、及び帰還用分圧抵抗R1, R2のうちのいずれか1つの回路ブロックの動作をオフするためのLレベルのON/OFF信号S o n o f fを出力してもよい。

10

#### 【0045】

（特許文献1との相違点）

特許文献1には、電力効率を高める目的で、タイマーオフ時において、キャパシタに定電位を保持し、バンドギャブリファレンス及び基準バイアス回路、参照電圧生成回路を停止する方法が開示されている。本発明に係る実施形態とは、確かにキャパシタに電圧を保持することで、バンドギャブリファレンス回路又は基準電圧源をオフし電力効率を上げる点では似ている点がある。しかし、上述のように、帰還抵抗はオフすることはできず消費電流が発生するため、電力効率は依然として低いという問題は解消できていない。

20

#### 【0046】

一般的なVFM制御型DCDCコンバータの構成に加え、内蔵キャパシタC1, C2を有する出力電圧検出回路20を新たに設ける。ここで、スイッチング期間T1では、前記内蔵キャパシタC1に対して、スイッチング動作時に目標とする出力電圧をバイアスし、スイッチング停止期間T2では、所定の電圧値を保持する。スイッチング停止期間T2では、保持された前記目標とする出力電圧を基準電圧として、出力電圧V o u tの低下を検出することができる。また出力電圧V o u tのモニターは、目標とする出力電圧を基準電圧としているため、帰還用分圧抵抗R1, R2を介さなくてもよい。従って、基準電圧源11及び帰還用分圧抵抗R1, R2の動作は不要となり、その動作をオフできるので、新たに内蔵キャパシタC1, C2を用いた出力電圧検出回路20を使用することで、基準電圧源11のみでなく、帰還用分圧抵抗R1, R2の動作をオフすることができ、軽負荷時の効率を従来技術以上に高めることができる。

30

【産業上の利用可能性】

#### 【0047】

以上詳述したように、本発明に係る電力変換装置の制御回路等によれば、新たにキャパシタを用いた出力電圧検出回路を使用することで、基準電圧源、帰還用分圧抵抗及びVFM制御コンパレータを含めた不要回路に対する電源供給を停止することができ、従来技術に比較して軽負荷時の効率を高めることができる。

40

【符号の説明】

#### 【0048】

- 1 昇圧型DCDCコンバータ
- 2 制御回路
  - 11 基準電圧源
  - 12 VFM制御コンパレータ
  - 13 駆動制御回路
  - 14 ゲートドライバ回路
  - 15 スイッチ
- 20 出力電圧検出回路

50

- 2 1 , 2 2 直流電圧源
- 2 3 コンパレータ
- 2 4 バッファ回路
- 3 0 制御回路
- 3 1 , 3 2 インバータ
- C 1 , C 2 内蔵キャパシタ
- Q 1 , Q 2 M O S トランジスタ
- R 1 , R 2 帰還用分圧抵抗
- S W 1 ~ S W 4 スイッチ
- T 1 入力端子
- T 2 出力端子

10

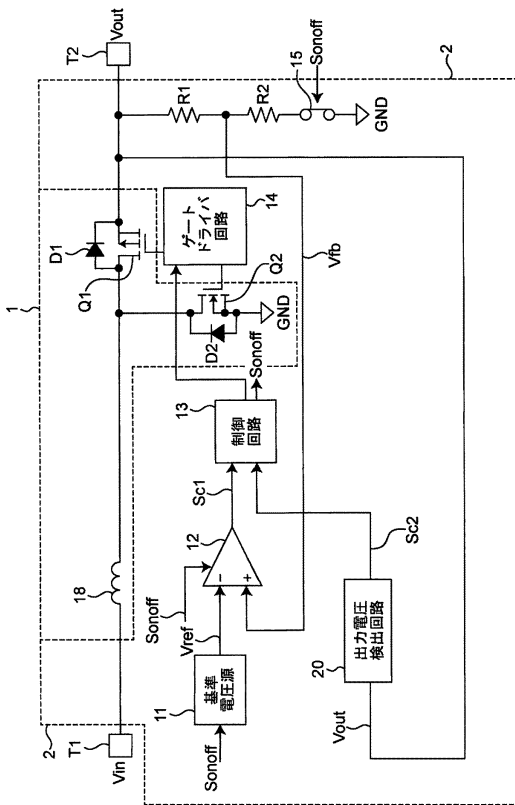
【要約】

電力変換装置の制御回路は、第1の直流電圧を所定の第2の直流電圧に変換して出力電圧として出力する電力変換装置の制御回路である。電力変換装置の制御回路は、所定の基準電圧を発生する基準電圧源と、出力電圧又はそれに対応する電圧を充電するキャパシタを有し、キャパシタの電圧に基づいて、出力電圧の低下を検出して検出信号を出力する出力電圧検出回路と、基準電圧及び出力電圧に応じて分圧比が設定されて互いに直列に接続された2個の分圧抵抗を含み、出力電圧を分圧した帰還電圧を出力する帰還電圧出力回路と、基準電圧を帰還電圧と比較し、比較結果を示す比較結果信号を出力する電圧比較回路と、比較結果信号及び検出信号に応じて間欠動作の制御を行う駆動制御回路とを備える。

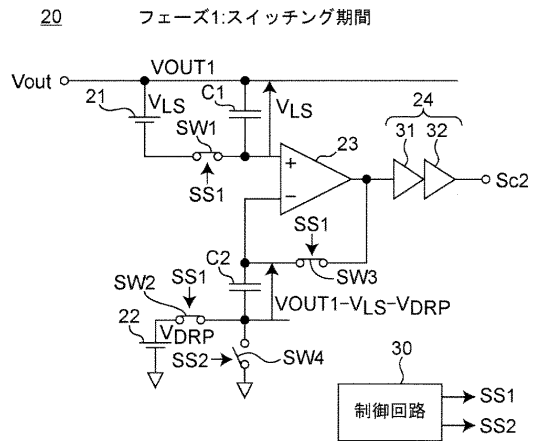
20

【図面】

【図1】



【図2A】

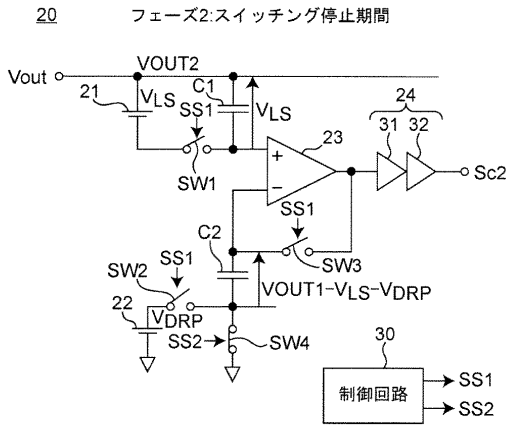


30

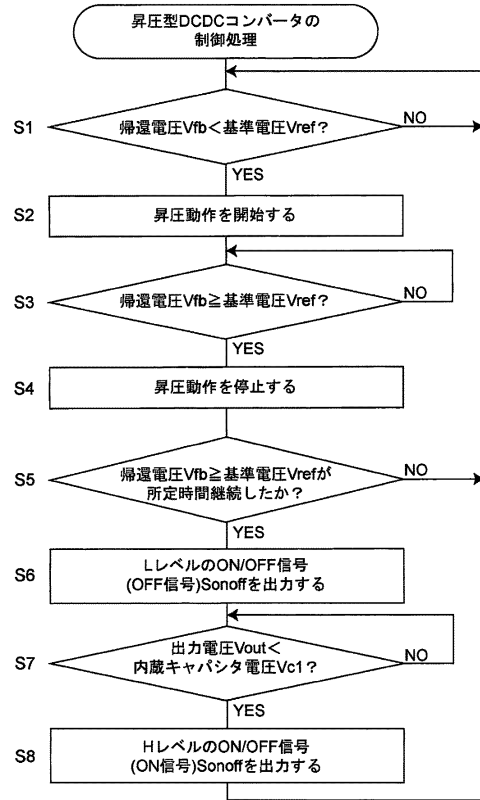
40

50

【 図 2 B 】



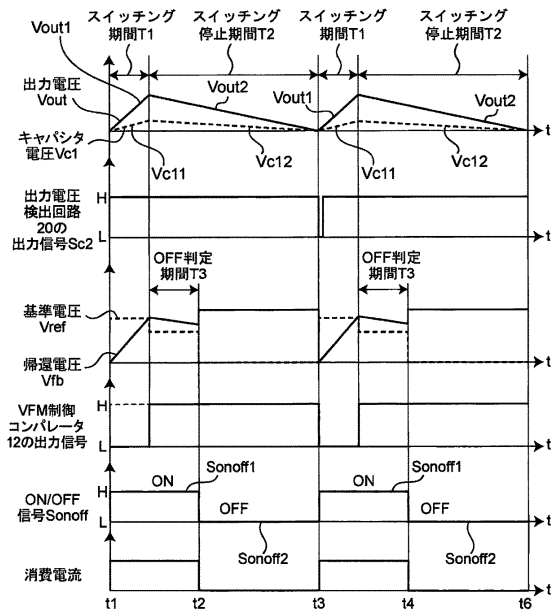
【 図 3 】



10

20

【 図 4 】



30

40

50

---

フロントページの続き

- (56)参考文献 特開 2 0 0 7 - 8 0 4 7 8 ( J P , A )  
特開 2 0 1 3 - 6 2 9 4 7 ( J P , A )  
国際公開第 2 0 1 9 / 1 8 7 5 4 4 ( W O , A 1 )  
特開 2 0 1 0 - 2 8 8 9 8 ( J P , A )
- (58)調査した分野 (Int.Cl. , D B 名)  
H 0 2 M 3 / 0 0 - 3 / 4 4