

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2016-504907

(P2016-504907A)

(43) 公表日 平成28年2月12日 (2016. 2. 12)

(51) Int. Cl.	F I	テーマコード (参考)
H02M 3/155 (2006.01)	H02M 3/155 U	5H730
H02M 3/28 (2006.01)	H02M 3/28 U	

審査請求 有 予備審査請求 未請求 (全 129 頁)

(21) 出願番号 特願2015-551076 (P2015-551076) (86) (22) 出願日 平成26年10月28日 (2014. 10. 28) (85) 翻訳文提出日 平成27年6月24日 (2015. 6. 24) (86) 国際出願番号 PCT/US2014/062740 (87) 国際公開番号 W02015/066087 (87) 国際公開日 平成27年5月7日 (2015. 5. 7) (31) 優先権主張番号 62/069, 672 (32) 優先日 平成26年10月28日 (2014. 10. 28) (33) 優先権主張国 米国 (US) (31) 優先権主張番号 61/896, 557 (32) 優先日 平成25年10月28日 (2013. 10. 28) (33) 優先権主張国 米国 (US) (31) 優先権主張番号 61/949, 171 (32) 優先日 平成26年3月6日 (2014. 3. 6) (33) 優先権主張国 米国 (US)	(71) 出願人 515042823 アドバンスド チャージング テクノロジーズ, エルエルシー ADVANCED CHARGING TECHNOLOGIES, LLC アメリカ合衆国, オクラホマ州, タルサ, サウス カーソン アヴェニュー 1701, ザ セミトレックス テクノロジー センター (74) 代理人 100107456 弁理士 池田 成人 (74) 代理人 100162352 弁理士 酒巻 順一郎 (74) 代理人 100123995 弁理士 野田 雅一
--	--

最終頁に続く

(54) 【発明の名称】 家電装置に電力を供給するための電気回路

(57) 【要約】

電子装置を駆動するために電力を提供する電気回路が本明細書に示される。電気回路は一次電源回路と二次電源回路とを含む。一次電源回路は電源から交流 (AC) 入力電力信号を受け取り、中間直流 (DC) 電力信号を発生させる。中間DC電力信号は、AC入力電力信号の電圧レベルより小さい第1の電圧レベルで発生する。二次電源回路は一次電源回路から中間DC電力信号を受け取り、出力DC電力信号を電子装置に供給する。出力DC電力信号は、中間DC電力信号の第1の電圧レベルより小さい出力電圧レベルで供給される。

【選択図】 図 1

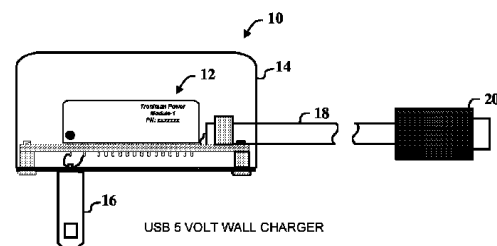


Figure 1

【特許請求の範囲】

【請求項 1】

電源への電氣的な結合に適合する一次電源回路と、
前記一次電源回路に電氣的に結合する二次電源回路と
を備える、電子装置を駆動するために電力を提供する電気回路であって、
前記一次電源回路は、前記電源から交流（A C）入力電力信号を受け取り、中間直流（D C）電力信号を発生するように構成され、
前記中間 D C 電力信号は、前記 A C 入力電力信号の電圧レベルより小さい第 1 の電圧レベルで発生し、
前記二次電源回路は、前記一次電源回路から前記中間 D C 電力信号を受け取り、出力 D C 電力信号を電子装置に供給するように構成され、
前記出力 D C 電力信号は、前記中間 D C 電力信号の前記第 1 の電圧レベルより小さい出力電圧レベルで供給されている、電気回路。

【請求項 2】

前記一次電源回路は、前記電源から前記 A C 電源入力信号を受け取り、整流された D C 電力信号を発生するように構成される整流回路を含み、
前記整流された D C 電力信号は、前記 A C 入力電力信号の前記電圧レベルにほぼ等しい電圧レベルを有する、請求項 1 に記載の電気回路。

【請求項 3】

前記整流回路が全波ブリッジ整流器を含む、請求項 2 に記載の電気回路。

【請求項 4】

前記一次電源回路が、前記整流回路から前記整流された D C 電力信号を受け取り、前記中間 D C 電力信号を発生させるための前記整流回路に結合されるスイッチコンデンサ電圧降伏回路を含む、請求項 2 に記載の電気回路。

【請求項 5】

前記スイッチコンデンサ電圧降伏回路が、
並列に電氣的に結合される一対のフライバックコンデンサと、
前記一対のフライバックコンデンサのそれぞれに電氣的に結合される複数のスイッチ組立体と、
充電フェーズと放電フェーズとの間で作動している前記複数のスイッチ組立体と、
前記一対のフライバックコンデンサのそれぞれに電氣的に結合される保持コンデンサと
を含み、
前記複数のスイッチ組立体が、前記充電フェーズの間、前記整流された D C 電力信号を前記一対のフライバックコンデンサのそれぞれに選択的に供給し、前記放電フェーズの間、前記中間 D C 電力信号を前記保持コンデンサに選択的に供給するように作動している、請求項 4 に記載の電気回路。

【請求項 6】

前記スイッチ組立体の少なくとも 1 つが、
N チャネル M O S F E T スイッチと、
制御信号を前記 N チャネル M O S F E T スイッチに供給するために、前記 N チャネル M O S F E T スイッチに結合されるレベルシフタと、
前記レベルシフタに結合されるディクソンチャージポンプと
を含み、
前記ディクソンチャージポンプは、前記整流された D C 電力信号を受け取り、前記整流された D C 電力信号の前記電圧レベルより大きい電圧レベルを有する出力電力信号を発生させるように構成され、
前記出力電力信号が、前記 N チャネル M O S F E T スイッチを作動させるために前記レベルシフタに供給されている、請求項 5 に記載の電気回路。

【請求項 7】

前記スイッチコンデンサ電圧降伏回路が、前記複数のスイッチ組立体のそれぞれに結合される制御回路を含み、

前記制御回路が、

前記整流されたDC電力信号の電圧レベルを検知するための電圧検知回路と、

前記検知された電圧レベルの関数として前記スイッチコンデンサ電圧降伏回路のゲイン設定を選択するように構成され、前記選択されたゲイン設定の関数として前記複数のスイッチ組立体のそれぞれを作動させるゲイン制御器とを含む、請求項5に記載の電気回路。

【請求項8】

前記一次電源回路は、前記スイッチコンデンサ電圧降伏回路に並列に電氣的に結合されるバックレギュレータ回路を含み、

10

前記バックレギュレータ回路は、前記整流回路から前記整流されたDC電力信号を受け取り、前記中間DC電力信号を発生させる、請求項4に記載の電気回路。

【請求項9】

前記バックレギュレータ回路は、電圧低下回路に結合されるレギュレータスイッチ組立体を含み、

前記電圧低下回路は、

ダイオードと、

インダクタと、

コンデンサと

20

を含み、

前記レギュレータスイッチ組立体は、前記整流されたDC電力信号を前記電圧低下回路に選択的に供給するように作動している、請求項8に記載の電気回路。

【請求項10】

前記バックレギュレータ回路は、前記整流されたDC電力信号を前記電圧低下回路に選択的に供給するために、パルス幅変調制御信号を前記調整されたスイッチ組立体に提供するための制御回路を含み、

前記制御回路は、

前記中間DC電力信号の前記第1の電圧レベルを検知するための電圧検知回路と、

前記検知された第1の電圧レベルの関数として前記パルス幅変調制御信号を発生させるためのレギュレータ制御器とを含む、

30

前記レギュレータ制御器は、あらかじめ定義された電圧レベルで前記中間DC電力信号の前記電圧レベルを維持するために供給されている前記制御信号のデューティサイクルを調整するように構成される、請求項9に記載の電気回路。

【請求項11】

前記二次電源回路は、一次電圧低下回路と二次電圧低下回路とを含むフォワードコンバータ回路を含み、

前記一次電圧低下回路は、前記一次電源回路から前記中間DC電力信号を受け取り、二次DC電力信号を前記二次電圧低下回路に供給するように構成され、

40

前記二次DC電力信号は、前記中間DC電力信号の前記電圧レベルより小さい電圧レベルを有し、

前記二次電圧低下回路は、前記二次DC電力信号を受け取り、前記電子装置に供給されている前記出力DC電力信号を発生させるように構成される、請求項1に記載の電気回路。

【請求項12】

前記一次電圧低下回路は、

トランスと、

前記一次電源回路に結合されている前記トランスの一次側と、

前記二次電圧低下回路に結合されている前記トランスの二次側と

50

を含む、請求項 1 1 に記載の電気回路。

【請求項 1 3】

前記二次電圧低下回路は、
一対のダイオードと、
インダクタと、
コンデンサと

を含む、請求項 1 2 に記載の電気回路。

【請求項 1 4】

電源から A C 電源入力信号を受け取り、整流された D C 電力信号を発生させるように構成される整流回路と、

前記整流回路から前記整流された D C 電力信号を受け取るために前記整流回路に結合されるスイッチコンデンサ電圧降伏回路及び集積回路制御器と、

前記集積回路制御器は、前記 A C 電源入力信号の電圧レベルを検知し、中間 D C 電力信号を発生させるために前記検知された電圧レベルの関数として前記スイッチコンデンサ電圧降伏回路の前記ゲインを調整する前記集積回路制御器と、

前記スイッチコンデンサ電圧降伏回路に結合されるフォワードコンバータ回路と

を備える、電子装置に電力を供給するために電力を提供するパワーモジュールであって、

前記フォワードコンバータ回路は、前記中間 D C 電力信号を受け取り、電子装置に供給されている出力 D C 電力信号を発生させるためのトランスを含む、パワーモジュール。

【請求項 1 5】

前記スイッチコンデンサ電圧降伏回路と並列に電氣的に結合されるバックレギュレータ回路を含み、

前記バックレギュレータ回路は、前記整流回路から前記整流された D C 電力信号を受け取り、前記中間 D C 電力信号を発生させるためのレギュレータスイッチ組立体を含む、請求項 1 4 に記載のパワーモジュール。

【請求項 1 6】

前記集積回路制御器が、パルス幅変調制御信号を前記調整されたスイッチ組立体に提供するためのバックレギュレータ制御回路を含む、請求項 1 5 に記載のパワーモジュール。

【請求項 1 7】

前記フォワードコンバータ回路が、前記トランス一次側に結合されるトランススイッチ組立体を含み、

集積回路が、前記出力 D C 電力信号の電圧レベルを維持するために前記トランススイッチ組立体を選択的に作動させるためのトランス制御回路を含む、請求項 1 4 に記載のパワーモジュール。

【請求項 1 8】

前記スイッチコンデンサ電圧降伏回路は、

並列に電氣的に結合される一対のフライバックコンデンサと、

前記一対のフライバックコンデンサのそれぞれに電氣的に結合される複数のスイッチ組立体と

を含む、請求項 1 4 に記載のパワーモジュール。

【請求項 1 9】

前記スイッチ組立体の少なくとも 1 つが、

N チャネル M O S F E T スイッチと、

前記 N チャネル M O S F E T スイッチに結合されるディクソンチャージポンプとを含む、請求項 1 8 に記載のパワーモジュール。

【請求項 2 0】

前記 N チャネル M O S F E T が前記集積回路内に形成される、請求項 1 8 に記載のパワーモジュール。

【発明の詳細な説明】

【関連出願の相互参照】

10

20

30

40

50

【0001】

本願は、2014年10月28日に出願された米国仮特許出願第62/069672号、2014年3月6日に出願された米国仮特許出願第61/949,171号、及び2013年10月28日に出願された米国仮特許出願第61/896,557号の優先権を主張し、これらすべての特許は、あらゆる目的のため、参照によりその全体が本明細書に組み込まれる。

【技術分野】

【0002】

本発明は一般に電力回路に関し、より詳細には、家電装置の充電及び／または駆動に使用する電力を提供するための電力回路に関する。

【背景技術】

【0003】

エネルギー危機に関しては、電流負荷を下げる需要側の対応が必要である。エネルギー危機は世界中に広がっている。たとえば、U. S. Department of Energyは、2015年までに、平均して、米国内の平均需要に対する供給に十分な電力が足りなくなると予測している。

【0004】

制御可能な犯人の1つは「バンパイア負荷」である。「ACアダプタ電力」または「待機電力」とも呼ばれるこの電気の浪費は、U. S. Department of Energy (DOE) により、毎年1000億kWを上回ると推定され、浪費されたエネルギーは100億ドル以上と見積もられている。バンパイア負荷を生み出すものには、携帯電話充電器、ラップトップ充電器、ノートブック充電器、計算機充電器、小型家庭電化製品、及びその他の電池式消費者装置が含まれる。

【0005】

U. S. Department of Energyは2008年に次のように述べている。

【0006】

「多くの機器はスイッチが切られているときも、わずかに電力を引き込み続ける。これらの「疑似」負荷は、VCR、テレビ、ステレオ、コンピュータ及び台所器具などの、電気を使用する大部分の機器で発生する。これは、機器のプラグを抜く、または、テーブルタップを使用してテーブルタップ上のスイッチを使用することにより、機器への電力をすべて切断することで回避できる」

【0007】

U. S. Department of Energyによると、以下の種類の装置は待機電力を消費する。

1. 電圧変換のためのトランス。（携帯電話、ラップトップ及びノートパッド、計算機、ならびにACアダプタ充電器を使用するその他の電池式装置を含む）。
2. スwitchが切られた装置に電力を供給するACアダプタ電源。（携帯電話、ラップトップ及びノートパッド、計算機、電池式ドリル及びツールを含み、それらはすべてACアダプタ充電器を有し、バッテリーに完全に充電しているか、装置から実際に分離されている）。
3. ウォームアップ遅延なしで直ちに使用者の動きに反応する「瞬時ON」機能を有する多くの装置。
4. リモコンで目覚めさせることができるスタンバイモードの電子及び電気装置、たとえば、エアコン、テレビ受像器などのオーディオビジュアル機器。
5. スwitchが切られているときでさえ、たとえば電動タイマで、いくつかの機能を実行できる電子及び電気装置。大部分の現代のコンピュータは待機電力を消費し、遠隔で（Wake on LANなどによって）、または指定された時間に目覚めさせることができる。これらの機能はたとえ必要でない場合も常に有効である。（時には背面のスイッチで）電源を切ることによって電力を節約できるが、それは機能が不要ない場合だけである。

10

20

30

40

50

6. 無停電電源装置 (UPS)

【0008】

これはすべて、携帯電話、ラップトップ、またはその他装置が完全に充電されているときでさえ、電流はまだ流れているが、何も行うことなく電気を浪費していることを意味している。最近になって製造された装置及び機器は、一日中、毎日、電流を引き込み続けている。そして、経費がかかり、世界中でエネルギー危機をあおっている。

【0009】

National Institute of Standards and Technology (NIST) (U. S. Department of Commerce の部門) は 2010 年に、その Buildings Technology Research and Development Subcommittee を通して「プラグ負荷」削減の目標を表明し、次のように述べた。

10

【0010】

「全体の消費に対するプラグ負荷の影響は極めて重大である。プラグ負荷は、商業用建物については全エネルギー使用量の 35%、住居については 25%、学校については 10% と推定される。

【0011】

プラグ負荷を下げる機会としては以下のものがある。

1) より効率的な接続された装置及び機器。

2) 使用していない機器の電源を切り、トランス及びその他の機器上の、少量であるが常時の「バンパイア」負荷を削減する自動スイッチ装置。または、

20

3) 居住者の行動の変更」

【0012】

実質的にすべての現代の電子機器によって経験する問題の 1 つは、外部式または組込式「パワーモジュール」のどちらであるかにかかわらず、電源は効率的なエネルギーではないということである。これは多数の理由から真実であり、その理由の 1 つは、Michael Faraday がトランスを発明した 1831 年までさかのぼる。トランスは、アナログ装置として、特定の巻線ごとに 1 つの電力出力を生成できるのみであるため、本質的に効率が悪い。そのため、2 つの電力出力が必要な場合、2 つの二次巻線が必要となる。さらに多くの場合、一般的な現代の外部電源をつくるには、トランスとともに動作する 50 を超える部品及び部分が必要であり、その数は、内部式または組込式パワーモジュールの場合、いくぶん少なくなるだけである。電流は、それぞれが異なる電力散逸率を有するさまざまな部品の中及びまわりを、ならびにそれを通過して進む必要があるため、電源の部品の数により本質的に効率が悪くなる。そして、回路トレースさえ、エネルギーを浪費する抵抗損失を生じる。

30

【0013】

さらに、トランスが動作する方法では、磁界が発生及び崩壊する。すべての電子を、磁界発生／崩壊によって「取り戻す」ことはできないため、多くの場合、流出するものは熱として流出するが、それが、携帯電話、ラップトップ、及びタブレットの充電器を触ってみると、温かくまたは熱く感じる理由である。それはすべての家電が熱を発生する主な理由であり、エネルギー／電気を浪費するだけでなく、その他の関連する電子機器部品の加熱による最終的な損耗を生じさせる。

40

【0014】

現在の電子機器で見られる別の非効率性は、異なる部品を駆動させるための複数の内部電源の必要性である。たとえば、現代の世界のパワーモジュールでは、MOSFET は、回路における「実世界」インタフェースのより一層重要な部品となっている。

【0015】

金属酸化膜半導体電界効果トランジスタ (MOSFET) は、スイッチング、モータ／ソレノイド駆動、トランスインタフェーシング、及び多くのその他の機能を有効にする。その対極にマイクロプロセッサがある。マイクロプロセッサの特徴は安定した低い動作電

50

圧及び電流であり、それは5ボルト、3.3ボルト、2.7ボルト、さらに1.5ボルトでもよい。大部分のシステムにおいて、MOSFETとマイクロプロセッサとは、回路を動作させるために一緒にまたは組み合わせて使用される。しかし、多くの場合、マイクロプロセッサとMOSFETのドライバとは異なる電圧で作動し、回路内に複数の電源を必要とする。

【0016】

標準的な高電圧のNMOS MOSFETは、それを正常にオン及びオフするために、5〜20ボルトのゲート電圧を供給できるドライバを必要とする。オンにする場合、ゲートドライバ電圧が有効なレール電力を上回る必要がある。チャージポンプ技術を使用する特殊なドライバは、この目的のために考案された。高圧MOSFETゲートドライバのその他の主機能は、現代のCMOSプロセッサの出力駆動能力と適合させる入力駆動要件を低下させることである。

10

【0017】

充電器のような大部分の外部電源装置で一般的な、このMOSFET／ドライバ配置は、実際に3つの分離した電源を必要とする。必要な第1の電源は主電力レールであり、それは通常、MOSFETに供給される127VDC〜375VDCの範囲で調整された線間電圧からなる。必要な第2の電源は、MOSFETドライバによって必要とされる15ボルト（またはそれ以上）である。最後にマイクロプロセッサが、多くの異なる様々な電圧のための、別の絶縁された電源を必要とする。

20

【0018】

電流の非効率性及びエネルギー浪費の好適な実施例は、典型的なテレビで見ることができ、それは画面、バックライト、主回路基板、ならびに音声及び補助基板を駆動するために、4〜6つもの異なる電源モジュールを必要とする。この電流方式は、必要な電源ごとに、複数のトランス及び多数の部品を必要とする。トランス及び部品（MOSFETを含む）は、それらの重複された非効率性によって熱を増大させ、それはテレビの背面が触ってみると常に熱い理由の1つである。さらに、さまざまな電力出力のためにトランスがより必要になるほど、部品がより必要となり、そしてエネルギー浪費のより多くの原因がつけられる。

【0019】

熱問題に加えて、複数のトランスをベースとした電源のすべては、一般的に40〜60の作動する部品が必要であり、典型的なトランスをベースとしたテレビの電源モジュールのために多数の部品を必要とし、費用及び全体の部品寸法が増加する一方で、信頼性は低下する。部品の多重度により、熱として浪費されるエネルギーとなるシステム抵抗が増加する。

30

【発明の概要】

【発明が解決しようとする課題】

【0020】

本発明は、上記の1つまたは複数の問題に関して、より好適な効率を提供し、レール源からの電氣的な突入電流をより制御することを目的とする。

【課題を解決するための手段】

40

【0021】

本発明の1つの態様において、電子装置のための充電印加及び／または一定の供給回路の駆動のために、電力を提供する電気回路が提供される。電気回路は、電源への電氣的な結合に適合する一次電源回路と、一次電源回路に電氣的に結合する二次電源回路とを含む。一次電源回路は、電源から交流（AC）入力電力信号を受け取り、中間直流（DC）電力信号を発生するように構成される。AC入力の場合、中間DC電力信号は、AC入力電力信号の電圧レベルより小さい第1の電圧レベルで発生する。二次電源回路は、一次電源回路から中間DC電力信号を受け取り、出力DC電力信号を電子装置に供給するように構成される。出力DC電力信号は、中間DC電力信号の第1の電圧レベルより小さい出力電圧レベルで供給される。

50

【0022】

本発明の別の態様において、モニタ、テレビ、白物家電、データセンタ、及び通信回路基板などの電子装置を駆動するための電力を提供するパワーモジュールが提供される。パワーモジュールは、整流回路と、スイッチコンデンサ電圧降伏回路及び制御器集積回路と、フォワードコンバータ回路とを含む。整流回路は電源からAC電源入力信号を受け取り、整流されたDC電力信号を発生させる。スイッチコンデンサ電圧降伏回路及び制御器集積回路は、整流されたDC電力信号を受け取り、AC電源入力信号の電圧レベルを検知し、検知された電圧レベルの関数としてスイッチコンデンサ電圧降伏回路のゲインを調整する統合制御器に基づく中間DC電力信号を発生させる。フォワードコンバータ回路は、中間DC電力信号を受け取り、電子装置に供給される出力DC電力信号を発生させるトランスを含む。

10

【0023】

本発明のさらなる態様において、AC-DC及びDC-DC変換のための高効率スイッチコンデンサ電圧降伏回路が提供される。高効率スイッチコンデンサ電圧降伏回路は、並列に電氣的に結合される一対のフライバックコンデンサと、一対のフライバックコンデンサのそれぞれに電氣的に結合される複数のスイッチ組立体とを含む。1つの実施形態において、コンデンサの間のゲートは共有される。スイッチ組立体は、充電フェーズの間、入力DC電力信号を一対のフライバックコンデンサのそれぞれに選択的に供給するように、及び、入力DC電力信号より低い電圧レベルを有する放電フェーズの間、出力DC電力信号を電子装置に選択的に供給するように作動してもよい。少なくとも1つのスイッチ組立体は、NチャネルMOSFETスイッチと、制御信号をNチャネルMOSFETスイッチに供給するためのレベルシフタとを含んでもよい。さらに、ディクソンチャージポンプをレベルシフタに結合して、入力DC電力信号を受け取り、入力DC信号より高い電圧レベルを有する出力電力信号を発生させてもよい。出力電力信号は、NチャネルMOSFETスイッチを作動させるために（または、その他の種類のMOSFETを閉じるために）、レベルシフタに供給される。さらに、スイッチコンデンサ電圧降伏回路は、入力DC電力信号の電圧レベルを検知するための電圧検知回路を含む制御回路と、検知された電圧レベルの関数としてスイッチコンデンサ電圧降伏回路のゲイン設定を選択し、選択されたゲイン設定の関数として複数のスイッチ組立体のそれぞれを作動させるように構成されるゲイン制御器とを含んでもよい。

20

30

【0024】

電気回路は、消費者装置が充電を完了し、及び／または電源回路から分離されるときを決定するように構成され、電源回路及び／または電子装置への電源の供給を切断する電源回路を作動させ、ノミ電力の「スタンバイ」モードをつくることが可能である、バンパイア負荷除去システムも含んでもよい。

【0025】

本発明の別の態様において、電源回路は、同じチップにアナログ及びデジタル部品を含む半導体チップ上に形成される。350Vのシリコンオンインシュレータ(SOI)BCDプロセスなどの半導体プロセスは、半導体に使用することが可能であり、それは、マイクロコントローラ、タイマ／クォーツリアルタイムクロック、PID制御器及びPWM制御器、MOSFET、ならびに対応するドライバの、1つのダイ上への集積化を可能とする。さらに、CMOS技術の典型的な固有静電容量は、 $0.1\text{ fF}/\mu\text{m}^2$ （ポリポリコンデンサ）から $5\text{ fF}/\mu\text{m}^2$ （MIMコンデンサ）にわたり、またはセラミックコンデンサを考慮に入れることができる。さらに、DMOSのようなプロセスが使用でき、または二基質が考慮でき、炭化珪素の層のような、硝酸ガリウムまたは二酸化珪素を有する二基質のものも使用できる。また、あるいは、硝酸ガリウムまたはヒ化ガリウム及びディープトレンチキャパシタの使用は、シリコンよりもむしろチップの構造のために使用することが可能である。これらの選択肢のすべては、低 R_{on} MOSFETまたはトランジスタで必要な静電容量のために必要である。

40

【0026】

50

BCDMOSプロセスが電源回路の製造に使用されてもよい。BCDMOSは、超高電圧(UHV)用途のために、単一のチップ上にバイポーラ型(アナログ)、CMOS(ロジック)、及びDMOS(電源)の機能を組み込むためのプロセスを含む。BCDMOSは、LED照明、AC-DC変換、及びスイッチモード電源装置などの幅広い範囲のUHV用途を提供する。110/220VACの電源から「オフライン」で直接作動することが可能な、非Epiプロセスで実装される集積回路(IC)は、低オン抵抗及び750Vを上回る降伏電圧を指定する最適化された450V/700VのDR-LDMOSトランジスタを配置できる。電力スイッチング用途で使用する時、設計者はより低い伝導及びスイッチング損失を期待できる。

【0027】

10

添付図面を参照して以下の詳細な説明によって本発明を十二分に理解すれば、本発明のその他の利点は容易に理解されるであろう。

【図面の簡単な説明】

【0028】

【図1】本発明の実施形態による、電子装置に電力を提供するための電子充電装置の概略図である。

【図2】本発明の実施形態による、図1に示される充電装置で電子装置に電力を提供するために使用されてもよい電源回路のブロック図である。

【図3】本発明の実施形態による、図2に示すような「ハイブリッド」電圧降伏回路をつくる電源回路で使用されてもよいバックレギュレータ回路の概略図である。

20

【図4】本発明の実施形態による、図2に示される電源回路で使用されてもよいスイッチコンデンサ電圧降伏回路の概略図であり、 RDS_{ON} 損失をさらに低下させるためのコンデンサ間でのゲート共有を含む。

【図5】本発明の実施形態による、図2に示される電源回路で使用されてもよいスイッチコンデンサ電圧降伏回路の概略図であり、 RDS_{ON} 損失をさらに低下させるためのコンデンサ間でのゲート共有を含む。

【図6】本発明の実施形態による、図2に示される電源回路で使用されてもよいスイッチコンデンサ電圧降伏回路の概略図であり、 RDS_{ON} 損失をさらに低下させるためのコンデンサ間でのゲート共有を含む。

【図7】本発明の実施形態による、図2に示される電源回路で使用されてもよいスイッチコンデンサ電圧降伏回路の概略図であり、 RDS_{ON} 損失をさらに低下させるためのコンデンサ間でのゲート共有を含む。

30

【図8】本発明の実施形態による、図4に示されるスイッチコンデンサ電圧降伏回路の一部の概略図である。

【図9】本発明の実施形態による、図8に示されるスイッチコンデンサ電圧降伏回路のためのゲイン設定を示す表である。

【図10】本発明の実施形態による、図9に示されるゲイン設定のそれぞれと関連する充電フェーズモード及び放電フェーズモードにおける、図8に示されるスイッチコンデンサ電圧降伏回路の略図である。

【図11】本発明の実施形態による、図9に示されるゲイン設定のそれぞれと関連する充電フェーズモード及び放電フェーズモードにおける、図8に示されるスイッチコンデンサ電圧降伏回路の略図である。

40

【図12】本発明の実施形態による、図9に示されるゲイン設定のそれぞれと関連する充電フェーズモード及び放電フェーズモードにおける、図8に示されるスイッチコンデンサ電圧降伏回路の略図である。

【図13】本発明の実施形態による、図2に示される電源回路で使用されてもよいフォワードコンバータ回路の概略図である。

【図14】本発明の実施形態による、図2に示される電源回路で使用されてもよい警報制御回路の概略図である。

【図15】本発明の実施形態による、図2に示される電源回路の概略図であり、電力制御

50

器集積回路を含む。

【図 1 6】本発明の実施形態による、図 1 0 に示される電力制御器集積回路のブロック図である。

【図 1 7 A】本発明の実施形態による、図 1 0 に示される電力制御器集積回路のブロック図である。

【図 1 7 B】本発明の実施形態による、図 1 0 に示される電力制御器集積回路のブロック図である。

【図 1 8】本発明の実施形態による、図 1 6、1 7 A、及び 1 7 B に示される電力制御器集積回路で使用されてもよい電力管理ユニットのブロック図である。

【図 1 9】図 1 6、1 7 A、及び 1 7 B に示される電力制御器集積回路で使用されてもよいパワーオンリセット閾値電圧のグラフ図である。

【図 2 0】本発明の実施形態による、図 1 6、1 7 A、及び 1 7 B に示される電力制御器集積回路で使用されてもよい比例積分微分レギュレータ制御回路の略図である。

【図 2 1】本発明の実施形態による、図 1 6、1 7 A 及び 1 7 B に示される電力制御器集積回路で使用されてもよいデジタル制御ブロックのブロック図である。

【図 2 2】本発明の実施形態による、図 1 6、1 7 A 及び 1 7 B に示される電力制御器集積回路で使用されてもよいデジタル制御ブロックのブロック図である。

【図 2 3】本発明の実施形態による、電子装置に電力を提供するために図 2 に示される電源回路を作動する方法を示すフローチャートである。

【図 2 4】本発明の実施形態による、図 2 3 に示される方法で使用されてもよい状態遷移のグラフ図である。

【図 2 5】本発明の実施形態による、図 1 6、1 7 A、及び 1 7 B に示される電力制御器集積回路で使用されてもよい通信インタフェースの略図である。

【図 2 6】本発明の実施形態による、図 1 6、1 7 A、及び 1 7 B に示される電力制御器集積回路で使用されてもよいマイクロプロセッサ通信プロトコルの略図である。

【図 2 7】本発明の実施形態による、図 1 6、1 7 A、及び 1 7 B に示される電力制御器集積回路で使用されてもよい *Inter-Integrated Circuit* の略図である。

【図 2 8】本発明の実施形態による、図 2 に示される電源回路の略図である。

【図 2 9】本発明の実施形態による、図 2 に示される電源回路の略図である。

【図 3 0】本発明の実施形態による、図 1 6、1 7 A、及び 1 7 B に示される電力制御器集積回路で使用されてもよい配線図である。

【図 3 1】本発明の実施形態による、図 1 6、1 7 A、及び 1 7 B に示される電力制御器集積回路の追加の略図である。

【図 3 2】本発明の実施形態による、図 1 6、1 7 A、及び 1 7 B に示される電力制御器集積回路の追加の略図である。

【図 3 3】本発明の実施形態による、図 1 6、1 7 A、及び 1 7 B に示される電力制御器集積回路で使用されてもよい低電流検出及びエラー検出のためのアルゴリズムのフローチャートである。

【図 3 4】本発明の実施形態による、図 2 に示される電源回路の略図である。

【図 3 5】本発明の実施形態による、図 2 に示される電源回路の略図である。

【図 3 6】本発明の実施形態による、図 2 に示される電源回路で使用されてもよいレベルシフタの略図である。

【図 3 7】本発明の実施形態による、図 1 3 に示されるフォワードコンバータ回路で使用されてもよい R C D 回路の略図である。

【図 3 8】本発明の実施形態による、図 2 に示される電源回路の追加の略図である。

【図 3 9】本発明の実施形態による、図 2 に示される電源回路の追加の略図である。

【図 4 0】本発明の実施形態による、図 2 に示される電源回路の一部の略図である。

【図 4 1】本発明の実施形態による、図 2 に示される電源回路の別の略図である。

【0 0 2 9】

10

20

30

40

50

対応する参照文字は、図面全体を通して対応する部品を示す。

【発明を実施するための形態】

【0030】

図面に関して、及び作動時に、本発明は、AC主電源（一般的に120VAC（米国）～240VAC [EU/アジア]）から家電装置にDC電圧出力電力を提供する電源回路を含むパワーモジュールを提供することにより、既知の電力供給システムの不利益の少なくとも一部を解決する。電源回路は、電子記憶装置を充電し、ならびに／あるいは、携帯電話、スマートフォン、タブレットコンピュータ、ラップトップ、及び／または非常に高い効率及び非常に小さい待機電力要件のために本発明からの利益を享受することができる任意の好適な電子装置を含むがそれらに限定されない家電製品を駆動する電力を提供するように構成される。一般に、電源回路は、電源から高電圧のAC電源を受け取り、低電圧のDC電力信号を1つまたは複数の電子装置に供給するために、一次電源回路と二次電源回路とを含む。一次電源回路はAC電源からAC電力信号を受け取り、低下させた電圧レベルで中間直流（DC）電力信号を発生させる。二次電源回路は一次電源回路から中間DC電力信号を受け取り、家電装置を駆動及び／または充電するために好適な電圧レベルを有する出力DC電力信号を発生させて、供給する。

10

【0031】

一次電源回路は、AC電力信号を受け取り、整流されたDC電力信号を発生させるための整流回路と、二次電源回路で使用するために、整流されたDC電圧を低下させた電圧に分割するためのスイッチコンデンサ電圧降伏回路とを含む。スイッチコンデンサ電圧降伏回路は、電力効率を最大化するフライバックコンデンサと、電圧リプルを最小化する保持コンデンサとを含む。1つの実施形態において、スイッチコンデンサ電圧降伏回路は、最大50mAを供給して、軽負荷状態の下で50mAから1mAより小さい負荷電流の範囲にわたって95%以上の効率を維持するように構成される。一次電源回路は、大電流負荷、たとえば、最大430mAの電流を取り扱うためのスイッチコンデンサ電圧降伏回路に並列に連結されるスイッチモードバックレギュレータも含んでもよい。バックレギュレータは、PチャネルMOSFETスイッチと、高電圧バックダイオードと、バックエネルギー蓄積インダクタとを含んでもよい。さらに、バックレギュレータは、バックレギュレータPMOSFETのオン／オフ時間を制御するパルス幅変調信号を発生させるためのパルス幅変調器（PWM）制御器も含んでもよく、また、それは適切なゲートドライバを有するNMOSFETとして表されてもよい。

20

30

【0032】

二次電源回路は、一次電源回路から中間DC電力信号を受け取り、出力DC電力信号を発生させるためのトランスを含むフォワードコンバータ電源回路を含む。また、フォワードコンバータは、トランスの一次側に連結するMOSFETと、負荷電流がトランスの二次側から引かれたとき、フォワードコンバータの出力で電圧を調整するためにMOSFETを作動させる制御回路とを含む。たとえば、フォワードコンバータ制御ループは、任意の不安定性を引き起こすことなく負荷電流の激しい変動（4.5nA～4.5A）の下で出力電圧を調整するように構成されてもよい。

【0033】

現代の世界において、MOSFETは、「実世界」インタフェースの一層重要な部品となっている。それは、モータ／ソレノイド駆動、トランスインタフェーシング、及びその他の機能のホストを有効にする。その対極に、マイクロプロセッサがある。それは、安定した低い動作電圧及び電流によって特徴づけられる。多くのシステムにおいて、これらの部品は一緒に使用される。標準的な高電圧のMOSFETは、FETを正常にオンまたはオフするために、5V～20V程度のボルト変動をFETゲートに供給できるドライバを必要とする。NMOSFETをオンにする場合、このゲート駆動電圧が電力レール電圧を上回る必要が実際にある。チャージポンプ技術を使用する特殊なドライバは、この目的のために考案されたが、それらは一般的に個別の部品であり、回路上に必要な多数の電力レールを増加させる。FETドライバのその他の主機能は、現代のCMOSマイクロプロセ

40

50

ッサの出力ポート能力と適合させる入力電圧要件を低下させることである。この配置は電源に関してコストがかかり、一般的に3つの電源を必要とする。第1は主電力レールである。それは、M O S F E Tに供給される100～600ボルトの範囲の電圧からなる。第2の電源はドライバによって必要とされる5～20ボルト、及び、最終的にマイクロプロセッサによって必要とされる電源である。本発明はチップ内のこれらすべてのレールを連結し、その結果、通常、回路と関連する電源及び部品は最小化し、よって、効率は向上する。

【0034】

多くの状況において、電源は、小型システムにおける部品点数及び費用のかなり大きい割合を構成する。統合された部品は、この式を実質的に変えることが可能である。この新しい部品は、内蔵のチャージポンプを有する適切なドライバが追加される基本部品としての、高出力M O S F E Tの組合せからなる。また、内部的に主レール電源から得られるドライバに必要な電源が追加される。この内部電源からマイクロプロセッサのための電力を供給する出力ピンが、最終的に追加される。多くの適当なシステムにおいて、最終的な部品表は、この新しい装置と、マイクロプロセッサと、主電力レール部品とからなる。これにより、次世代の低コスト／少組立数のマイクロプロセッササブシステムが可能となる。

【0035】

パワーモジュールは、チップ (T r o n i u m P S S o C) 上に高度な電源システムを含み、それは本発明の主題であり、典型的な家庭用または業務用電源コンセントに存在するA C線間電圧を、家電用途のための低下、調整されたD C電圧に変換するための低コストで、非常に効率的な手段を提供するために制御器特定用途向け集積回路 (A S I C) を含む。典型的な用途は、携帯電話、タブレット、またはその他の携帯用デバイスのための充電システム、U S B電力変換、消費者向け、医療用、及び工業用装置の電源、ならびに多くのその他の可能な用途を含むが、これに限定されるものではない。

【0036】

T r o n i u m P S S o Cは、自律型パワーモジュールと汎用パワーモジュールとを含む2つの一次パワーモジュール用途で使用するために構成される。自律型パワーモジュールは、コスト低減のためのアナログフィードバック手法に基づく自律型作動モードで作動する。汎用パワーモジュールは、最終的な出力電圧の調整のためのフィードバックを提供するためにマイクロプロセッサ (μP) 制御器を利用する汎用作動モードで作動し、それは制御／監視される1つまたは複数の電力レールである可能性がある。T r o n i u m P S S o Cの重要な機能には以下のものが含まれるが、これに限定されるものではない。90V A C～264V A Cの線間電圧での作動 (その他の入力電圧はA CまたはD Cのいずれが使用されてもよい)、プログラム可能な出力電圧、D C-D C変換のためのハイブリッドスイッチコンデンサ電圧降伏回路とスイッチモードバックレギュレータ (効率のために同期整流される)、高い精度のためのP I D調整制御ループ、電流及び温度監視のためのデジタル状態機械、アイドル (パンパイア) 作動モードのための超低電力散逸、構成及び制御のためのオプトアイソレーテッドマイクロプロセッサインタフェース、製造試験のためのI 2 Cスレーブポート、自動検出入力電圧範囲：127V D C～373V D C (世界的な電圧110V A C～260V A C)、特徴的な出力：22.5W (任意のワット数が可能)、高効率作動のためのハイブリッド電圧変換器、積層スイッチコンデンサ電圧降伏モジュール、P W MゲートドライバによるP I D調整ループ、複数の負荷レベル及びノミ電力スタンバイモードでの高効率のための電力スケール機能、温度検知及びシャットオフ、短絡及び過電流保護、再起動及び制御ロジックによる調整可能な無負荷／軽負荷シャットオフ、選択可能なアナログまたはデジタル制御、最小限またはまったくない外部回路部品数及び個別の装置寸法、ならびに、任意選択の双方向通信のためのデジタルインタフェース。

【0037】

さらに、スイッチモードバックレギュレータ回路は、一般的に昇降圧回路として知られているものを含んでもよい、つまり、昇降圧は、S E P I C、C u k、あるいはブッシュ

10

20

30

40

50

プルまたはその他のトポロジと置き換えてもよい。これらは効率のために同期整流を有して、フライバックまたはフォワードコンバータタイポロジのいずれかを使用してもよい。

【0038】

Tronium PSSoCは、高効率及び高精度で出力電圧調整を提供するように構成される高度な電力制御器集積回路である。Tronium PSSoCの高度な機能は、「充電器」モードまたは「一定供給」モードのいずれかにおいて、多種多様な用途で使用できる多目的装置を使用者に提供する。プログラム可能な出力電圧（1.7V～48Vまたはそれ以上）がTronium PSSoCにより可能であり、さまざまな電流負荷条件にわたって効率はほとんど損失がなく、この機能は「Dial-a-Voltage」機能と呼ばれている。さらに、一般的に1.7V～48Vにわたる複数の電圧／電流の組合せをつくるように、複数の出力電流がハイブリッド回路の組合せまたはスイッチコンデンサ回路単独でつくられてもよく、それは大部分の電子装置を駆動するのに十分である。この「Dial-a-Voltage」機能は、顧客によって適切なコードで工場プログラム可能またはプログラム可能であり、その結果、同じチップを1.7V出力または48V出力に使用してもよく、トランス巻線のような任意の外部部品及びトランスを駆動するFETをわずかに変更するだけである。

10

【0039】

チップ（PSSoC）ASIC上のTronium電源システムは、非常に広い範囲の出力電力にわたって高効率を可能にする高度な出力制御装置である。典型的な「高効率」電源制御装置は全負荷の10%まで、50%未満の効率を誇るが、Troniumの装置は全負荷の1%及びそれ以下まで、90%を超える効率を提供することが意図される。

20

【0040】

Tronium PSSoCは、中間電圧レールを実装することによって、高電圧のパワー変換のための革命的なトポロジを提供し、システムの電源能力を負荷需要に対応させることを可能とする。また、それにより部品はASIC内に縮小され、必要な外部部品は最小化される。そして、電力の増強された最適化のためのトランスのより広い範囲からの選択が、より小さいコイル損失により可能となる。変換及び調整の分離またはその他のトポロジが必要な場合、Tronium PSSoCは、トランスの一次側を駆動するPIDスイッチング制御器も提供する。それは二次側または一次側いずれかの制御／フィードバックも特徴とする。

30

【0041】

1つの実施形態において、Tronium PSSoCは、独自の高電圧中間電圧コンデンサ電圧降伏変換スキームを使用し、それは単独で、または、負荷電圧または電流に関係なく高効率を維持するスイッチモードバックレギュレータと組み合わせて使用できる。電流が負荷によって引かれていないとき、装置は、起きたままにするために必要な従来の「バンパイア」電流を最小化して実質的に排除するために、約1/2ミリワットの低電流作動モードに入る。

【0042】

Tronium PSSoCは、以下の主要な回路ブロックを含んでもよい。中間コンデンサ電圧降伏コンバータモジュール（CVBDモジュール）（所望の電流出力のための1つまたは複数のステージがある可能性がある）、高電圧の1ステージ式または2ステージ式スイッチコンデンサ電圧降伏回路、フォワードコンバータのPWM制御のための比例積分微分（PID）レギュレータ制御ブロック、スイッチモードバックレギュレータPID制御器（電圧出力のための任意選択ハイブリッドタイポロジ）、バックレギュレータスイッチドライバ、電流及び温度検知ブロック、電圧及び電流監視のための12ビットADC、フィードバック制御のための10ビットDACのもの、電流監視状態機械のためのデジタル制御ブロック、オプトアイソレータ通信用インタフェースのためのシリアル入力、試験、評価、修理、及び通信のためのI2Cシリアルインターフェースポート、内部クロック信号発生のための発振器、オンチップ電圧及び電流発生のための電力マネージャ、チップまたは外部に組み込み可能なマイクロコントローラの有無にかかわらず使用するため

40

50

の適合化、一次側検知または二次側検知能力、及び、同期フォワードコンバータ。

【0043】

パワーモジュールは、性能及び効率を最適化するために、アナログ及びデジタル制御の両方を含むTronium PSSoCも含んでもよい。アナログ制御だけでなくデジタル制御も有効にするために、適切な入力及び出力がTronium PSSoCで利用可能でなければならない。これらが利用できれば、内部クロックから電力ループ制御に結合される場合、クロックの制御は外部信号で駆動及び制御できる。新たな手法は、これらの信号が二次側から駆動でき、一方で、Tronium PSSoCがトランスの一次側に配置されるということである。

【0044】

デジタル制御は一般に、絶縁バリアの同じ側で達成される。しかし、Tronium PSSoCが本質的に絶縁したシステムであり、端から端までの効率最適化が必要な場合、一次側または二次背面から一次側への制御が利用されてもよい。これは、Troniumを実装する多数の異なる方法で達成される。これは、マイクロコントローラからのデジタル制御信号ならびに電流センス回路からのアナログ信号を伝達するオプトカプラーで行われる可能性がある。さらにまた、これは、絶縁変圧器上の第3の巻線を使用することにより達成される可能性がある。

【0045】

回路の一部またはすべて、ならびに／あるいは、電気装置が電源回路に含むすべてまたは一部は、シリコンプロセス、窒化ガリウム(GaN)またはヒ化ガリウム(GaA)を使用するチップ上に、または、高効率が見込まれる場合、ディーブトレンチキャパシタまたは高効率部品を提供するその他の利用可能なプロセスを用いて組み込まれてもよい。したがって、これらの部品の1つまたはすべては、トランスでさえ、外部ディスクリットではなく、シリコン(または、GaN-GaA)技術において既知のトランスを使用してASICに組み込まれてもよい。さらに、リップル低減のために、コンデンサまたはFETが本明細書で要求される場所で、必要なコンデンサの寸法を順番に減少させる、小さいRDSon MOSFET、統合化されたデカップリングコンデンサ、及び／またはフライングコンデンサ(C_{FLY})とともにMIM及びMOMコンデンサが使用されてもよい。また、チップ上への統合化されたインダクタの導入により、最高効率を実現することができる。あるいは、GaA、GaN、またはショットキーダイオード部品のような最も高い効率の部品が使用されることになっている。

【0046】

さらに、コンデンサは、ナノコンデンサでもよく、ナノワイヤ、ナノピラー、ナノチューブ、及びナノポーラス材料と同様に、強誘電及びコアシェル材料に基づいてもよい。

【0047】

Tronium PSSoCの基板は、コンデンサ(外部の場合)で、または、高または低抵抗値の珪素基板、多結晶シリコン、窒化ガリウム、ヒ化ガリウム、シリコンゲルマ、あるいは炭化珪素または燐化インジウムのような物質などの半導体基板内で現在使用されている従来どおりの膜から作られる可能性がある。

【0048】

それらのキーは、プロセスが可能なところでの、できるだけ多くのディスクリットのオンボードASIC集積化であり、効率がキーの場合、小さいRDSon値、高い効率の部品、及び十分な電圧降伏部品の識別である。別のキーは、より高い周波数でスイッチバックモジュールを駆動することであり、部品はより小型に、オンボードチップ装置になるだけ十分により小型になる。

【0049】

ここで、本発明の選択された実施形態は、図面を参照して説明される。本発明の実施形態の以下の説明は、説明のためにのみ提供され、添付の請求項及びそれらの等価物によって定義されるように、本発明を制限する目的で提供されるものではないことは、本開示から当業者にとって明らかである。

10

20

30

40

50

【0050】

図1は、電子装置に電力を提供するための電子充電装置10の概略図である。図2は、電子充電装置10で使用されてもよいパワーモジュール12のブロック図である。示される実施形態において、電子充電装置10は、ハウジング14と、ハウジング14から外方に伸長する一対の電力プロング16と、充電装置10から電子装置まで電力を供給するための、電子装置20への連結に適した装置連結組立体18とを含む。また、電子充電装置10は、電源24から電力を受け取り、電力をたとえば、携帯電話、スマートフォン、タブレットコンピュータ、ラップトップ、及び／または任意の好適な電子装置を含むがこれに限定されない携帯型家電装置などの電子装置20に供給するように構成される電源回路22を含むパワーモジュール12を含む。さらに、電源回路22は、たとえば携帯電話／ラップトップ／タブレット蓄電池などの電子記憶装置を充電するために、電力を供給してもよい。1つの実施形態において、電源回路22は、一般的に120VAC（米国）～264VAC〔EU／アジア〕のAC主電源から低電圧のDC出力（一般的に5VDC）を提供するように構成されてもよい。

10

【0051】

示される実施形態において、電源回路22は、一次電源回路26と、二次電源回路28とを含む。一次電源回路26は電源24に電氣的に結合されることに適しており、電源24からAC（またはDC）入力電力信号を受け取り、中間直流（DC）電力信号を発生させるように構成される。中間DC電力信号は、AC入力電力信号の電圧レベルより小さい第1の電圧レベルで発生する。二次電源回路28は一次電源回路26に電氣的に結合されて、一次電源回路26から中間DC電力信号を受け取り、出力DC電力信号を電子装置20に供給するように構成される。出力DC電力信号は、中間DC電力信号の第1の電圧レベルより小さい出力電圧レベルで供給される。たとえば、1つの実施形態において、一次電源回路26は、127ボルト～375ボルトACの範囲の電圧レベルを有するAC入力信号を受け取り、約110ボルトのDCの電圧レベルで中間DC電力信号を供給するように構成される。二次電源回路28は、中間DC電力信号を受け取り、約5ボルトDCで出力DC電力信号を供給するように構成される。

20

【0052】

示されるAC-DCの実施形態において、一次電源回路は、整流回路30と、中間電圧変換器32と、バックレギュレータ34と、中間電圧変換器32及びバックレギュレータ34に電氣的に結合される保持コンデンサ36とを含む。中間電圧変換器32及びバックレギュレータ34は、整流回路30と二次電源回路28との間に並列に結合される。整流回路30は構成され、電源24からAC電力入力信号を受け取り、中間電圧変換器32及びバックレギュレータ34に供給される整流されたDC電力信号を発生させる。1つの実施形態において、整流されたDC電力信号は、AC入力電力信号の電圧レベルとほぼ等しい電圧レベルを有して供給される。図13及び15に示されるように、示される実施形態において、整流回路30は、AC入力電力信号からDC電力信号を生成するために、電源24の高低両側に結合される第1及び第2の入力端子を有する全波ブリッジ整流器に配置される複数のダイオード38を含む。1つの実施形態において、また、整流回路30は、全波ブリッジ整流器に結合されるフィルタコンデンサ40を含んでもよい。さらに別の実施形態において、整流回路30はフィルタコンデンサ40を含まない。別の実施形態において、整流回路30は半ブリッジ整流器（図示せず）を含んでもよい。

30

40

【0053】

図3は、電源回路22で使用されてもよいバックレギュレータ回路34の概略図である。示される実施形態において、バックレギュレータ回路34は、電圧低下回路44に結合されるレギュレータスイッチ組立体42を含む。電圧低下回路44は、高電圧バックダイオード46と、バックエネルギー蓄積インダクタ48と、コンデンサ50とを含む。レギュレータスイッチ組立体42は、整流されたDC電力信号を電圧低下回路44に選択的に供給するために作動する。示される実施形態において、レギュレータスイッチ組立体42は、PチャネルMOSFET52と、PチャネルMOSFET52に結合されるドライバ回

50

路 5 4 と、ドライバ回路 5 4 に結合されるレベルシフタ 5 6 とを含む。1 つの実施形態において、レギュレータスイッチ組立体 4 2 は、N チャンネル MOS F E T 及び／または P チャンネル MOS F E T を含んでもよい。示される実施形態において、バックレギュレータ 3 4 は、P チャンネル MOS F E T 5 2 を制御するパルス幅変調信号を発生させるために、レギュレータ PWM 制御器 6 0 (図 1 6 、 1 7 A 、 及び 1 7 B にも示される) を含むレギュレータ制御回路 5 8 も含む。1 つの実施形態において、制御回路 5 8 は、二次電源回路 2 8 に供給されている中間 D C 電力信号の電圧レベルを検知するためにフォワード整流器用変圧器の一次側に連結される電圧検知回路 6 2 も含んでもよい。レギュレータ PWM 制御器 6 0 は、中間 D C 電力信号の電圧レベルを維持するために P チャンネル MOS F E T 5 2 に供給されている PWM 制御信号のデューティサイクルを調整する検知された第 1 の電圧レベルの関数として、パルス幅調整された制御信号を発生させてもよい。バックレギュレータサーボループ 5 8 は電圧制御であり、V p r i m a r y が検知されて、ドライバ 5 4 のデューティサイクルを調整するために使用される。

【 0 0 5 4 】

1 つの実施形態において、検知回路 6 2 は、トランス内で発生している磁界を検知するために、フォワード整流器用変圧器の一次側に結合される 1 つまたは複数のホール効果センサを含む。ホール効果センサは、作動中、トランスで発生している磁界を直接検知することによってトランスのゼロクロスの測定を容易にする。1 つの実施形態において、検知回路 6 2 は、トランスの一次側に結合される一次側ホール効果センサを含む。一次側ホール効果センサは、トランスが「ゼロクロス」に近づくときを測定するための PWM 制御器 6 0 に信号を伝達するために、PWM 制御器 6 0 に連結される。別の実施形態において、検知回路 6 2 は、トランスの二次側に結合される二次側ホール効果センサを含み、トランスが「ゼロクロス」に達する時間を測定するために、トランス磁界を示す信号を伝達するためのフォワードコンバータ制御器 (図 1 3 に示される) に連結する。

【 0 0 5 5 】

図 4 ~ 8 は、中間電圧変換器 3 2 の概略図である。図 9 は、中間電圧変換器 3 2 で使用されてもよいゲイン設定を示す表である。図 1 0 ~ 1 2 は、図 9 に示されるそれぞれのゲイン設定に関する、充電フェーズモード 6 6 及び放電フェーズモード 6 8 における中間電圧変換器 3 2 の略図である。示される実施形態において、中間電圧変換器 3 2 は、保持コンデンサ 3 6 及び二次電源回路 2 8 に結合される 1 ステージ式スイッチコンデンサ電圧降伏回路を含む。スイッチコンデンサ電圧降伏回路は、並列に電氣的に結合される一対のフライバックコンデンサ 7 0 と、フライバックコンデンサ 7 0 のそれぞれに電氣的に結合される複数のスイッチ組立体 7 2 とを含む。スイッチ組立体 7 2 は、充電フェーズモード 6 6 と放電フェーズモード 6 8 との間で選択的に作動する。充電フェーズモード 6 6 の間、スイッチ組立体 7 2 は、整流された D C 電力信号をフライバックコンデンサ 7 0 のそれぞれに供給するためにフライバックコンデンサ 7 0 を整流回路 3 0 に連結する充電回路 7 4 を形成するように作動する。放電フェーズモード 6 8 の間、スイッチ組立体 7 2 は、中間 D C 電力信号を保持コンデンサ 3 6 に供給するためにフライバックコンデンサ 7 0 を二次電源回路 2 8 に連結する放電回路 7 6 を形成するように作動する。

【 0 0 5 6 】

1 つの実施形態において、図 8 に示されるように、1 ステージ式スイッチコンデンサ電圧降伏回路 3 2 は、第 1 フライバックコンデンサ C f b 1 と、第 2 のフライバックコンデンサ C f b 2 と、9 つのスイッチ組立体 S 1 、 S 2 、 S 3 、 S 4 、 S 5 、 S 6 、 S 7 、 S 8 、 及び S 9 とを含んでもよい。さらに、2 つのスイッチ組立体 S 3 及び S 9 は、接地に結合される。作動中、スイッチコンデンサ電圧降伏回路のゲイン設定は、図 9 に示されるゲイン設定表に従ってスイッチ組立体を選択的に作動させることによって調整されてもよい。たとえば、充電フェーズモード 6 6 (フェーズ 1) の間、スイッチ S 1 、 S 4 、 S 7 及び S 8 はオンにされて閉位置に動かされて、スイッチ組立体 S 2 、 S 3 、 S 5 、 S 6 及び S 9 はオフにされて開位置に動かされ、フライバックコンデンサ C f b 1 及び C f b 2 を整流回路 3 0 に連結するために充電回路 7 4 を形成する。図 1 0 ~ 1 2 に示されるよう

に、充電回路 74 において各フライバックコンデンサ C f b 1 及び C f b 2 の上板は、整流回路 30 線間電圧 V l i n e に連結している。G = 1 x と等しいゲイン設定のために、放電フェーズモード 68 (フェーズ 2) の間、スイッチ組立体 S 2、S 3、及び S 7 はオンにされて、スイッチ組立体 S 1、S 4、S 5、S 6、S 8、及び S 9 はオフにされ、保持コンデンサ 36 に連結されるコンデンサ C f b 1 の上板と、コンデンサ C f b 1 の底板に連結されるコンデンサ C f b 2 の上板とを含む、図 10 に示される放電回路 76 を形成する。図 9 及び 11 を参照すると、G = 1 / 2 x と等しいゲイン設定のために、放電フェーズモード 68 (フェーズ 2) の間、スイッチ組立体 S 2、S 5、及び S 9 はオンにされて、スイッチ組立体 S 1、S 3、S 4、S 6、S 7、及び S 8 はオフにされ、保持コンデンサ 36 に連結されるコンデンサ C f b 1 の上板と接地に連結されるコンデンサ C f b 1 の底板と、保持コンデンサ 36 に連結されるコンデンサ C f b 2 の上板と接地に連結されるコンデンサ C f b 2 の底板とを含む放電回路 76 を形成する。図 9 及び 12 を参照すると、たとえば、ゲイン設定は G = 2 / 3 x と等しく、放電フェーズモード 68 (フェーズ 2) の間、スイッチ組立体 S 2、S 6、及び S 9 はオンにされて、スイッチ組立体 S 1、S 3、S 4、S 5、S 7、及び S 8 はオフにされ、保持コンデンサ 36 に連結されるコンデンサ C f b 1 の上板と、コンデンサ C f b 1 の底板に連結されるコンデンサ C f b 2 の上板と、接地に連結されるコンデンサ C f b 2 の底板とを含む放電回路 76 を形成する。

【0057】

1 つの実施形態において、本明細書で説明されるように、スイッチコンデンサ回路の複数の「ステージ」は一緒に連結され、それは、ハイブリッド電力変換／調整回路の追加により、または、その追加の必要なく、追加の電流出力を得るために使用されてもよい。

【0058】

図 7 を参照すると、示される実施形態において、スイッチコンデンサ電圧降伏回路 32 は、スイッチコンデンサ電圧降伏回線 32 を作動させるためのスイッチ組立体 72 のそれぞれに結合される制御回路 78 も含む。制御回路 78 は、整流回路 30 から受け取っている整流された DC 電力信号の電圧レベルを検知するための電圧検知回路 80 と、検知された電圧レベルの関数としてスイッチコンデンサ電圧降伏回路 32 のゲイン設定を選択して、選択されたゲイン設定の関数として複数のスイッチ組立体のそれぞれを作動させるように構成されるゲイン制御器 82 とを含む。検知された入力電圧レベルの関数としてスイッチコンデンサ電圧降伏回路 32 のゲイン設定を選択する制御回路 78 を提供することによって、スイッチコンデンサ電圧降伏回路 32 は、スイッチコンデンサ電圧降伏回路 32 の作動を調整して、異なる国及び／または電力網の AC 電圧レベルの変化に対応し、あらかじめ定義された電圧レベルの中間 DC 出力信号を供給し、最適の電力効率を維持することができる。示される実施形態において、制御回路 78 は、抵抗分割器 84 と、一對の比較器 86 と、ロジックデコーダ 88 と、ゲイン制御器 82 とを含む。比較器 86 の負入力バンドギャップ発生器に連結されて、正入力整流回路 30 線間電圧 (V l i n e) に連結されている。

【0059】

図 4 ~ 6 を参照すると、示される実施形態において、1 つまたは複数のスイッチ組立体は、N チャネル MOS F E T スイッチ 90 と、制御信号を N チャネル MOS F E T 90 の作動を容易にする N チャネル MOS F E T スイッチ 90 に供給するために N チャネル MOS F E T スイッチ 90 に連結されるレベルシフタ 92 とを含む。さらに、1 つまたは複数のスイッチ組立体 72 は、作動中、N チャネルゲートを閉じるために必要な高電圧の信号を提供するレベルシフタ 92 に連結されるディクソンチャージポンプ 94 を含む。ディクソンチャージポンプ 94 は、レベルシフタ 92 による N チャネル MOS F E T スイッチ 90 の作動を可能にするスイッチ組立体電源電圧より大きい電圧レベルを有する出力電力信号を発生させるように構成される。1 つの実施形態において、各スイッチ組立体 72 は、N チャネル MOS F E T 90 と、N チャネル MOS F E T 90 に結合されるレベルシフタ 92 と、レベルシフタ 92 に結合されるディクソンチャージポンプ 94 とを含む。別の実施形態において、2 つ以上のレベルシフタ 92 が、単一のディクソンチャージポンプ 94

に連結されてもよい。本明細書において用語N M O Sが使用される場合はいつでも、それをP M O Sで置換でき、逆もまた同じである。

【0060】

示される実施形態において、少なくとも1つのスイッチ組立体72は、NチャネルM O S F E Tスイッチ90に連結されるレベルシフタ92を含む。さらに、ディクソンチャージポンプ94は、NチャネルM O S F E Tスイッチ90のゲートを閉じるのに十分な電力信号を提供するために、レベルシフタ92に連結する。示される実施形態において、ディクソンチャージポンプ94は、NチャネルM O S F E Tの電源電圧V s o u r c eに連結し、N M O Sを使用する場合に、出力信号を、電源電圧V s o u r c eの電圧レベルより大きい電圧レベルを有するレベルシフタ92に供給するために構成される。1つの実施形態において、ディクソンチャージポンプ94は、適切なゲート動作を保証するために、電源電圧V s o u r c eより約15〜20ボルト大きい電圧レベルを有する出力電力信号V_{DCP}を供給するように構成される。ゲイン制御器82は、低電圧の制御信号をレベルシフタ92に提供するために、レベルシフタ92に連結される。レベルシフタ92は、電源電圧V s o u r c e及びディクソンチャージポンプ94に連結され、制御信号を、受け取った制御信号の関数として、スイッチ組立体72を作動させるのに十分な電圧レベルを有するNチャネルM O S F E T 90に供給するように構成される。

10

【0061】

図13は、フォワードコンバータ回路96を含む二次電源回路28の概略図である。示される実施形態において、フォワードコンバータ回路96は、一次電圧低下回路98と、二次電圧低下回路100とを含む。一次電圧低下回路98は、一次電源回路26から中間D C電力信号を受け取り、二次D C電力信号を二次電圧低下回路100に供給するように構成される。二次D C電力信号は、中間D C電力信号の電圧レベルより小さい電圧レベルを有する。二次電圧低下回路100は、二次D C電力信号を受け取り、電子装置20に供給されている出力D C電力信号を発生させるように構成される。

20

【0062】

示される実施形態において、一次電圧低下回路98はトランス102を含む。トランス102の一次側は一次電源回路26に連結し、トランス102の二次側は二次電圧低下回路100に連結している。1つの実施形態において、一次電圧低下回路98は、トランス一次側に結合されるF E Tを含むスイッチ組立体104と、二次D C電力信号の電圧レベルを調整するためにスイッチ組立体104を選択的に作動させるためにスイッチ組立体104に結合される制御回路103と含んでもよい。トランス制御回路103は、D C出力信号の電圧及び電流レベルを検知するために、一次側電圧検知回路105を含んでもよく、あらかじめ定義された出力電圧レベル及び必要な電流レベルでD C出力信号の電圧レベルを維持するために、トランススイッチ組立体104を作動する。こうして、少なくとも5つの部品が式から取り除かれるが、それは通常、オプトカップラと、演算増幅器と、インダクタと、ダイオードと、コンデンサとを含む二次側センス制御器で必要である。二次電圧低下回路100は一对のダイオードと、インダクタと、コンデンサとを含む。また、フォワードコンバータ96は、抵抗と、コンデンサと、ダイオード(R C D)回路150(図37に示される)とを含んでもよい。R C D回路150は、一次側スイッチ104がオフのとき、トランス102が飽和状態になることを避けるために、トランスリセットを行うように構成される。フォワードコンバータ96はパルスベースステップダウンコンバータである。デューティサイクル調整されたデジタルパルスは、入力D C電圧をA C電圧に変換するために、一次側スイッチ104に加えられる。トランス巻線比がステップダウンを提供する。この場合、ステップダウンは11:1からある。二次側はその端子でA C電圧を参照する。このA C電圧は二次電圧低下回路100ダイオードによって整流されて、出力でステップダウンされたD C電圧を生成するために、L Cフィルタによってフィルタリングされる。デューティサイクルは、アナログまたはデジタルサーボループによって調整される。このサーボループは出力側でD C電圧を確認し、エラー信号を生成するためにそれをレスポンスと比較する。このエラー信号は、このエラーをパルス幅調整されたD C

30

40

50

パルスに変換する比較器を駆動するために使用される。このDCパルスは、一次側スイッチゲート104に加えられるとき、出力のエラーを修正して、さまざまな負荷レベルのための調整を維持する。

【0063】

1つの実施形態において、トランス制御回路103は、負荷電流及び負荷電圧を検知するためにトランス102の一次側に連結される一次側電流センス回路107を含んでもよく、あらかじめ定義された負荷電圧の5%までにDC出力信号を調整することを容易にする。制御回路103は電流センス抵抗109を使用して、一次巻線全体を計測する。示される実施形態において、トランス制御回路103は、FET104を駆動する比較器111を含む。1つの実施形態において、抵抗109は0.10オームの抵抗である。制御回路103は、パルスバイパルス方式で負荷電流を検知して、ピーク電流を検知するように構成される。たとえば、1つの実施形態において、スイッチ104がオンのとき、制御回路103は抵抗109の両端電圧を検知して、電圧様式でセンス電流を提供する。スイッチ104がオフのとき、制御回路103は、オフトランジスタ104のドレインのないVprimaryとほぼ等しくてもよいトランス102の一次側の両端差動電圧を検知する。トランジスタ104がオフのとき、ノコギリ歯信号でもあるようなドレイン電圧がある。電圧及び電流は、低電圧に降圧されて、抵抗分割器を含むスイッチコンデンササンプルホールド回路を使用してサンプリングされ、一次巻線の差動電圧部をセットして、電圧をサンプルホールド回路に導く。差動電圧は、Vprimaryを含む巻線及びVprimaryの底部にわたる ΔV と等しい。サンプルホールド回路及び抵抗分割器は一次電圧を5ボルト未満まで降圧し、次に、 ΔV を取得するうやうやしいを取り出す。サンプルホールド回路は比較器111を駆動する。比較器111のその他の入力は、0.1オームの抵抗109の両端で検知するサンプルホールドされたピーク電流電圧である。比較器111への入力は拡大及びゲインアップされて、オフセットされ、その結果、入力は定常状態下であり、比較器111はセットリセットフロックロックを駆動する。FET104は、比較器111で駆動されるANDゲートを含む。比較器111を離れたクロックは、ANDゲートのデューティサイクルを調整する。ANDゲートは、高いパルス幅クロックで駆動される高デューティサイクルを有し、それはノコギリ歯信号である。ANDゲートのその他の入力比較器111の出力であるため、比較器111はそのデューティサイクルを小デューティサイクルまたは大デューティサイクルに調整する。1つの実施形態において、クロックは、フォワードコンバータサーボループの100kHzのクロックである。

【0064】

トランスからの三次巻線はセンサのための電源として必要ではない。検知回路が一次側の上にあり、電源は二次側から必要ないため、電源は一次側から利用可能である。一次側インダクタ両端の電圧及び一次側FET104に向かう電流は、システムの出力電圧を測定するために使用される。1つの実施形態において、FET104は、2ボルトの閾値を有する200ボルトのフィリップス部品装置を含み、それは5Vの信号を使用してもよく、FET104を駆動してレベルシフティングなしでそれをオンにする。別の実施形態において、10ボルトのLDOまたは20ボルトのLDOは、FET104を作動させるために、5ボルトから10ボルト、または5ボルトから20ボルトに昇圧するレベルシフタで使用されてもよい。

【0065】

示される実施形態において、制御回路103は、スイッチ104がPWMサイクルの各矩形波間でオンであるとき、サンプルホールド回路が正しくピーク電圧を得るゲート式手法を実装するためにMOSFET104のドレインパスであるセンス抵抗109を使用する。ゲート装置はスイッチがオンのときにサンプリングするが、それは、スイッチがオフのときは、そのときに得られる情報がないためである。

【0066】

示される実施形態において、電源回路22は、さまざまな電流及び／または電圧要件を有するDC出力信号を発生させるための異なる巻数比を有する、構成された対応異なるト

10

20

30

40

50

ランスである。

【0067】

1つの実施形態において、電源回路22は、全波ブリッジ38と、整流回路30と、入力コンデンサ40とを含むことができず、 V_{LINE} はDCであり、したがって、本使用事例が要求して、次に、調整されたバック回路34を使用して本明細書でさらに説明される電圧降伏を伝導し、スイッチキャップVB32がまだ使用されている場合、回路は直流(DC)を受け取ることができる。しかし、いくつかの使用事例において、特に小さいDC-DC電圧降伏の場合、バックレギュレータ34は必要なく、1つのステージ(図2-12に示されるように)のみが使用されるかどうかにかかわらず、スイッチキャップVB32だけが使用される。この場合、出力から制御信号105を除き、電流センス抵抗109のみに依存し、厳密に調整された電圧をまだ維持する可能性がある。

10

【0068】

別の実施形態において、回路のDC入力変動に関して、本使用事例は、(トランスが電圧/電流変換に必要とない、または、絶縁が必要でない場合)たとえばスマートフォンで見られる内部部品の場合のようなトランスを要求できない。この場合、トランスは必要ではなく、トランスを駆動するFETと一緒に回路から取り除かれてもよい。この場合、すべてのフォワードコンバータ制御器回路96、28を取り除くことが可能であり、 C_{hold} コンデンサ36はセンス抵抗回路セグメント109に置き換えられる。さらに、交流回路を整流または絶縁する必要がない場合、この回路はACならびにDCで動作することができる。

20

【0069】

図15は、電力回路22で使用されてもよい電力制御器集積回路(Tronium PSSoC)106を含むパワーモジュール12の概略図である。図16、17A、及び17Bは、Tronium PSSoC106のブロック図である。示される実施形態において、パワーモジュール12は、プリント回路基板108と、パッケージングされたチップ内に形成されて、プリント回路基板108に結合されるTronium PSSoC106とを含む。電気回路22の少なくとも一部は、Tronium PSSoC106内に含まれる。さらに、デジタル制御はマイクロプロセッサ、外部、あるいは、チップまたは状態機械に組み込まれたもののいずれで行われてもよい。1つの実施形態において、電気回路22に含まれる電気回路及び電気部品の一部またはすべては、Tronium PSSoC106内に含まれる。Tronium PSSoC106は、自律型パワーモジュール(図16及び28に示される)と汎用パワーモジュール(図17A、17B、及び29に示される)とを含む2つの一次パワーモジュール用途で使用するために構成されてもよい。たとえば、図16に示されるように、自律型パワーモジュールは、費用削減のためのアナログフィードバック手法に基づく自律型作動モードで作動するように構成されるTronium PSSoC106を含む。汎用パワーモジュール(図17A及び17Bに示される)は、汎用作動モードで作動し、フィードバックを最終的な出力電圧の調整のために提供するマイクロプロセッサ(μP)制御器を利用するように構成されるTronium PSSoC106を含む。

30

【0070】

示される実施形態において、Tronium PSSoC106は、トレーサビリティ、マーキング、はんだ付性、及び/または耐溶剤性のあらかじめ定義された要件に適合するように構成される。Tronium PSSoC106は、日付コード、工場識別子、及びトレーサビリティ/信用コードを示すためにマーキングされる。信用コードは、「コピー商品」に対する本物の部品として、識別及び検証する手段を提供する。テープ及びリール上のすべての生産実装部品は、同じ一意の日付コードと、工場識別子と、トレーサビリティ/信用コードとを含む。ロット分離が、同じロットの部品内での日付コードの混合を防止するような方法であってもよい。パッケージングされた部品は、部品番号、日付コード、及びトレーサビリティコードを示すためにマーキングされる。端子は、パッケージングされたTronium PSSoCのIPC-J-STD-001及びIPC-J-

40

50

S T D - 0 0 2 のはんだ付性要件に適合するように構成される。パッケージングされた T r o n i u m P S S o C 及びそのマーキングは、M I L - S T D - 2 0 2 試験方法 2 1 5 の要件に適合するように構成される。

【0071】

T r o n i u m P S S o C 1 0 6 は、高効率及び高精度な出力電圧調整を提供するように設計された高度電力制御器集積回路である。T r o n i u m P S S o C 1 0 6 は、多種多様な用途で利用できる多目的装置を使用者に提供し、「D i a l - a - V o l t a g e」機能により、同じチップが、実際的には任意の電子装置で動作するように構成できる。同様に、T r o n i u m P S S o C により、プログラム可能な出力電圧がさまざまな電流負荷条件でほとんど効率の損失なく可能である。

10

【0072】

示される実施形態において、T r o n i u m P S S o C 1 0 6 はスイッチコンデンサ回路 3 2 及びスイッチモードバックレギュレータ 3 4 を使用し、負荷電圧または電流に関係なく、高効率を維持する。たとえば、電流が負荷によって電子装置 2 0 に引かれていないとき、T r o n i u m P S S o C 1 0 6 は、起きたままでいるために必要な従来の「バンパイア」電流を最小化するために、低電流作動モードに入る。示される実施形態において、T r o n i u m P S S o C 1 0 6 は、1 ステージ式スイッチコンデンサ回路 3 2 と、フォワードコンバータ二次トランス 1 0 2 の PWM 制御のための P I D レギュレータ制御ブロック 1 1 0 (図 2 0 に示される) と、スイッチモードバックレギュレータ制御器 1 1 2 と、バックレギュレータスイッチドライバ 1 1 4 と、電流及び温度検知ブロック 1 1 6 と、電圧及び電流監視のための 1 2 ビットアナログデジタルコンバータ (A D C) 1 1 8 と、フィードバック制御のための 1 0 ビットデジタルアナログコンバータ (D A C) 1 2 0 (図 1 7 A 及び 1 7 B に示される) と、状態機械を監視する電流のためのデジタル制御ブロック 1 2 2 と、オプトアイソレータ通信用インタフェースのためのシリアル入力と、I 2 C シリアルインターフェースポートと、オンチップ電圧及び電流発生のための電力マネージャユニット 1 2 4 とを含む。音、光検出、放射、及び衝撃などのその他の種類のセンサはまた、使用事例によって追加できる。

20

【0073】

図 1 8 は、電力管理ユニット 1 2 4 のブロック図である。示される実施形態において、電力管理ユニット (P M U) 回路ブロック 1 2 4 は、T r o n i u m P S S o C の適切な作動のために必要なバイアス電圧及び電流を発生させて、管理する。2 つの線形電圧レギュレータは、I C の低電圧回路、さらに、オプトアイソレータ及び任意選択の外部マイクロプロセッサなどの外部サポート装置のために、調整された 5 . 0 V を供給する。線間電圧への連結時に I C を適切に初期化することに加えて、P M U 1 2 4 は故障条件に関して電圧源を監視して、主要なパワーオンリセット (P O R) 1 2 6 を提供する。示される実施形態において、P M U 1 2 4 は、バンドギャップ型基準電圧源と、電流基準発生器と、ライン側低出力線形電圧レギュレータと、トランス一次側線形電圧レギュレータと、パワーオンリセットとを含む。電力散逸を減らすために、ライン側回路は、L I N E _ I N 電圧 (V l i n e) の約十分の一の電圧を供給する L I N E _ O P 1 ピンから電力を供給される。この電圧は、I C の L I N E _ I N 及び L I N E _ R D I V ピンに連結される外部抵抗分割器を使用して、内部的に発生する。P M U 1 2 4 の初期処理は、L I N E _ I N ピンで整流された電圧の用途から始める。

30

40

【0074】

P M U 1 2 4 は、線間電圧から電力を供給される T r o n i u m P S S o C 1 0 6 のために、低出力バンドギャップ基準電圧及び電流発生器を含有する。高精度の温度補償式出力電圧は、複数のバンドギャップ絶対温度比例 (P T A T) 電流出力とともに、後続の回路ブロックによって基準として提供される。バンドギャップ出力電圧は、b g _ t r i m [7 : 0] レジスタビットで温度係数を最適化するために、ウエハプローブでトリミングでき、マイクロプロセッサに格納されるワンタイムプログラマブル (O T P) メモリに格納できる。バンドギャップセルは自己起動形であり、初期化のためにデフォルトトリ

50

ム値のみ必要とする。バンドギャップセルはスリープモードの間、無効ではなく、常に電力が供給されており、超低電力作動のために設計されている。

【0075】

PMU124は、PSSoCのLINE__IN入力に存在する高電圧を、低出力電圧領域のために調整された電圧に変換するために提供される低出力線形電圧レギュレータ(LPREG)も含む。LPREGはバンドギャップ基準電圧を使用して、スイッチコンデンサ回路32、オンチップロジックなどのための低周波発振器を含む、常に電力が供給される低出力オンチップ回路ブロックを駆動するために、5.0Vの調整された出力を発生させる。外部(オフチップ)バイパスコンデンサは、LPREGピンに連結されるノイズフィルタリングのために使用されてもよい。レギュレータはスリープモードの間、無効ではなく、常に電力が供給されている。

10

【0076】

PMU124は、オフチップオプトアイソレータ、PWMゲートドライバ、及びその他のサポート回路のより高い電流要件を満たすために提供される一次側低電圧レギュレータも含んでもよい。外部10 μ Fバイパスコンデンサは、VREG5ピンに連結されるノイズフィルタリングのために必要である。電圧レギュレータは、en__Xv信号を使う試験のために無効にされてもよい。セルへのen__Xv入力が「小さい」とき、セルの内部アナログ電流はすべて無効にされ、出力はハイインピーダンスである。

【0077】

POR126ブロックは、LPREG回路ブロックによって発生するとき、Tronium PSSoCの内部供給電圧を監視する。たとえば、図19は、POR126で使用されてもよいPOR閾値電圧を示す。1つの実施形態において、V_{POR}閾値電圧より小さいLPREGピンの電圧については、POR出力は「高く」アサートされ、リセット条件を示す。さらに、V_{POR}閾値電圧より大きいLPREGピンの電圧については、POR出力はノーマル作動のために「低く」デアサートされる。V_{POR}閾値を上回ると閾値電圧が低減するように、ヒステリシスは提供される。そして、ヒステリシスから得られる閾値はV_{POR}-V_{HYS}と等しい。POR信号の反転されたバージョンもPOR__Bで提供されてもよい。

20

【0078】

示される実施形態において、Tronium PSSoC106に含まれるスイッチコンデンサ電圧降伏回路(SCVBC)32は、容量電圧降伏技術(CVBD)による分圧器として構成される。コンデンサによって、それは外部トランス102及び二次電圧制御ループによる使用のために、LINE__INピンに存在する整流されたDC電圧を、CP2__OUTピンの低下させた電圧に分割する。次に、外部トランス102は、一次二次巻線比の関数として、この電圧を所望の印加電圧にさらに下げる。1つの実施形態において、図17Aに示すように、SCVBC32は2つの同一ステージのカスケードとして構成される。別の実施形態において、図38~39に示すように、SCVBC32は複数のスイッチコンデンサステージを含む。SCVBC32は、容量降伏ブロックにつき最大50mAを供給するように構成され、それは半分またはその他の分割に電圧降伏するスイッチコンデンサブロックからなる。これは、トランス102の一次側において、軽負荷状態のもとで、50mAから1mA未満までの負荷電流の範囲で95%以上の効率を提供して、維持する。たとえば、外部トランスと整流器の97%以上の効率、及び、92~97%以上の全モジュール効率を仮定することが、シミュレートされて、達成できる。1つの実施形態において、SCVBC32は、電力効率を最大化するオンチップフライバックコンデンサと、外部2.2 μ Fバケットコンデンサと、電圧リプルを最小化する2つの外部7.5 μ F保持コンデンサとを含んでもよい。これらのコンデンサは、それぞれ、スイッチコンデンサ回路の第1及び第2ステージの出力のためのCP1__OUT及びCP2__OUTピンに連結される。両方のステージは、オンチップRC発振器から得られる2フェーズで非重複のクロック発生器から、1kHzの周期で計測される。

30

40

【0079】

50

図 17 A 及び 17 B を参照すると、1 つの実施形態において、Tronium PSS oC106 に関して、CP2__OUT の SCVBC32 出力電圧は、8 ビットバイナリ加重デジタルアナログコンバータを使って、120～90 ボルトの範囲で 0.117 ボルトずつプログラム可能である。SCVBC 出力は、フォワード整流器用変圧器 102 は、降圧プロセスにおいて大部分の出力電流を提供することを保証するために、この範囲に制限される。SCVBC は、50 mA の出力電流に制限される。追加の電流が用途のために必要な場合、スイッチモードバックレギュレータ 34 は最大 430 mA の電流を提供することが可能でもよい。SCVBC32 の各ステージは、電圧変換比を生成するようにプログラムされてもよい。このプログラミングは、整流された LINE__IN 電圧が 8 ビット DAC 設定と比較されるコースゲイン制御において、自動的に行われる。この DAC のデジタル制御により、対象用途で必要とする所望の最終的な出力電圧を得るようにプログラムされる複数の電圧が可能となる。トランス巻数比の関数として DAC でプログラムされる可能性がある負荷電圧の実施例。

【0080】

図 16 を参照すると、1 つの実施形態において、SCVBC32 は、1、0.66、または 0.5 の対応する分割器比率の 1 ステージ式スイッチコンデンサ回路を含んでもよい。次に、存在する出力電圧は、5.0 V の最終的な用途の出力電圧を得るために、外部（オフチップ）フォワードコンバータ 96 によって低下する。SCVBC（及びバック制御器）のすべてのアナログ及びデジタル信号は、5 V 領域で発生する。SCVBC 誤差電圧は、抵抗分割器を使用する XV 領域内にあるようにスケーリングされる。処理を XV 電圧領域内で行うことができるように、LINE__IN 電圧もスケーリングされる。

【0081】

図 16 に示される 1 つの実施形態において、SCVBC 32 は、SCVBC32 の適切な分割器比率を測定するために、スケーリングされた LINE__IN 電圧を使用するゲイン制御ブロックを含む。スケーリングされた LINE__IN 電圧は、AC 主電源の電圧の関数として、3 つ以上の可能な分割器比率のうちの 1 つを選択するために、バンドギャップ基準電圧と比較される。出力電圧の最終的な調整は、クロックがオン及びオフされるスイッチコンデンサレギュレータで行われ、保持コンデンサに供給される充電量を制御する。

【0082】

図 17 A 及び 17 B を参照すると、1 つの実施形態において、SCVBC ゲイン制御ブロックは、CP1 及び CP2 の連結された分割器ステップから得られる適切なコース分割器比率を測定するために、スケーリングされた LINE__IN 電圧及び出力電圧 DAC 設定を使用してもよい。このように、世界的な AC 入力電圧の関数としての 120 及び 90 ボルトの出力の設定が実現できる。CP2 出力電圧の最終的な調整は、クロックが CP1 及び CP2 保持コンデンサに供給される充電量を制御するためにオン及びオフされるスイッチコンデンサレギュレータで行われる。CP1 及び CP2 に必要な最も小さい分割器比率は、CP1 ステージが高圧 NMOS スイッチ両端での電圧降下を最小化するようにプログラムされなければならない。

【0083】

CP2 出力はフォワードレギュレータの一次巻線を与える。システムの最終的な出力電圧は、以下の式によってセットされる。

$$(V_{SET} / X_{FMR_{RATIO}}) * dc = V_{OUT}$$

【0084】

ここで、dc はフォワードレギュレータのデューティサイクルで、システムトランスが飽和しないことを保証するために、0.5 以下に維持しなければならない。

【0085】

SCVBC32 は、ブースト電圧を NMOS 高電圧スイッチのゲートに提供するために使用されてもよいディクソンチャージポンプ（DCP）94（図 5 及び 6 に示される）を含む。DCP のものは 1.6 MHz のクロック周波数で計測されてもよく、LINE__I

Nピンの電圧プラス約18Vと等しいゲート電圧を発生させてもよい。さらに、各々のNMOS高電圧スイッチ90は対応するレベルシフタを含み、低電圧領域からDCPのものによって提供されるブースト電圧まで駆動信号を変換してもよい。1つの実施形態において、これはデュアルレベルシフタを必要とし、その他の要件は1つのレベルシフタを必要とするだけでもよい。レベルシフタへの入力は5Vで、SCVBC32による使用のために20V領域に変換される。この同じ種類レベルシフタは、出力電流駆動のためにスケーリングされ、Tronium PSSoC106を通して使用されてもよい。

【0086】

1つの実施形態において、図17A及び17Bに示されるように、Tronium P
S S o C 1 0 6 は、プログラム化可能性をスイッチコンデンサ回路の出力電圧に提供する
デジタルアナログコンバータ(DAC)を含んでもよい。R2R電流モードDACトポロ
ジは、バンドギャップ基準電圧を、スイッチコンデンサ回路で必要とされる制御電圧にデ
ジタル的にスケーリングし、使用者によってプログラムされる出力電圧を維持する。DA
Cの出力電圧範囲は、CP_DAC[7:0]レジスタビットによって118mVずつプ
ログラムされる120~90Vである。

【0087】

また、SCVBC32は、比較器を含むスイッチコンデンサレギュレータと、SCVB
Cの充電を制御するために使用されるANDゲートとを含んでもよい。1つの実施形態に
おいて、比較器の入力は、出力電圧DACと、CP2出力電圧のスケーリングされたバー
ジョンを含んでもよい。たとえば、CP2出力からのスケーリングされた電圧がDAC電
圧より大きい場合、比較器出力は小さく、1kHzのCPクロックはゲートオフされる。
DAC電圧がスケーリングされたCP2出力電圧より大きい場合、比較器出力はアサート
された高さであり、ANDゲートはクロックが出力を充電することを可能にする。さら
に、比較器は、ヒステリシスでCP2出力電圧リプルを最小化するように設計されてもよい。
さらに、レギュレータは不連続なモードで両方のCPステージを駆動してもよい。すな
わち、7.5μF保持コンデンサの充電が必要なとき、クロックパルスは存在するだけで
ある。

【0088】

示される実施形態において、多くのCVBDモジュールが使用されない場合、大電流負
荷(最大430mA以上)はスイッチモードバックレギュレータ(SWR)34及びCV
BDモジュールを含むハイブリッドトポロジを使って容易に取り扱われる。Troniu
m P S S o C 1 0 6 はSWR34のために制御器を含有し、それは、外部(オフチップ)
PMOSスイッチ(チップPMOSまたはNMOSの内部に[ゲートのための追加のデ
ィクソンチャージポンプとともに]ある可能性がある)の使用により、負荷の高電流需要
を供給する。高電流パスがPSSoCの外部にあるため、PSSoCは大部分の負荷電流
を損失することを要求されない。これは、高電圧装置のオン抵抗によるPSSoCでの追
加の寄生損失の原因を取り除くことによって、全システム効率を向上させる。SWRは、
CVBDモジュールと同じ周波数で調整されても、またはより高い周波数(500kHz
~1MHz)で駆動されてもよく、一方、CVBDモジュールは、より効率的なままであ
るために、より小さい周波数で駆動している。(CVBDモジュールは、より高い周波数
で駆動される可能性があるが、今日の半導体プラットフォームに提供される電流装置により、これはゲート開閉を増加させ、それは損失を増加させる)。

【0089】

1つの実施形態において、バックレギュレータ34は、以下の外部(オフチップ)部品
を含んでもよい。1. 直列高PMOSスイッチ。PMOSスイッチは、小さいRDS_{ON}
、小さい入力容量、及び400Vより大きいV_{DS}のために選択されてもよい。2. 高い
ボルト降伏、極小リーク、及びスイッチング電流を有する高電圧バックダイオード。3.
バックエネルギー蓄積インダクタ。インダクタはESRが低くなくならず、適切な非定
格電流を取り扱うことができなければならない。しかし、これらの部品は、通常バックを
駆動する周波数によって決まり(周波数がより高くなると、必要な部品の値はより小さく

なる)、チップ上の内部装置／部品であってもよく、外部でなくてもよい。Ga N及び／またはGa A及びディープトレンチキャパシタ技術、ならびにチップ上にトランスを配置する技術の用途により、すべての部品がワンチップに存在してもよい。

【0090】

Tron ium PSSoC106は、バックレギュレータPWM制御器による使用のために、100kHz(公称)のクロックを生成するように分割される高周波発振器も含んでもよい。100kHzのクロックは、デジタル制御ブロックで疑似ランダムアルゴリズムによりディザ処理され、EMIスペクトルのハーモニックを抑制する。そして、このクロックは、外部バックレギュレータPMOS/NMOS FETのオン／オフ時間を制御するパルス幅変調である。100kHzのクロックは、それが誤差増幅器出力と比較されるTron ium PSSoC106内で、ノコギリ歯ランプに変換される。次に、比較器出力からのパルス幅変調信号はレベルシフタ入力に加えられ、外部バックレギュレータPMOS FETのオン／オフ時間を制御する。バックレギュレータ34の誤差増幅器は、抵抗分割器を使ってCP2__OUTで電圧をスケーリングすることにより、レギュレータからフィードバックを受け取る。次に、電圧フィードバック信号は、内部抵抗及びコンデンサを使用して調整され、すべての条件の下でバックレギュレータのレスポンスを制御する。調整サーボループの結果として生じる変換関数は複数の極及び零点からなり、レギュレータ出力が50mA~430mAのあらゆる負荷条件で安定であることを保証する。バックレギュレータのための誤差増幅器及びPWM制御器は、外部高電圧PMOS FETスイッチを駆動するためにシフトされたレベルである最終的な制御信号により、5ボルト領域にすべて配置される。

10

20

【0091】

Tron ium PSSoC106は、バックレギュレータ34のPMOS/NMOS FETのゲートを駆動するために必要なハイサイド電圧をつくるために使用されるLD Oバックレギュレータ128も含んでもよい。次にこの電圧は、外部PMOS/NMOS FETを駆動するために必要なゲート電圧を供給するために使用される。コンデンサはフィルタリングのために連結される。

【0092】

示される実施形態において、Tron ium PSSoC106は、ピンRCSP及びRC SNで外部電流センス抵抗両端の電圧を検知するTron ium PSSoCの電流センス増幅器を含む。この電圧はサンプリングされて、スイッチキャパシタ差動増幅器によって保持され、オンチップ汎用ADCによってデジタル化される。次に、デジタルワードがプログラムされた閾値に対して比較され、効率を最適化するために必要に応じてバックレギュレータ34を有効または無効にする。また、電流センス増幅器の出力は、可能性のある誤りまたは過電流などの警報条件のために監視され、電流センスフィードバックを制御するデジタル状態機械は、可能性のある損傷を防止するためにSCVBC32を無効にすることができる。

30

【0093】

Tron ium PSSoC106は、少なくとも2つの自走RC発振器も含んでもよく、それは、16kHzのRC発振器及び9.6MHzのRC発振器を含む一般的なトリム制御器を共有する。発振器周波数は、osc__trimレジスタビットを使用してトリミングされる可能性がある。

40

【0094】

低周波(16kHz)RC発振器は、LINE__INでの線間電圧の印加後、連続的に駆動するライン側RC発振器である。それは、LPREGレギュレータによって供給される。この発振器出力周波数は、SCVBC32のクロックを提供する1kHzのような数に分割される。発振器出力は、その場合、スリープモード終了タイマの基準クロックとしても使用される。高周波(9.6MHz)RC発振器は、単線シリアルデータ入力のデコーディングのためのマスタークロックを提供する。発振器9.6MHzの出力は6つに分割され、スイッチコンデンサ回路のディクソンチャージポンプで必要な1.6MHzのク

50

ロックを提供する。それは、バックレギュレータ及びフォワードコンバータPWM制御ブロックにクロックソースを提供するために、さらに分割される。これらの100kHzのクロックは、デジタルロジックによって疑似ランダムアルゴリズムでディザ処理され、EMIスペクトルのハーモニックを抑制する。発振器はosc_enレジスタビットで有効にすることができ、ライン側でLPREREGレギュレータによって電力が供給される。

【0095】

示される実施形態において、Tronium PSSOC106は、温度センサ及び電流センス増幅器アナログ電圧をデジタル化するための超低電力ADC118を含む。次に、これらのデジタル化された電圧は、デジタル制御ブロックによって比較でき、アナログ回路を無効にするか、再開する。ADCは、低出力及び拡張INL/DNL性能のために、逐次比較(SAR)トポロジを使用する。ADCへの入力は、マルチプレクサによって提供される。マルチプレクサは、ADCによるデジタル化のために、対象のそれぞれのチャンネルを選択できる。次に、変換されたサンプルの値は、制御状態機械での使用のためにADC_SAMPレジスタに格納される。装置がスリープモードのとき、ADCは低電圧源を使用して、無効にされる。

【0096】

図20は、Tronium PSSOC106で使用されてもよい、比例積分微分(PID)レギュレータ制御回路110の略図である。示される実施形態において、負荷電流が外部トランスの二次側から引かれるとき、Tronium PSSOC106は、フォワードコンバータ96の出力で電圧を調整するために、PIDサーボループ130を含む。PIDブロックは、誤差増幅器と、ノコギリ歯波形発生器と、比較器と、PWMクロック制御ブロックとを含む。PIDループは、負荷電流の激しい変動の下で、任意の不安定性を引き起こすことなく、出力電圧を調整するように設計されている。

【0097】

PID緩衝増幅器は、フォワード調整ループを閉じるためのフィードバックを、AUTO_ERR入力を通して受ける。これは、フォワードコンバータの出力電圧を示すPSSOCに電圧を提供するオプトアイソレータの出力である。次にこの電圧は、抵抗分割器によってPSSOC上でスケールリングされて、誤差増幅器のためにバッファに入れられる。

【0098】

自律型PIDループの誤差増幅器は、補償抵抗及びコンデンサオンチップとともにTronium PSSOCに配置される。誤差増幅器は、PIDサーボループの基準として、バンドギャップ電圧を使用する。ノコギリ歯またはその他の波形発生器は、パルス幅変調(PWM)のクロックベース手段をPIDサーボループに提供する。回路はデジタルロジックから100kHzのクロックを受け取り、それを同じ周波数のノコギリ歯波形に変換し、誤差増幅器の出力と比較する。誤差増幅器及びノコギリ歯波形発生器の出力はPID比較器で比較され、フォワードコンバータの駆動に必要なPWMクロックを発生する。デューティサイクルリミッタは、PID比較器で提供されるPWM出力が65%を上回らないことを保証するために提供される。この出力はFWDOUTピンで加えられ、外部トランスを駆動する。ノーマル作動において、PWMデューティサイクルは、トランスの飽和を避けるために、10~65%の範囲に制限される。

【0099】

1つの実施形態において、PIDサーボループは、低電圧で作動して、最大限の必要なDC電流を負荷に供給するように設計されている。調整は、二次側のLCフィルタの使用、及び、第3の順序補償回路の内部R's及びC'sの適切なサイジングによって、絶対精度の高い割合まで制御できる。LCフィルタの2つの極は、以下の式によって与えられる。 $FLC = 1 / 2\pi\sqrt{L1C4}$ 。

【0100】

C1コンデンサは、零点を生成する特定のESR(直列抵抗)を有する。この零点は、+90度の位相シフトを発生させる。 $FESR = 1 / 2\pi C1RESR$ 。

【0101】

10

20

30

40

50

補償ループは、フォワードコンバータのクロック周波数の約 $1/10$ である特定のバンド幅 (Fc) を有する。回路の目標は、Fc で少なくとも 45 度の位相マージンを維持することである。位相マージン = 180 度 + ループの位相。

【0102】

PIDループは2つの零点と2つの極とを有する。2零点は、出力LCフィルタによる180度の位相損失を打ち消すために、180度の位相ブーストを提供するのに必要である。両方の零点は、LCフィルタ極周波数の～50%のあたりに配置される。次に2つの極は、コンバータ(100kHz)のスイッチング周波数に配置される。これにより、C1、C2、C3、R2、及びR3を計算できる。R1は、計算手順を始めるために、適正値にセットされる。

10

【0103】

別の実施形態において、PIDサーボループは、必要な用途のために使用者によってプログラムできる複数の出力電圧のために作動するように設計されている。ループは負荷にny電流を、しかしこの示される場合においては4.5AのDC電流を、絶対精度の最大0.1%の調整により供給してもよい。汎用ループのためのフィードバックは、外部マイクロプロセッサ及び電圧センスサポート回路により提供されて、シリアルデータストリームとしてTroniumピンに入力される。次に、並列直列変換が、図20に示されるような誤差増幅器への用途のためにアナログ電圧に変換されるデジタルワードで行われる。アナログへの変換は、受信データ転送率の周波数で更新されるオンチップDACで行われる。PID誤差増幅器の基準電圧は、マイクロプロセッサでプログラムされる第2のDACによって発生する。

20

【0104】

デジタルアナログコンバータ(DAC)は、マイクロプロセッサからのデジタルプログラムされた入力に基づくPID制御ループのために、アナログ基準電圧を発生させる。示されるデジタルアナログコンバータ(DAC)は10ビットスキームであるが、任意のビット数にできる。また、DACは、ピンから受け取るデジタルワードをループへの入力のためのアナログ電圧に変換することによって、フィードバックをPID制御ループに提供してもよい。DAC電圧は誤差増幅器に入力されてアナログ基準電圧と比較され、制御ループのための誤差電圧を生成する。DACは、受信データの伝送速度でループにアップデートを提供する。

30

【0105】

図17A及び17Bを参照すると、1つの実施形態において、Tronium PSSoC 106は、ICがダイまたはモジュールの温度を検知できるオンチップ ΔV ベース温度センサを含んでもよい。本実施例において、汎用12ビットADCは、差動電圧をデジタル化するために使用される。次に、デジタル化された値は、温度の懸念に基づいてTronium PSSoCをシャットダウンまたは再有効化するために、プログラム可能な閾値と比較される。

【0106】

示される実施形態において、Tronium PSSoC 106は、2つの作動モード、及び、電源投入時に適用される4つの起動状態(W0～W3)を提供する。

40

【0107】

スタートアップモード。スタートアップモードの間、最初に電源が投入されるとき、または、電話が接続されるとき(充電器の場合)、Tronium PSSoCはモジュールのスタートアップ動作を制御する。電源が最初にAC幹線に連結されるとき、ICのLINE_INピンに存在する整流されてフィルタ処理された線間電圧は、それが最終的なDC値に到達するまで増加する。Tronium PSSoCの基本的なサポート回路は、電力管理機能を開始するために、結果的に電力を供給される。イベントの例示的なスタートアップシーケンスのタイミング図が図24に示され、 $t=0$ でのLINE_IN電圧の印加から始める。

【0108】

50

ライン側は、常に電源がオンである3つの回路ブロックを有する。1. 低出力バンドギャップ基準。2. 低出力5Vレギュレータ(L P R E G)。及び、3. 低周波R C発振器。その他の回路に電力が供給されてもよいが、本実施例においては、非常に小さい待機電力を引くために、この場合、3つまで減少している。これらの回路は、トランス作用のないL I N E _ I N入力から直接電源を引き、利用可能な電流を増加させる。結果として、それらは超低電力消費のために設計されている。あるいは、トランスは有効にできるが、それにより効率は低下する。

【0109】

ノーマルモード。電源の供給及び起動状態の完了後、T r o n i u m P S S o C 1 0 6はノーマル作動モードに入る。電圧／電流が絶えたようになるか、一般的にバッテリーシステム内のマイクロチップが過負荷を防止するために電流を阻止し始める低電流閾値を超えるまで、ノーマル作動モードは維持される。ノーマル作動モードにおいて、T r o n i u m P S S o Cは、負荷電流の検出により、スリープモードから出る。バックレギュレータ及びS C V B Cが必要な電流を供給して、負荷の調整が起こる。本作動モードにおいて、すべてのT r o n i u m回路は電源オンであり、外部刺激に反応する。

【0110】

1つの実施形態において、ノーマルモード、スタートアップモード、及びスリープモードの要素を連結することで、バッテリーに「パンプ」充電を提供できる。この場合、満充電が実行されたことがチップのロジックによって決定しているとき、パンプ充電モードと呼ばれる別のモードが実行され、所定の期間にわたる、より高い電流からより低い電流へのドレインを意味する。このパンプ充電作動モードは、状態機械に存在する、または、I 2 Cインタフェースにより有効化／無効化される可能性があり、回路に数回「切断」を指示し、間に間隔をあけて、約150ミリアンペアの最大閾値まで充電を開始するように指示する。こうして、バッテリーは追加の細流充電を受けるようにされ、それが実際に満充電であり、装置のバッテリーインジケータ上で「満」を示しているだけではないことを保証する。これは携帯電話がバッテリー容量の約80～90%充電するだけであり、したがって、時間の経過に伴って、インジケータがバッテリーをまだ100%と示している間、それは、本当はバッテリー容量の80%の100%であり、バッテリー容量の100%の100%ではないという問題を解決する。パンプ充電モードの下で、T r o n i u m P S S o C デジタルは、スリープ閾値より高い追加の電流閾値を提供し、その結果、下記のスリープモード機能は損なわれない。

【0111】

スリープモード。A C主電源に連結され、充電または電源機能が必要ではないとき、T r o n i u m P S S o Cは最小の電源を使用しなければならない。これは電気回路22に、少なくとも2つの別個の電力領域、1) ライン側領域、及び2) 一次側領域、を有することを要求する。ライン入力側は、いつでも電力を供給可能でなければならない領域である。ディクソンチャージポンプのために使用される1. 6 M H z のR C発振器もある。この発振器はスリープモードではオフのままである。16 k H z の発振器は、プログラムされた秒読み時間に到達したときにT r o n i u m P S S o Cを起こす秒読みタイマとして使用される。

【0112】

示される実施形態において、T r o n i u m P S S o C 1 0 6は、セットアップ、プログラム可能、ノーマル、試験、または評価作動モードにおいて、T r o n i u m用途の多数の態様を管理する能力を提供するデジタル制御ブロック122を含む。スイッチコンデンサ回路の出力電圧及び電流を監視して、特徴選択及びプログラム化可能性をノーマル作動モード及び低電流または「スリープ」作動モードに提供する構成可能なレジスタを含むために、マイクロプロセッサまたは状態機械が提供される。通信インタフェースも、用途による必要に応じて外部装置に提供される。

【0113】

図21は、T r o n i u m P S S o C 1 0 6で使用されてもよいT r o n i u mの汎

10

20

30

40

50

用デジタル制御ブロック132のブロック図である。図22は、Tronium PSSoC106で使用されてもよいTroniumの自律型デジタル制御ブロック134のブロック図である。図23は、電源回路22の作動方法を示すフローチャートである。図24は、Tronium PSSoC106によって実装されてもよい状態遷移のグラフ図である。

【0114】

図21を参照すると、1つの実施形態において、Tronium PSSoC106は汎用デジタル制御ブロック132を含む。Tronium汎用デジタル制御ブロック132は、以下の機能を汎用モジュールの制御に提供する。制御状態機械、クロック発生器、ADC制御器、クロックディザLSFR、I2Cインタフェース（モノラルまたはデュアル通信モード）、プログラム可能な通信モード、マイクロプロセッサインタフェース、試験／評価マルチプレクサ、及び／または、レジスタファイル。

10

【0115】

制御状態機械またはマイクロプロセッサ／マイクロコントローラは、スイッチコンデンサ回路の出力電流を監視することによって、Troniumモジュールの適切な作動モードを決定する。スリープモード及びノーマル調整モードを含む、少なくとも2つの作動モードが提供される。また、最初の電力供給時またはスリープモードから出るとき、制御状態機械またはマイクロプロセッサは、パンプ充電モードをプラスして、PSSoCを起動する4つの状態を提供する。さらに、状態機械またはマイクロプロセッサは、過電流または不足電流の警報条件のために、出力電圧電流を絶えず監視する。

20

【0116】

スイッチコンデンサ出力電流の監視は、電流センス増幅器及びアナログデジタルコンバータ（ADC）を使って、アナログサブシステムまたはマイクロプロセッサで実現される。デジタル制御ブロックはADCの制御を提供して、ADCの周期的ゲイン及びオフセット補正を行うことができる。次に、ADCサンプルは、制御状態機械で必要なスイッチコンデンサ電流のプログラムされたデジタル閾値と比較される。

【0117】

クロック発生器は、アナログ及びデジタルサブシステムで必要なクロックを提供し、クロックゲーティングがスリープ作動モードにおいて電力消費を最小化できるようにもする。

30

【0118】

デジタル制御ブロックは、外部マイクロプロセッサによるPSSoCのコンフィギュレーション能力をサポートするために、単線シリアルインターフェース、または、Tronium PSSoCとマイクロプロセッサまたは状態機械との間の双方向通信をサポートする多線インタフェースを提供する。クロックディザ線形帰還シフトレジスタ（LSFR）は、フォワード及びバックレギュレータPWMクロックのディザ処理のための擬似乱数を発生させるために含まれる。擬似乱数は、高周波発振器出力をディザ処理するために、アナログサブシステムによって使用される。I2Cポートは、製造設定、試験、評価、アップデート、ヘルスチェック、及びデバッグのために含まれる。装置作動のために構成レジスタを含有するレジスタファイルは、I2Cインタフェースを使用してアクセスできる。デジタルマルチプレクサは、試験を目的として、DIGTST出力ピンに選択的にさまざまな内部デジタル信号を多重送信するために提供される。

40

【0119】

図22を参照すると、1つの実施形態において、Tronium PSSoCは、以下の機能を自律型モジュールの制御のために提供する自律型デジタル制御ブロック134を含む。制御状態機械またはマイクロコントローラ、クロック発生器、ADC制御器、クロックディザLSFR、I2Cインタフェース、試験マルチプレクサ、及びレジスタファイル。制御状態機械は、CP__OUTピンでスイッチコンデンサ回路の出力電流を監視することによって、Tronium PSSoC106の適切な作動モードを決定する。スリープモード及びノーマル調整モードを含む、2つの作動モードが提供される。また、最初

50

の電力供給時またはスリープモードから出るとき、制御状態機械またはマイクロコントローラは、I Cを起動する4つの状態を提供する。さらに、状態機械は、過電流または不足電流の警報条件及びバンプ充電モードのために、出力電流を監視する。

【0120】

スイッチコンデンサ出力電流の監視は、電流センス増幅器を使って、アナログサブシステムで実現され、12ビットアナログデジタルコンバータ(ADC)が本実施例で使用される。デジタル制御ブロックはADCの制御を提供して、ADCの周期的ゲイン及びオフセット補正を行うことができる。次に、ADCサンプルは、制御状態機械及び／またはマイクロコントローラで必要なスイッチコンデンサ電流のプログラムされたデジタル閾値と比較される。

10

【0121】

クロック発生器は、アナログ及びデジタルサブシステムで必要なクロックを提供し、クロックゲーティングがスリープ作動モードまたはバンプ充電モードにおいて電力消費を最小化できるようにもする。

【0122】

クロックディザ線形帰還シフトレジスタ(LSFR)は、フォワード及びバックレギュレータPWMクロックのディザ処理のための擬似乱数を発生させるために含まれる。擬似乱数は、高周波発振器出力をディザ処理するために、アナログサブシステムによって使用される。

【0123】

20

I2Cポートは、製造設定、評価、アップグレード、リセット、チップヘルスチェック、試験、及びデバッグのために含まれる。装置作動のために構成レジスタを含有するレジスタファイルは、I2Cインタフェースを使用してアクセスできる。

【0124】

デジタルマルチプレクサは、試験を目的として、DIGTST出力ピンに選択的にさまざまな内部デジタル信号を多重送信するために提供される。

【0125】

示される実施形態において、Tronium自律型デジタル制御ブロック134は、負荷電流に基づく自律型モジュールの適切な作動モードを決定するために、状態機械を含む。

30

【0126】

図23及び24に示されるように、制御状態機械は、4つの起動状態(W0、W1、W2、及びW3)ならびに2つの作動モード(ノーマルモード及びスリープモード)を提供する。

【0127】

起動0(W0)。電源が投入されると、ライン側回路が起動する。バンドギャップ(BG)及び低出力レギュレータ(LPREG)の電源が入る。LPREGの安定後、porbがリリースされ、システムは起動1(W1)に移行する。

【0128】

起動1(W1)。低周波発振器(LFOSC)及びgain_control(GAIN_CTRL)が有効化される。同時に、高周波発振器(HFOSC)及びcharge_pump(CP)が有効化される。CPは調整しないようにセットされる。LFOSCが安定であるとき、デジタルブロックへのlf_clkは、(a)10mSのカウンタのスタートアップがどの点か、についてリリースされ、(b)スイッチコンデンサへの1kHzのクロックがアクティブになる。10mSのカウンタが期限切れになると、システムは起動2(W2)に移行する。

40

【0129】

起動2(W2)。スイッチレギュレータ(SWR)が有効化され、CPは調整するようにセットされ、1mSのカウンタが動き出す。1mSのカウンタが期限切れになると、システムは起動3(W3)に移行する。

50

【0130】

起動3 (W3)。フォワードPIDが有効化され、2つのカウンタ (20mSのカウンタ及び250mSのカウンタ) が動き出す。以下のシナリオはこの状態からの移行を引き起こす。a. 20mSのカウンタが期限切れになる、及びフォワードPIDオーバーライドオプションがオンである。システムはノーマルモード (NM) に移行する。b. 20mSのカウンタが期限切れになる、フォワードPIDオーバーライドオプションがオフである、及び250mSのカウンタが期限切れになる前にフォワードPIDが安定化する。システムはノーマルモード (NM) に移行する。c. スリープモードが無効ではない、フォワードPIDオーバーライドオプションがオフである、及び250mSのカウンタが期限切れになるときフォワードPIDがまだ安定化されていない。システムはスリープモードに移行する。

10

【0131】

ノーマルモード (NM)。電流センスブロック (CUR__SNS) 及びADCが有効化される。自己校正が無効ではない場合、第3のサンプルが準備できているとき、ADCは、ゲイン及びオフセット校正のための第1の2つのサンプル、ならびにADCデータがOKであるという信号を使用する。自己校正が無効の場合、第3のサンプルが準備できているとき、ADCは、指定されたレジスタでプログラムされる値及びADCデータがOKであるという信号で、ゲイン及びオフセット補正を行う。ADCデータがOKであるとき、システムは電流負荷を監視する。以下の互いに相容れない条件 (プログラム可能である閾値) が起こる可能性がある。1. 過電流条件: システムは過電流ステータスビットをセットする。スリープモードが無効でない場合、システムはスリープモード (SM) に移行する。ならびに、2. 不足電流条件: LCSD__ENピンが高、及びスリープモードが無効でない場合、システムはスリープモード (SM) に移行する。ならびに、3. 低負荷条件: システムは、低負荷条件を検出するとSWRをシャットダウンし、低負荷条件がおさまるとSWRを元に戻す。

20

【0132】

スリープモード (SM)。システムは、HF__OSC、CP、SWR、フォワードPID、CUR__SNS)、及びADCを無効化する。また、スリープカウンタを開始し、その期間はプログラム可能である。デフォルトスリープ時間は約5秒であり、それは用途に応じて調整できる。フォワードPIDが以前、スリープモードに入るときに安定しなかった場合、システムはスリープモードにとどまる。この場合、システムは、EXT__RSTピンをトリガすることによってW1で、または、電源を抜くことによってW0で、再開できる。フォワードPIDがスリープモードに入るときOKであった場合、スリープカウンタが期限切れになると、システムはW1状態に移行する。

30

【0133】

示される実施形態において、ノーマル作動モードとスリープ作動モードとの間の移行は、電流センス増幅器及びADCによって、スイッチコンデンサ回路の出力電流を監視することによって実現される。さらに、負荷電流がプログラムされたデジタル閾値に下があれば、制御状態機械はSWRバックレギュレータを無効にできる。電流の監視及び対応するモード移行は、図24の図に示される。

40

【0134】

図21及び22を参照すると、デジタル制御ブロック122は、デジタルサブシステムで必要なすべてのクロックを発生させるクロック発生器を含んでもよい。互いに非同期、低周波クロック領域、高頻度のクロック領域、及びI2Cクロック領域である3つのクロック領域が提供される。

【0135】

アナログサブシステムの低周波発振器は、クロック、示される実施例においては、デジタルサブシステム (1f__clk) の16kHzのクロックを提供する。レジスタファイルに使用されるクロックに加えて、クロック発生器は1f__clkから以下のクロックを得る。1. sys__clk。制御状態機械を計測する50%のデューティサイクルを有す

50

る 8 k H z のクロック。2. a d c _ g c l k。A D C 制御器を計測する、s y s _ c l k のゲート付バージョン。このクロックはスリープモードでゲートオフされる。3. l f d i v _ c l k。アナログブロックで使用される 5 0 % のデューティサイクルを有する 1、2、または 4 k H z のプログラム可能な周波数によって分割されたクロック。このクロックはスリープモードでゲートオフされる。

【0136】

発振器は、T S T M D 0 入力によってアナログサブシステムで迂回でき、E X T _ C L K ピンから 1 6 k H z のクロックの用途を有効化する。

【0137】

アナログサブシステムの高周波発振器は、h f d i v _ c l k をつくるためにクロック発生器でさらに分割される、1. 6 M H z、5 0 % のデューティサイクルクロックを提供する。h f d i v _ c l k はレジスタファイルによってプログラム可能であり、1 0 0、2 0 0、及び 4 0 0 k H z の周波数を提供する。h f d i v _ c l k は、クロックディザ L F S R のデジタル、ならびに、バックレギュレータ及びフォワード P I D ループのアナログでも使用される。H F 発振器がアナログで無効なとき、クロックはスリープモードで電源を切る。

【0138】

I 2 C インタフェースは、I 2 C ポートの作動を制御するために、S C L K ピンでクロック入力を使用する。最大 1 0 0 k b p s のデータレートがサポートされる。

【0139】

示される実施形態において、デジタル制御ブロック 1 2 2 は、アナログサブシステムで汎用 1 2 ビット A D C の制御信号を発生させる A D C 制御器も含む。またそれは、A D C マルチプレクサによる変換のための A D C への入力の選択、及び C O N T R O L 0 レジスタの A D C _ M U X _ S E L レジスタを制御する。A D C 出力様式はマグニチュードである。A D C が最初に有効化されると、デジタル制御ブロックは自己校正ルーチンを行う。デジタル制御ブロックは、自己校正の間に計算されたゲイン及びオフセット補正値を、構成可能に使用でき、または、A D C _ G A I N 及び A D C _ O F F S レジスタに書き込まれるゲイン及びオフセット補正値を使用できる。

【0140】

自己校正ルーチンの間、オフセット及びゲイン補正値は下記のように決定される。

【0141】

最初に、オフセットが以下のように決定される。A D C 入力 m u x をセットし、R e f l o 基準電圧を選択する。A D C 変換を 1 回行う。理想値は 0 である。A D C 変換データをローカル A D C オフセット補正レジスタにロードする。

【0142】

次に、ゲインが以下のように決定される。A D C 入力 m u x をセットし、R e f h i 基準電圧を選択する。A D C 変換を 1 回行う。理想値は 4 0 9 5 である。ローカル A D C ゲイン補正レジスタに、(A D C 変換データ - オフセット補正) / 4 0 9 5 の結果をロードする。

【0143】

自己校正フェーズ後、A D C 変換値は以下のように修正される。A D C 修正データ = (A D C 変換データ - オフセット補正) / 4 0 9 5。

【0144】

クロックディザ L F S R は、1. 6 M H z のクロックでディザ処理を実装するために、擬似乱数値を提供し、E M I を軽減する。L F S R は、 $x^{12} + x^6 + x^4 + x + 1$ の多項式による、1 2 ビット、最大シーケンス、G a l l o i s タイプの L F S R である。ディザ値は、以下の表に示されるように発生する。クロックディザ L F S R は、制御レジスタの d i t h _ e n レジスタビットにより、選択的に有効化または無効化できる。

【0145】

1 つの実施形態において、T r o n i u m P S S o C デジタル制御ブロック 1 2 2 は

10

20

30

40

50

、スリープタイマ機能を実装するために、0.512秒～16.384秒の範囲の構成可能な減算カウンタを含んでもよい。ステップサイズは512mSである。カウンタは、それがLF発振器クロックから分割されるクロック発生器ブロックから、そのクロックを受け取る。カウンタは、SLEEP_CTRレジスタでプログラムされるsleep_timeの値がロードされる。スリープタイマが期限切れになり、制御状態機械に通知する零に到達するまで、カウンタはこの値からカウントダウンする。

【0146】

図25は、Tronium PSSoC106で使用されてもよい通信インタフェースの略図である。図26は、Tronium PSSoC106で使用されてもよいマイクロプロセッサ通信プロトコルの略図である。示される実施形態において、通信は片方向でも双方向でもよい。Tronium PSSoC106は、ここで3つのインタフェースとして記載される、1つまたは複数の通信インタフェースを含有する。1) マイクロプロセッサインタフェース、2) 値をプログラムするまたは状態機械／マイクロに情報を戻すための、シングルまたはデュアル通信／アップデートインタフェース、及び、3) 試験／評価インタフェース。マイクロプロセッサインタフェースは、特定の製品の外部マイクロプロセッサと通信するために使用され、通信／アップデートインタフェースは、マイクロまたはチップ内部の任意の値を更新してもよい。これは、製品コンフィギュレーション能力、及び、Tronium充電器の制御ループの実装を考慮に入れている。Tronium PSSoCに関しては、これは読み出し／書き込みまたは書き込み専用インタフェースである可能性がある、すなわち、マイクロプロセッサは、決定される通信の種類が一方向または多方向のどちらであるかに応じて、PSSoCからの読み出しが可能または不可能となる。

【0147】

試験／評価インタフェースは、製造試験環境で、Tronium PSSoCのベンチ評価のために使用される。それは、オンチップレジスタへの書き込み及び読み出しアクセスを可能とする。アップグレード、評価、ヘルスチェック、及びリセットインタフェースは、チップを再プログラムする、その電圧／電流出力を変更する、または閾値を含む制御ロジックのその他の再プログラム可能部分を変更する、ならびにチップに不具合があるかの確定（ヘルスチェック）を支援するためのスキャンを実行するために使用される。

【0148】

一般的に、一度に1つのインタフェースだけが選択できるが、これは状態機械またはマイクロ設定に基づいて変更できる。IF_SEL入力ピンは、「1」のときはI2Cを、「0」のときはマイクロプロセッサインタフェースを選択する。

【0149】

マイクロプロセッサ通信インタフェース。また、Tronium PSSoCは、PSSoCのコンフィギュレーション能力をサポートするために、単線シリアルインターフェースを提供してもよい。インタフェースは、単一または複数方向データ入力／出力からなる。プロトコルは図26に示される。必要がない限り、すべてのパケットの構造及び長さは同じである。各パケットは一定数のビットである。パケットフィールドが以下に示される。別の線を追加することによって、情報が複数方向性となるように、デュアル通信インタフェースとされてもよい。

【0150】

信頼性が高い通信をサポートするために、データはIEEE 802.3通信規格に準拠して、マンチェスタ符号化されていてもよい。次に受信機は、パケットのビット同期を維持するために、オーバーサンプリングクロックを使用する。ビット伝送速度は600Kbpsである。受信データは、ビット伝送速度の16倍にオーバーサンプルされる。したがって、オーバーサンプリングクロックは9.6MHzであり、オンチップRC発振器から供給される。

【0151】

スタート：値が信号線の非アイドル状態である単一のビット。これは本明細書に関して

10

20

30

40

50

は「1」である。R/W：読み出しまたは書き込みを示す単一のビット。「0」のとき、データは選択されたTroniumレジスタに書き込まれる。ここでTroniumが書き込みアクセスをサポートするだけであることに注目されたい。アドレス[4:0]：Tronium構成レジスタ宛てに送るために使用される5ビット。データ[9:0]：選択されたTroniumレジスタに書き込まれる10ビット。目標レジスタが10ビットをより小さい場合のために、データは右詰めである。たとえば、8ビットレジスタに書き込むとき、データ[7:0]は宛先レジスタ位置に書き込まれる。アイドル：値が信号線のアイドル状態である単一のビット。これは本出願に関しては「0」である。

【0152】

データは、転送されたMSB第1である。たとえば、アドレス[4]はホストによって最初に時間内に伝送される。Troniumの実装は、プログラミングによって決まるホストによって、ASICレジスタの読み取り動作をサポートする、または、サポートしない。R/Wビットは将来の拡張のために含まれる。

【0153】

図27は、Tronium PSSoC106に含まれてもよいInter-Integrated Circuit136の略図である。示される実施形態において、Tronium PSSoC106は、装置のテストをサポートするために、I2Cスレーブポートを含有する。I2CアドレスはI2C__ADDRピンを使用して構成可能である。I2C__ADDR入力はI2Cスレーブアドレスビットと比較される。Tronium I2Cバスプロトコルは示された図27である。I2Cインタフェースは100Kbまでのビット転送速度をサポートする。I2CインタフェースはI2C SCLKクロック入力

【0154】

I2C書き込み動作：Tronium PSSoCは、I2CスレーブポートによるTroniumメモリマップレジスタへの書き込みをサポートする。Tronium I2Cアドレスと一致するI2Cスレーブアドレスを受け取った後に、図27にByte1として示される次のバイトは、Troniumレジスタファイルアドレスの5ビットアドレスフィールドを含む。Tronium PSSoCは、コマンドにつき1つのレジスタへのアクセスのみサポートする。

【0155】

I2C読み出し動作：Tronium PSSoCは、I2CスレーブポートによるTroniumメモリマップレジスタからの読み出しをサポートする。読み出し動作は、2つのI2C動作を必要とする。最初に、I2Cは、Byte2のデータを読み出すレジスタのTroniumメモリマップアドレスであるRDREQレジスタに書き込む。次に、I2C読み出しコマンドは、要求されたレジスタを読み込む。Troniumは、コマンドにつき1つのレジスタへのアクセスのみサポートする。

【0156】

ここで、I2C書き込み動作とRDREQレジスタが更新される時間との間に遅延があることに注目されたい。これは、I2C書き込み動作の後、I2CマスタがI2C読み出し作動を許可される前に400マイクロ秒待たなければならないことを意味する。この待ち時間は、RDREQレジスタを更新するI2C書き込みの後の、最初のI2C読み出しにのみ適用される。

【0157】

Tronium PSSoCの1つの実施形態において、Tronium PSSoCがテレビに電力を供給している場合、デジタルメモリはインテリジェンスを有し、テレビが特定の時間から別の時間、たとえば一定の日数の真夜中から午前7時まで使用されなかった場合、Troniumは、これらの時間帯、常にスリープモードになり、エネルギーを節約して、起動シーケンスの電流検知ルーチンに再び入らない。

【0158】

本発明の別の実施形態において、Tronium PSSoCは、状態機械またはマイ

10

20

30

40

50

クロプロセッサへの指示を受けるために、無線（Blue Tooth（登録商標）など）または電力線種類通信プロトコル及び装置への、外部、オンチップ、オンモジュールのいずれかのI2Cインタフェースによって連結されている。こうして、スリープモードへ移行する時間、起動する時間、及び過電圧またはPWM調整のようなその他の前提条件のリセット、アップグレード、または変更についてのTroniumに与えられる「リアルタイム」指示がある可能性がある。こうして、Tronium PSSoCは、その制御機構の「リアルタイム」検知及びスイッチングが可能であり、周波数、速度の異なるレベルを実現し、または、一般的に大部分の時間、送電線網の電圧が不足しているいくつかの国におけるような低出力状況に適合する。この場合、Tronium PSSoCは、その所有者からのリアルタイムコマンドを含む、リセット、作動、またはシャットダウン／再起動についてのリアルタイム情報を、自宅通信技術内へのセルシステムを用いることによる携帯電話またはタブレットからさえ、得ることができる。この場合、不在時、Tronium PSSoCによって電力を供給される特定の電子機器または電子装置への電源をシャットダウンしたいことがあり、これは、Tronium PSSoCのI2Cインタフェースにより特定の指示を与える無線または有線通信技術の通信インタフェースによって達成される可能性があり、それに装置をシャットダウンするように指示して、起動すべき時間の事前セットさえ行う。

【0159】

本発明の別の実施形態において、及び、充電器または一定の供給電力として使用される時、Tronium PSSoCは、コードに取り付けられる埋め込みコンセントに収めるのに十分小型であり、したがって、充電器の「ボックス」またはラップトップの「レング」の必要性が除去される。

【0160】

1つの実施形態において、Tronium PSSoC106は、製造、プログラミング、評価、アップグレーディング、ヘルスチェック、通信、試験、及びベンチ評価をサポートするためのいくつかの試験構造を有する。Tronium PSSoCは、主要な内部機能及び制御信号の制御性及び可観測性のための2つの試験レジスタを提供する。TEST_CTRL0レジスタは、Tronium PSSoCの個々のアナログ回路機能の制御を、選択的に有効、無効、またはオーバーライドする機能を、使用者に提供し、制御状態機械が迂回する必要がある制御の代替方法を提供する。TEST_CTRL1レジスタは、試験目的で、内部アナログ及びデジタル信号をANALYST及びDIGITST出力ピンに多重送信する機能を提供する。

【0161】

上記教示事項に鑑み、本発明については多くの変形及びバリエーションが考えられる。添付の特許請求の範囲内で特に記載される以外の別の方法で、本発明は実施されてもよい。

【0162】

図30は、Tronium PSSoC106で使用されてもよい配線図である。図31及び32は、Tronium PSSoC106の追加の略図である。図33は、Tronium PSSoC106で使用されてもよい低電流検出及びエラー検出のためのアルゴリズムのフローチャートである。図34及び35は、Tronium PSSoC106を含む電源回路22の略図である。示される実施形態において、Tronium PSSoC106は、高度な電力制御器集積回路（IC）である。Tronium PSSoC106及び対応する統合化されたモジュールは、低コストで、非常に効率的な手段を提供し、典型的な家庭用または業務用電源コンセントに存在するAC線間電圧を、家電用途のための低下、調整されたDC電圧に変換する。典型的な用途は、携帯電話、タブレット、またはその他の携帯用デバイスのための充電システム、USB電力変換、消費者向け、医療用、及び工業用装置の電源、ならびに多くのその他の可能な用途を含むが、これに限定されるものではない。

【0163】

Tronium PSSoCは、上記の構成及び機能により、高効率、低ノイズ、及び低EMIを提供する。さらに、AC-DC、DC-DCコンバータは、高出力密度、低価格、及び電氣的絶縁を有する。これらの利点は、チップ上への他の個別部品の組み込み、スイッチコンデンサ電圧降伏スキームの使用、及び一次側センス／制御から実現される。したがって、Tronium PSSoCの主要な機能は以下の通りである。広い範囲の利用可能なAC入力電圧及び周波数のサポート、適切な作動のための入力電圧に構成する自動設定による、プログラム可能な出力電圧及び入力電圧の自動検出、AC-DC、DC-DC変換のための高効率スイッチコンデンサ回路、高精度のためのPID（または同様の）調整制御ループ、電流及び温度監視のためのデジタル状態機械、アイドル（バンパイア）作動モードのための超低電力散逸、構成及び制御のためのオプトアイソレーテッドマイクロプロセッサインタフェース、及び、製造試験のための通信ポート。

10

【0164】

Tronium PSSoCのアナログ及びデジタルインタフェース、入力、及び出力は、典型的な動作範囲の外にある電圧及び電流に耐えることができる。また、ユニットは広い温度範囲で使用可能であり、十分なESD耐性を提供する。

【0165】

Tronium PSSoCは、外界及び外部回路へのインタフェースに入力及び出力を提供する。以下のものが含まれるが、これらに限定されない。電力入力、電力出力、低電流シャットダウンイネーブル入力、モード選択入力、外部回路が必要な中間連結、試験接続、通信連結、電力出力、レギュレータ出力、PIDベースPWMのための連結、FET駆動出力、及び、フィードバック入力。

20

【0166】

Tronium PSSoCは、高効率及び高精度な出力電圧調整を提供するように設計された高度な電力制御器集積回路である。Tronium PSSoCの高度な機能は、多種多様な用途で使える多目的装置を使用者に提供する。プログラム可能な出力電圧が、Tronium PSSoCにより可能であり、さまざまな電流負荷条件にわたって効率はほとんど損失がない。

【0167】

Tronium PSSoCは独自のスイッチコンデンサ回路方式を使用し、負荷電圧または電流に関係なく高効率を維持する。電流が負荷によって引かれていないとき、装置は低電流作動モードに入り、起動したままであるために必要な従来の「バンパイア」電流を最小化し、ならびに、広い負荷範囲にわたって順序よく高効率を提供する負荷へのアクティブサブシステムの数を測定する。

30

【0168】

Tronium PSSoCの最重要なブロック図が以下に示され、それは以下の主要な回路ブロックからなる。高電圧のマルチステージ／マルチブランチスイッチコンデンサ電圧降伏回路、PID（または、その他の切り替えられたモードの制御スキーム）、二次トランスのPWM制御のためのレギュレータ制御ブロック、電流及び温度検知ブロック、電圧及び電流監視のためのADCまたは比較器、フィードバック制御のためのDAC、PWM、またはその他の信号、状態機械を監視する電圧と電流のためのデジタル制御ブロック、通信用インタフェース、及び、オンチップ電圧及び電流発生及びその他の所要電力のための電力管理。

40

【0169】

電力管理。電力管理ブロックは、必要な電力レール及び残りのICへの基準を提供する。それは、電圧レギュレータと、電流基準と、電圧基準とからなる。またそれは、すべての必要なバッファリングと、IC使用のために必要とされる増幅とを含む。電力管理システムは、電力サイクルのシステムのシャットダウン及びスタートアップを管理するリセット制御装置も含有する。

【0170】

スイッチコンデンサ電圧降伏回路。Tronium PSSoCのスイッチコンデンサ

50

電圧降伏回路は、ニアロスレス分圧器として動作する。それは、LINE_INピンに存在する整流されたDC電圧を、外部トランス及び二次電圧制御ループによる使用のために、CP2_OUTピンの低下させた電圧に分割する。次に、外部トランスは、一次二次巻線比の関数として、この電圧を所望の印加電圧にさらに下げることができ、さらに、必要に応じて絶縁を提供する。

【0171】

スイッチコンデンサ回路は、以下に示すように、複数の並列分岐を有する複数の同一ステージのカスケードとして構成される。並列分岐は、電流センス増幅器によって検知される負荷電流に基づく回路において、または、回路から切り替えられる。これにより、スイッチコンデンサ回路は、広い範囲の負荷電流にわたって高効率を維持することができる。以下の図において、並列サブシステムの数、2つのステージを備える4である。並列システム及び変換ステージの数は変更してもよく、システムは特定の入出力電圧比または所要電力のために最適化される。

10

【0172】

スイッチコンデンサ回路は、電力効率を最大化するオンチップまたはオフチップフライバックコンデンサと、電圧リップルを最小化する外部保持コンデンサとを使用する。これらのコンデンサは、それぞれ、スイッチコンデンサ回路の第1及び第2ステージの出力のためのCP1_OUT及びCP2_OUTピンに連結される。すべてのステージは発振器によって計測される、または、各々のステージは専用の発振器を有してもよい。スイッチコンデンサ回路の各々のブランチは、独立したイネーブルを有してもよい。

20

【0173】

出力電圧は、デジタルアナログコンバータ(DAC)を使って、所定の範囲の高分解能な用途のために、電圧の範囲でプログラム可能である。このDACのデジタル制御は、CP2_OUTピンでプログラムされる複数の電圧を可能とし、対象用途のために必要な所望の最終的な出力電圧を得る。

【0174】

その他のスイッチコンデンサ回路ステージのスイッチコンデンサ回路出力設定は、使用者によって決定できる、または、測定されたAC線間Vinから得ることができ、VinとVoutとの間の最適比が実現できる。

【0175】

各スイッチコンデンサ回路ステージの調整は、演算相互コンダクタンス増幅器(OTA)を使って得られる。OTAは、出力電圧と入力基準電圧との間の差分の関数として、各ステージのフライバックコンデンサに印加される電流を調整する。入力基準電圧は、用途に応じて、プログラムされてもよく、得られてもよく、固定されてもよい。

30

【0176】

引込線の電圧測定は、スイッチコンデンサ回路設定を最適化するために行われてもよい。この設定計算は、適切なオンチップ回路により、オンチップ、オフチップ、またはオンザフライで行うことができ、各スイッチコンデンサ回路ステージの出力は、最適化された比率である。

【0177】

電流センス増幅器。Tronium PSSoCの電流センス増幅器により、装置は、フィードバックループならびにエラー報告の一部として電流を計測できる。電流は、ADCによって、または、様々な閾値を有する一連の比較器によって計測できる。

40

【0178】

PID制御ループ。Tronium PSSoCは、絶縁変圧器、バック、ブースト、またはバックブースト回路の一次側を駆動するために、比例積分微分、PID、ループ、代替のPWM制御回路を提供する。この回路は、必要に応じてポスト調整及び絶縁を提供することになる。

【0179】

PIDループへのフィードバックは、デジタルソース、たとえばこれに限定されないが

50

、直列化されたA D Cストリーム、またはアナログ信号のいずれかにでき、その両方とも回路の出力に依存している。このフィードバックは、出力電流または電圧を関連付ける情報を提供できる。

【0180】

温度センサ。温度過昇状況からの十分な保護が存在するように、オンボード温度センサは実現してもよい。熱の損傷から保護するためにされるアクションは、出力電力の負荷軽減及び出力の完全なシャットダウンを含んでもよい。

【0181】

制御回路。デジタル手段によるか、または、アナログ回路によるかどうかにかかわらず、T r o n i u m P S S o Cは制御を提供する。この制御回路で、I Cは、特性機能を既存の制御閾値及び制御点をセット及び変更でき、さらに、有効化／無効化できる。これは、デジタルインタフェース状況のレジスタまたはヒューズによって、あるいは、アナログ設定が望まれるアナログピンに印加された電圧によって、行うことができる。

【0182】

この機能が有効である場合、T r o n i u m P S S o Cはシステムの出力を無効、または低下させることができる。これは、PWM、スイッチコンデンサ回路の電源を切る、あるいは、一方または両方のサブシステムを除外することによって行うことができる。出力は、エラー検出の結果として、あるいは、低出力電流、またはバッテリーを含む連結された装置がバッテリーに充電しながら実行されるとき、及び、T r o n i u m P S S o Cが非バッテリー充電機能に電力を提供しているときにのみ発生する出力電力状況の結果として、無効になる可能性がある。T r o n i u m P S S o Cが低電流シャットダウン状態に入ると、それは、バッテリーが現在さらなる充電を必要とすることを示す特定の閾値を上回って現在電力を必要としているかどうかを調べるために、端部装置に出力電力を断続的に再印加する。オフ状態で経過する時間は、用途を変更するために調整されてもよい。図33は、低電流検出及びエラー検出のためのアルゴリズムの実施例を示す。

【0183】

T r o n i u m P S S o Cは外部回路に複数のインタフェースを提供し、それにより、装置がI Cを制御及び構成してもよい。これらのインタフェースは、S P I、I 2 C、U A R T、またはその他の同期／非同期シリアルストリームを含むことができるが、これに限定されるものではない。また、N R Z形式の代替符号化は、外部回路のサイズ及び部品数を最適化するために実現できる。同様に、これらの通信用インタフェースは、これが要求される絶縁された領域からの通信を可能とするために、絶縁装置に連結できる。

【0184】

クロック発生器。T r o n i u m P S S o Cは、内部R C発振器とP L LとF L Lとクロック分割器とV C Oとトリミング回路とを含むがこれらに限定されない周波数制御回路も含んでよい、それ自身の内部クロックを発生させる機能を有してもよい。さらに、クロックツリーは、放射及び導通されたE M Iでのクロッキングの影響を最小化するために、クロックエッジ位置を変更する意図的なクロックジッタまたはその他の手段を実装してもよい。

【0185】

モジュールの説明。T r o n i u m P S S o Cは、中にA C電源を受け入れ、この電力をD C電圧に変換し、この電動外部装置を供給するモジュールに組み込まれることになっている電源装置としての使用が意図されている。モジュールは多くの形態をとることができ、それはA S I Cへの出力のアナログまたはデジタルフィードバックのいずれかを含む可能性があり、または、A S I Cはフィードバックなしで、開ループモードで作動する可能性がある。さらに、個々の出力（複数の連結された出力がなければならない）は、別々に監視及び制御されるようにモジュール回路を構成することができる。モジュールの範囲内の検知能力は、用途及び調整要件に応じてA S I Cによって行われる測定を補う、または置き換えることになっている。

【0186】

図 3 4 は、絶縁及び個別の出力検知によるデジタルフィードバックモジュールを含む電源回路 2 2 の概略図である。図 3 5 は、フィードバック絶縁の線形化によるアナログフィードバックモジュールを含む電源回路 2 2 の略図である。これらは、アナログフィードバックバージョンと、デジタルフィードバックバージョンとを表す。また、これらの図は両方とも、設計の一部として絶縁変圧器を示す。この部品は、用途の要件に応じて、モジュールに含まれてもよいし、含まれなくてもよい。両方の実施例は同期整流スキームを示すが、非同期システムも実現する可能性がある。

【0187】

デジタルフィードバックの説明。デジタルフィードバックモジュールは、出力電圧を監視して、出力連結で非常に正確な寸法を得るために、マイクロコントローラ、独立型 A D C、または二次 A S I C を含む。これによりモジュールは、出力電圧に相違を生じさせることがある部品損失、温度、及びその他の変数を補うことができる。次にこのデータはフォーマットされて、デジタルフィードバックストリームを提供するために、A S I C に戻される。電流検知及び出力イネーブルトランジスタも示され、多数の出力は、それぞれの個々の検知でモジュールに連結していなければならない。このようにして、たとえ電源が共有されるとしても、A S I C の説明で述べられる低出力シャットオフ機能が個々の負荷に加えられる可能性がある。

【0188】

アナログフィードバックの説明。費用またはその他の理由のために、アナログフィードバックシステムを使用することが望ましい場合、T r o n i u m P S S o C は、アナログフィードバック入力によってこれを実現できる。示される実施形態において、オプトアイソレーション L E D による電流は出力電圧に比例する。出力電圧が目標出力であるとき、I C のアナログフィードバックピンの電圧が公称電圧であるように、回路は設計される。電流監視は、トランスの一次側で I C によって行われ、測定値は、トランスの巻数比によって基準化される。

【0189】

図 3 6 は、電源回路 2 2 で使用されてもよいレベルシフタ回路の略図である。1 つの実施形態において、スイッチコンデンサ電圧降伏回路 3 2 及びバックレギュレータ 3 4 は、スタティック C M O S レベルデジタル信号及び電圧シフトその信号をさまざまなレベルにすることができるレベルシフタに依存する。これは、T r o n i u m P S S o C チップから、及び、T r o n i u m P S S o C チップで、ともに高電圧スイッチのゲートを適切に駆動するために行われる。レベルシフタは、スタティック D C 電流バイアス電流による差動対からなる。差動対は C M O S レベル信号を増幅し、次により高いレールに変わる。任意のトランジスタ降伏を防止するために信号パスで使用されるカスコードがある。レベルシフタは、任意のスタティック電流ドレインを防止するために、p チャネルスイッチによって無効にできる。信号が別のレールに移されると、それはシングルエンド形にさらに増幅、変換されて、次に、高圧スイッチを駆動するスタティック C M O S レベルに戻される。

【0190】

図 3 8 及び 3 9 は、電源回路 2 2 の追加の略図である。1 つの実施形態において、フォワード整流器用変圧器 1 0 2 は、電流検知のための二次側のレプリカとして使用されてもよい三次巻線 1 5 2 (図 3 9 及び 4 0 に示される)を含んでもよい。たとえば、いくつかの T r o n i u m P S S o C の用途は低電圧で動作する可能性があり、自己駆動同期整流器は信頼性が高いソリューションでなくてもよい。より高いゲート電圧により、強力なシステムが保証される。たとえば、1 . 8 ボルト D C 出力の用途がある。1 2 : 1 のトランス及び 4 3 ボルトの C P _ D A C 2 設定、3 . 6 V D C が二次巻線のピーク電圧であると仮定する。1 2 : 2 の補助巻線は、同期整流器 F E T のための 7 . 2 ボルトのゲート駆動を生成するために使用することができる。トランス設計は、この要件をサポートするために、二次側に補助巻線 1 5 2 を含んでもよい。

【0191】

図41は、DC-DC変換回路を含む電源回路22の概略図である。示される実施形態において、電源回路22は、DC入力電力信号を受けて、より低い電圧レベルを有するDC出力電力信号を発生させるための、スイッチコンデンサ電圧降伏回路32を含む。1つの実施形態において、電源回路22は、SCVBC32と並列に結合されるスイッチモードバックレギュレータ34も含んでもよい。高効率スイッチコンデンサ電圧降伏回路32は、並列に電氣的に結合される一対のフライバックコンデンサと、一対のフライバックコンデンサのそれぞれに電氣的に結合される複数のスイッチ組立体とを含む。1つの実施形態において、コンデンサの間のゲートは共有される。スイッチ組立体は、充電フェーズの間、入力DC電力信号を一対のフライバックコンデンサのそれぞれに選択的に供給するように、及び、入力DC電力信号より低い電圧レベルを有する放電フェーズの間、出力DC電力信号を電子装置に選択的に供給するように作動してもよい。少なくとも1つのスイッチ組立体は、NチャネルMOSFETスイッチと、制御信号をNチャネルMOSFETスイッチに供給するためのレベルシフタとを含んでもよい。さらに、ディクソンチャージポンプをレベルシフタに結合して、入力DC電力信号を受け取り、入力DC信号より高い電圧レベルを有する出力電力信号を発生させてもよい。出力電力信号は、NチャネルMOSFETスイッチを作動させるために（または、その他の種類のMOSFETを閉じるために）、レベルシフタに供給される。さらに、スイッチコンデンサ電圧降伏回路は、入力DC電源信号の電圧レベルを検知するための電圧検知回路を含む制御回路と、検知された電圧レベルの関数としてスイッチコンデンサ電圧降伏回路のゲイン設定を選択し、選択されたゲイン設定の関数として複数のスイッチ組立体のそれぞれを作動させるように構成されるゲイン制御器とを含んでもよい。

10

20

【0192】

本明細書は実施例を使用して、最良の形態を含めて本発明を開示し、また、当業者が、任意の装置またはシステムを製作及び使用すること、及び、任意の組み込まれた方法を行うことを含めて本発明を実施することを可能にする。本発明の特許可能な範囲は、特許請求の範囲によって定義され、当業者が想到するその他の実施例を含んでもよい。本発明のその他の態様及び特徴は、図面、本開示、及び添付の特許請求の範囲の研究から得ることができる。添付の特許請求の範囲内で特に記載される以外の別の方法で、本発明は実施されてもよい。添付の特許請求の範囲内に記載されるステップ及び／または機能は、ステップ及び／または機能がその中に記載される順序にかかわらず、任意の特定の作動順序に制限されないことにも注目すべきである。

30

【0193】

本発明のさまざまな実施形態の特定の特徴は、いくつかの図面に示されてもよく、他の図面には示されなくてもよいが、これは便宜上のものである。本発明の原理に従って、図面の任意の特徴が、任意の他の図面の任意の特徴と組み合わせて、参照及び／または主張されてもよい。

【図 5】

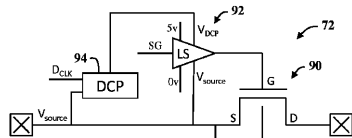


Figure 5

【图 6】

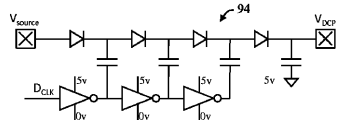


Figure 6

【图 8】

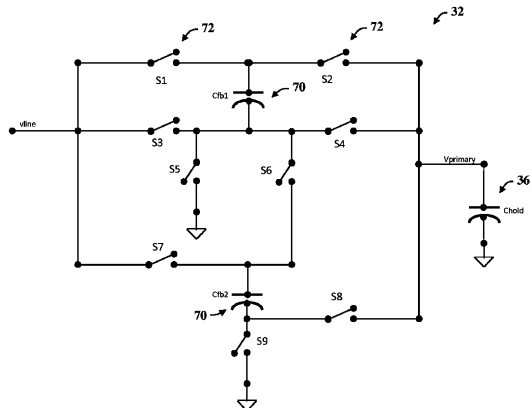


Figure 8

【図 15】

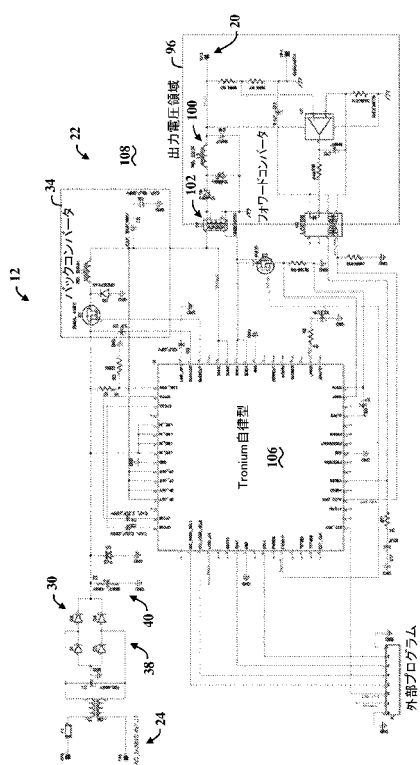


Figure 15

【図 3 4】

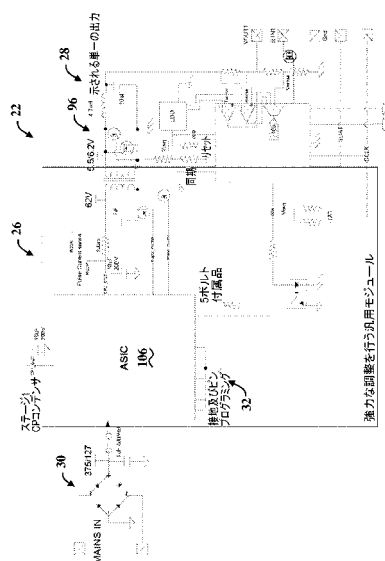


Figure 34

【図 36】

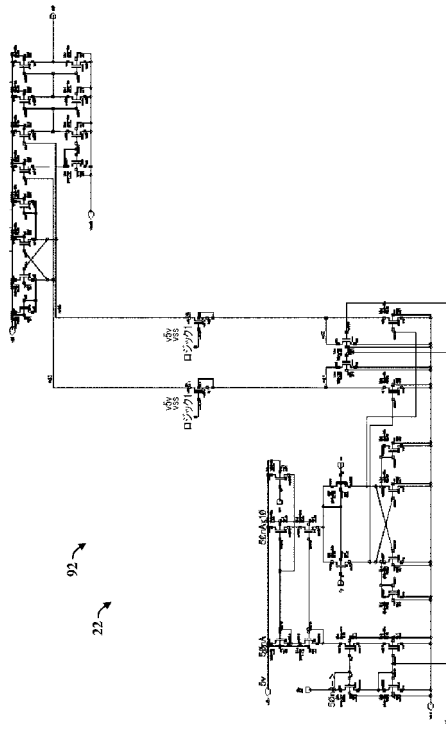


Figure 36

【図 37】

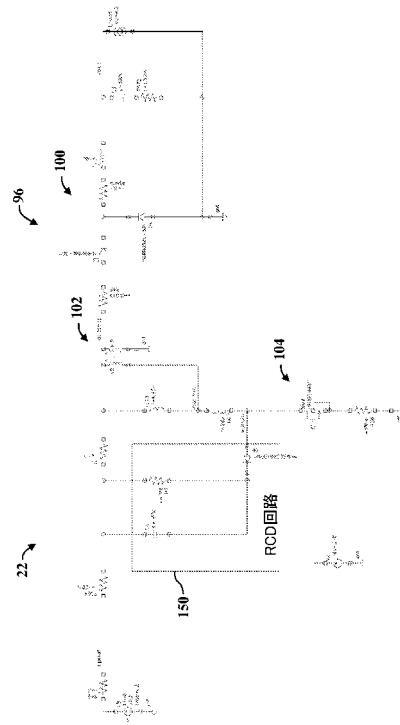
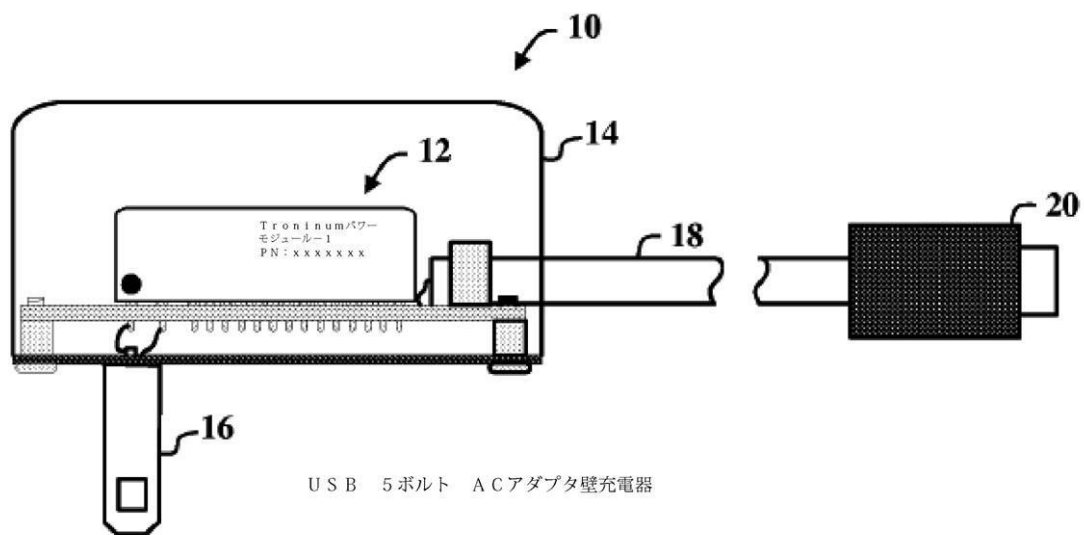


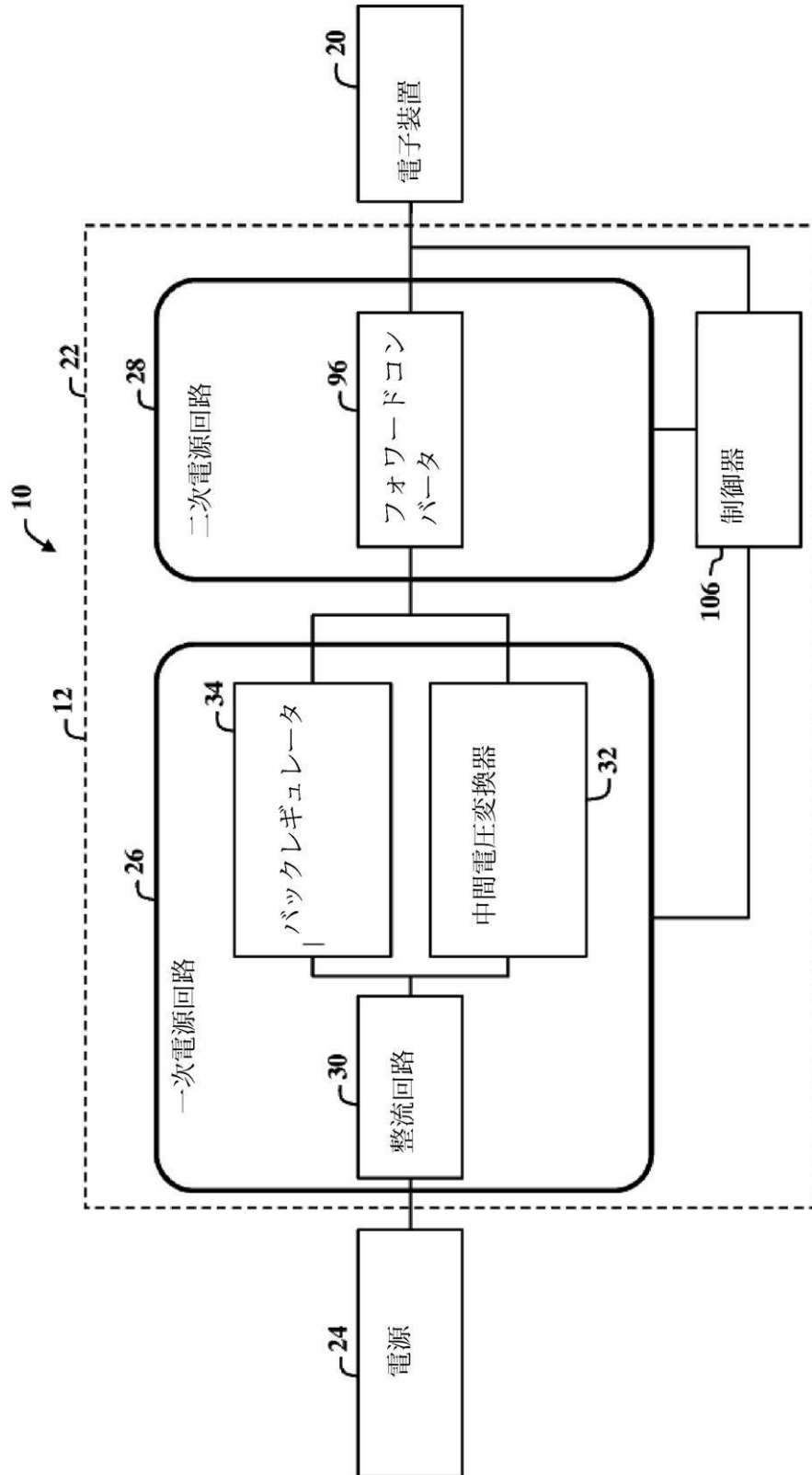
Figure 37

【図 1】



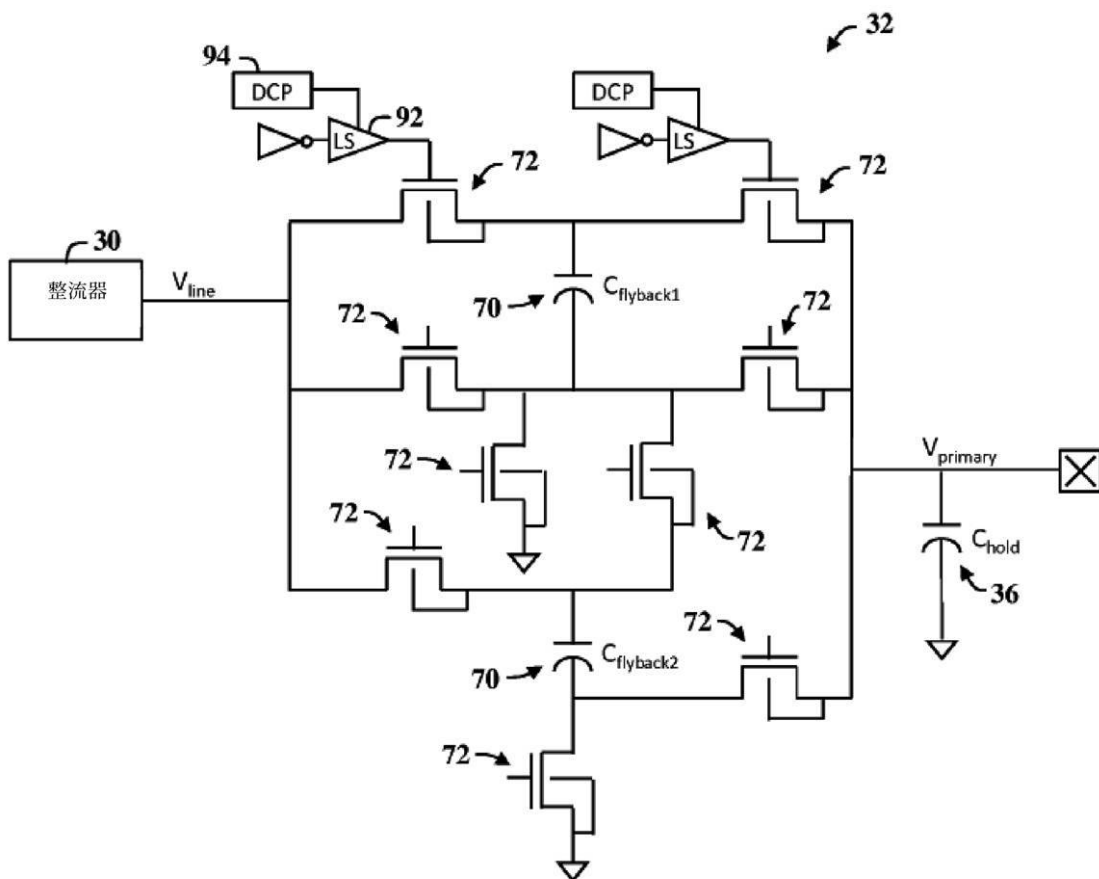
【図 1】

【図 2】



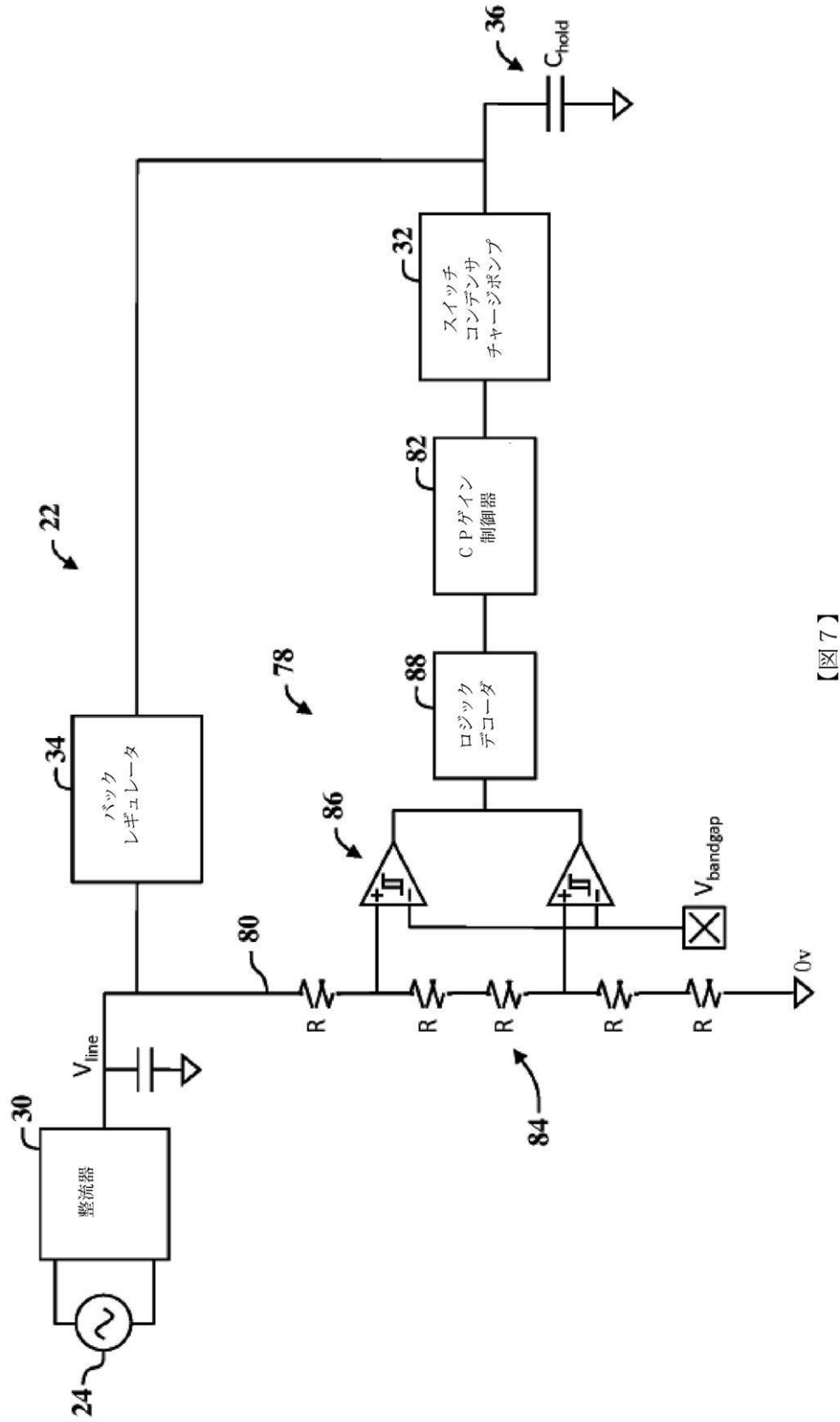
【図 2】

【图 4】



【图 4】

【図 7】



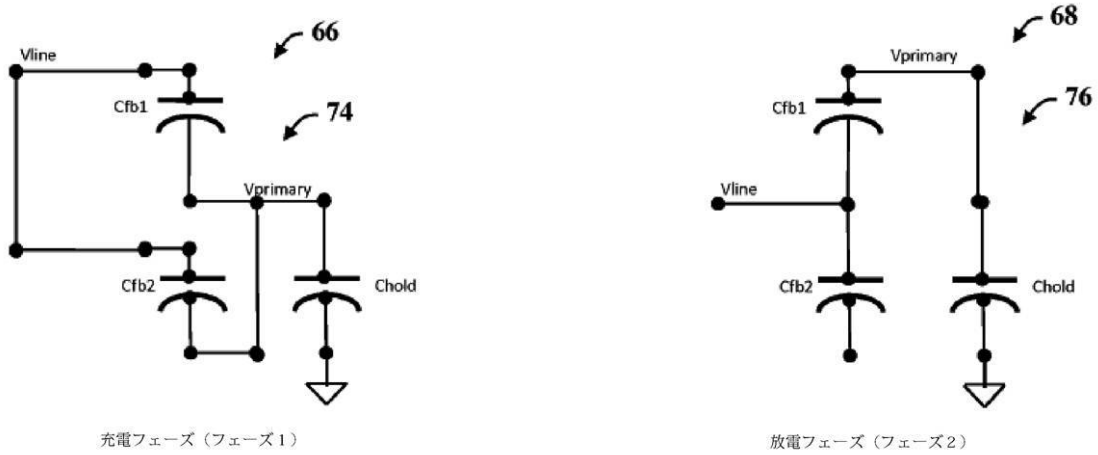
【図 7】

【図 9】

スイッチ名	フェーズ1	フェーズ1 G = 1 / 2	フェーズ2 G = 2 / 3	フェーズ2 G = 1
S1	On	Off	Off	Off
S2	Off	On	On	On
S3	Off	Off	Off	On
S4	On	Off	Off	Off
S5	Off	On	Off	Off
S6	Off	Off	On	Off
S7	On	Off	Off	On
S8	On	Off	Off	Off
S9	Off	On	On	Off

【図 9】

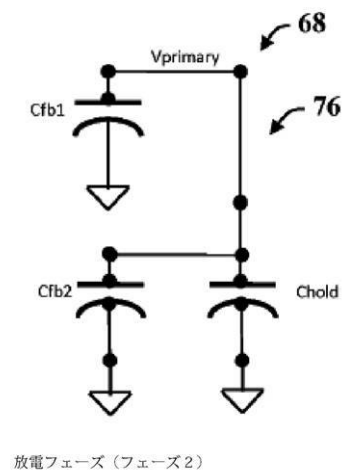
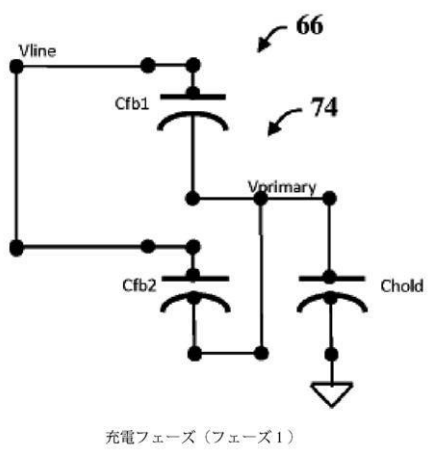
【図 10】



スイッチトキャパシタゲイン：1 x

【図 10】

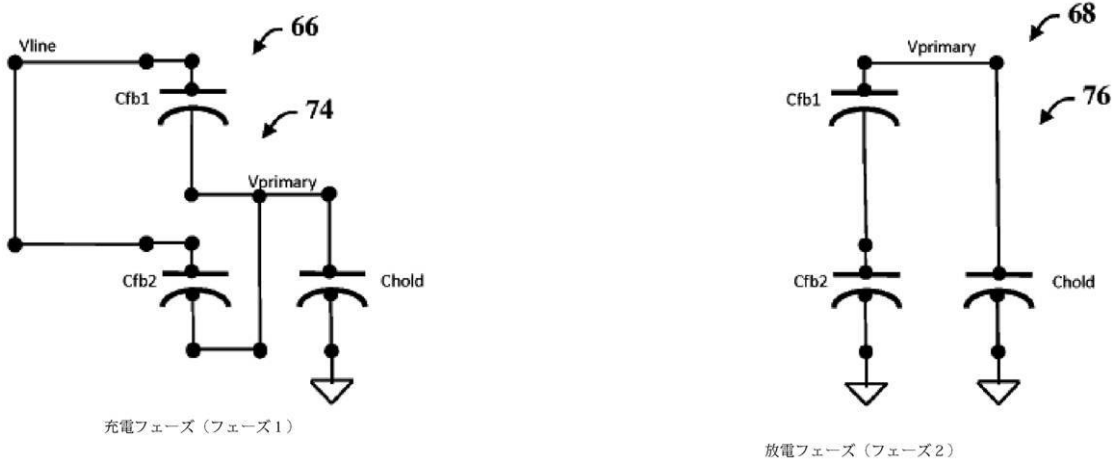
【図 1 1】



スイッチトキャパシタゲイン：1/2 x

【図 1 1】

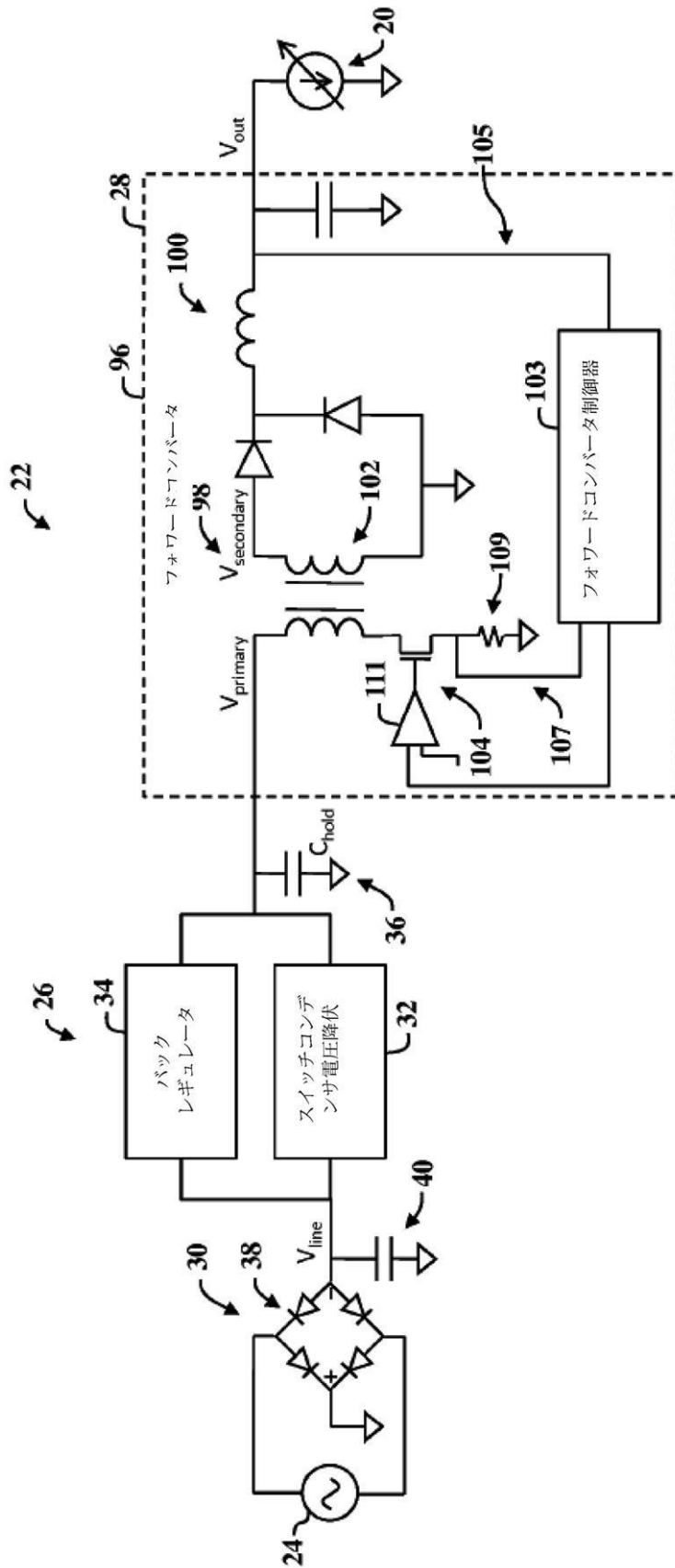
【図 1 2】



スイッチトキャパシタゲイン： $2/3 \times$

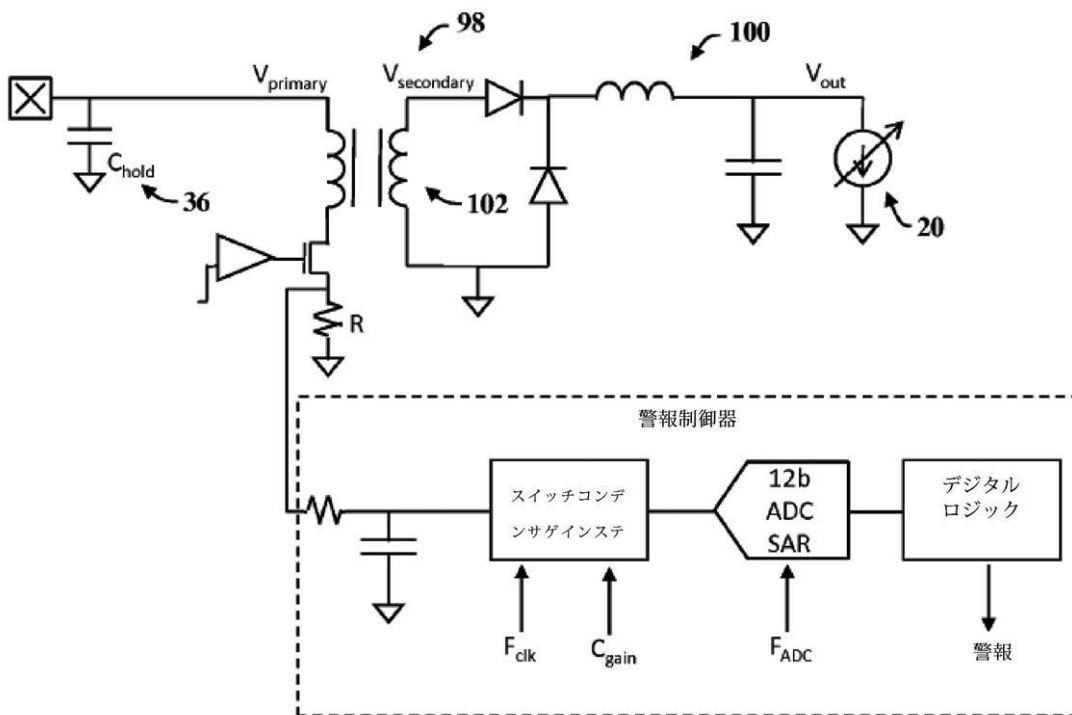
【図 1 2】

【図 13】



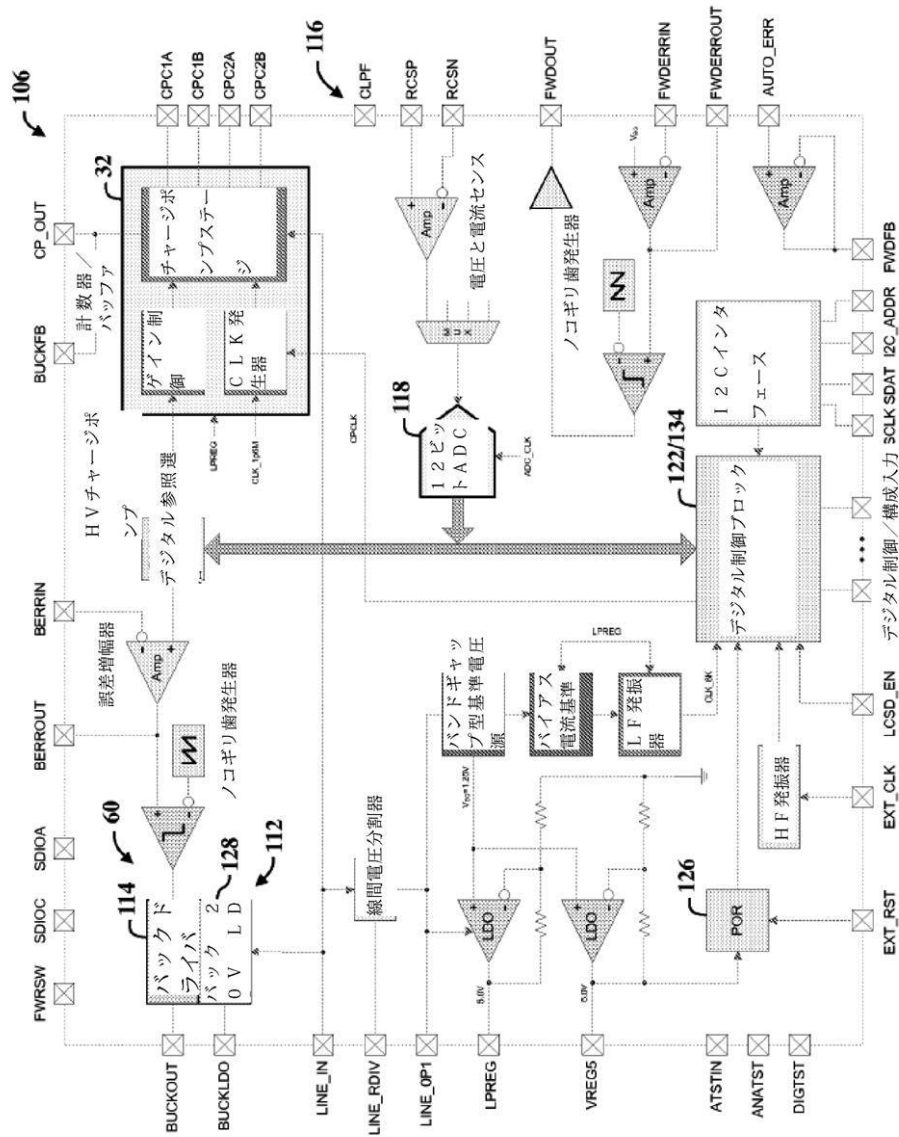
【図 13】

【図 1 4】



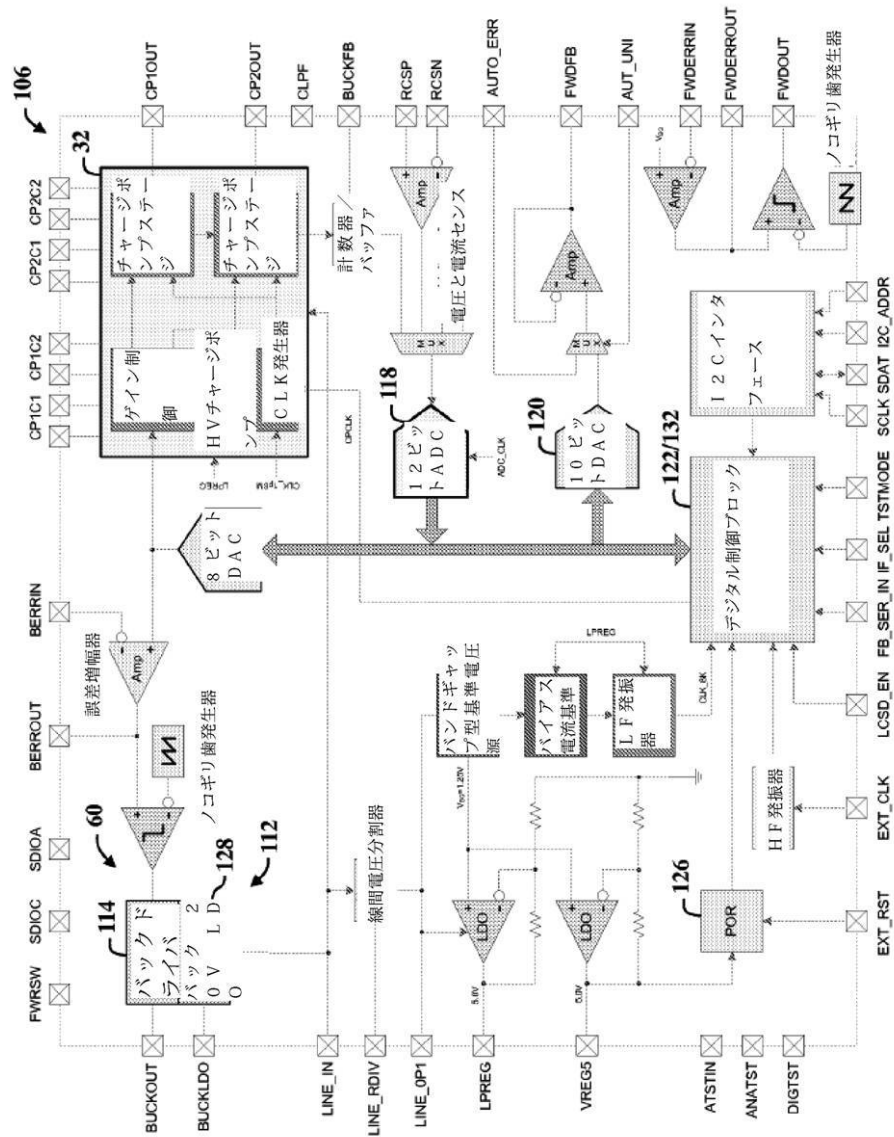
【図 1 4】

【図 16】

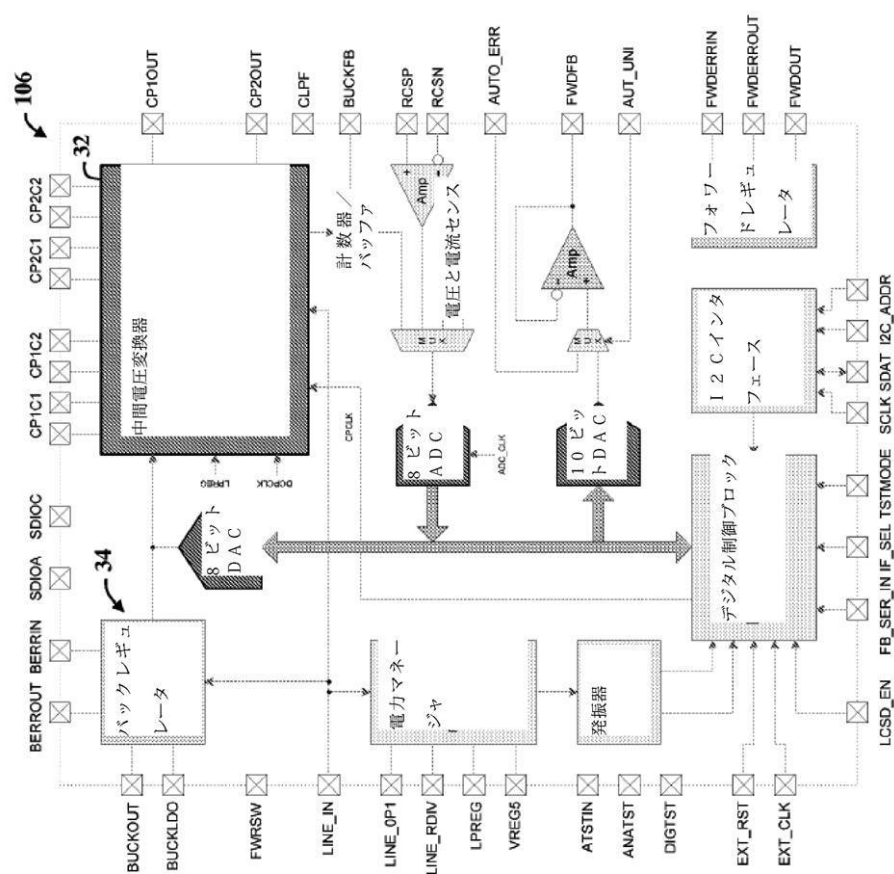


【図 16】

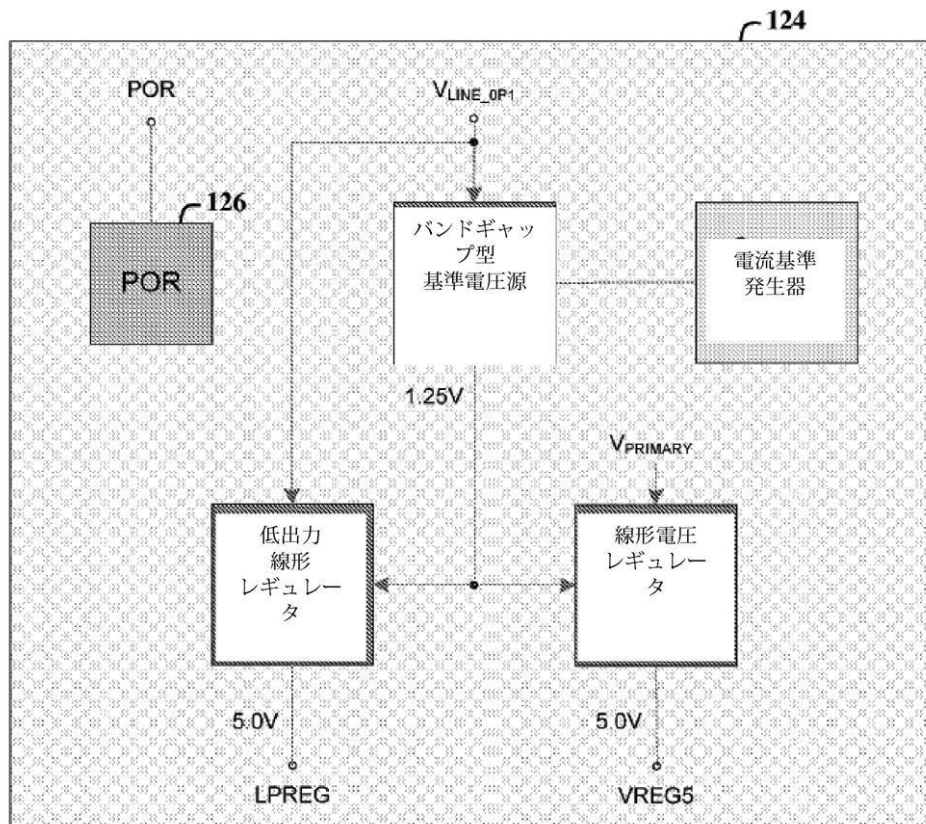
【図 17 A】



【図 17B】

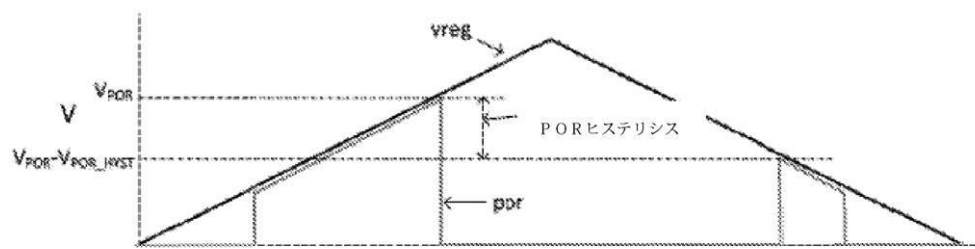


【図 18】



【図 18】

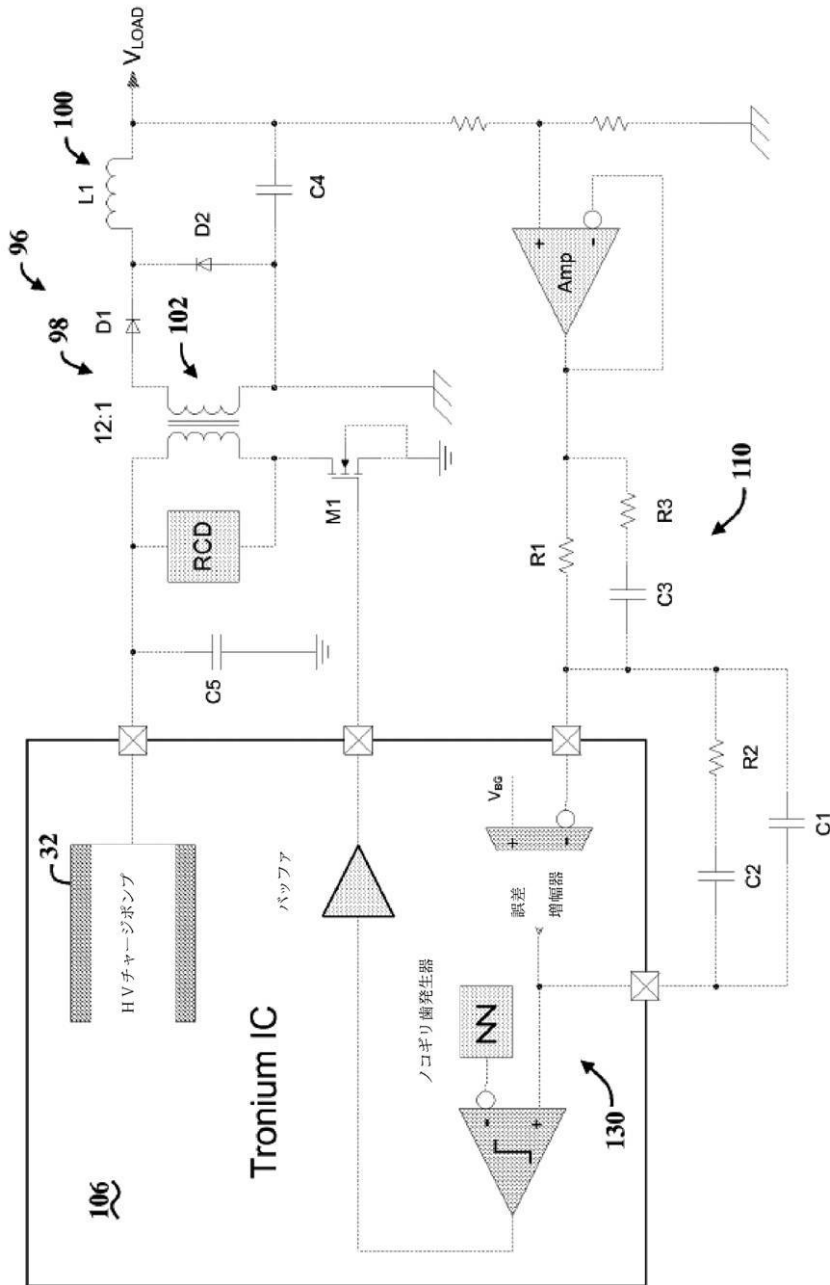
【図 19】



P O R 閾値電圧

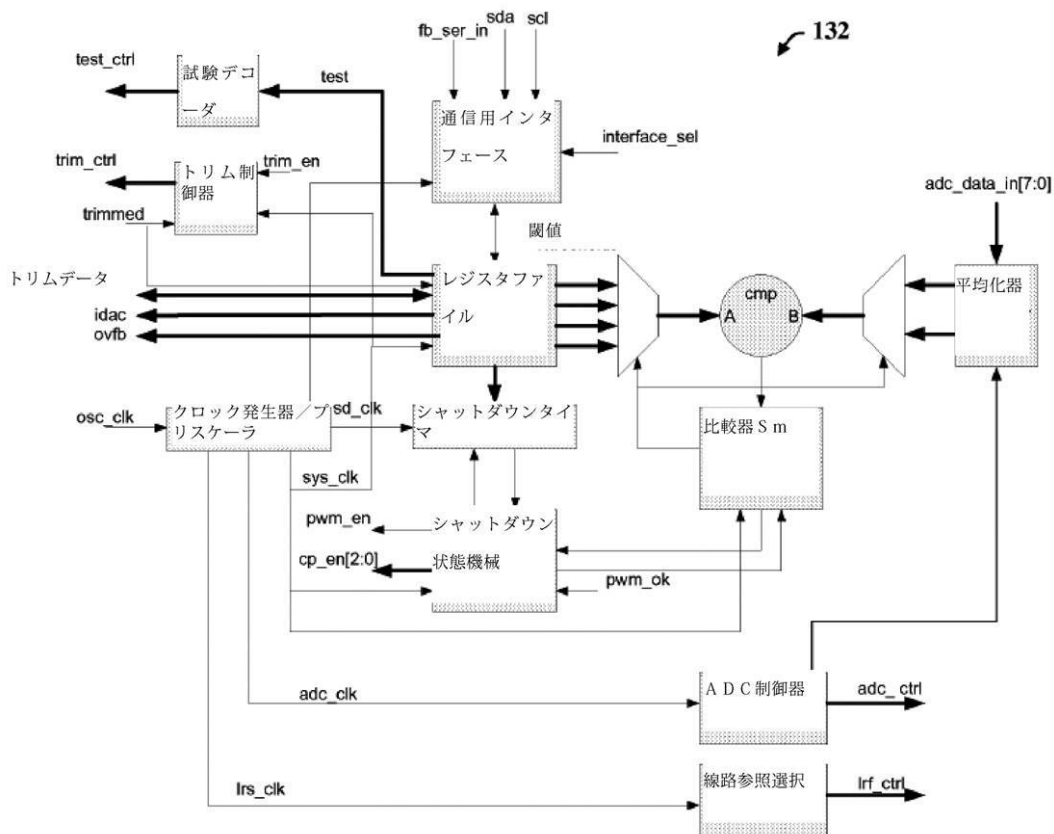
【図 19】

【図 20】



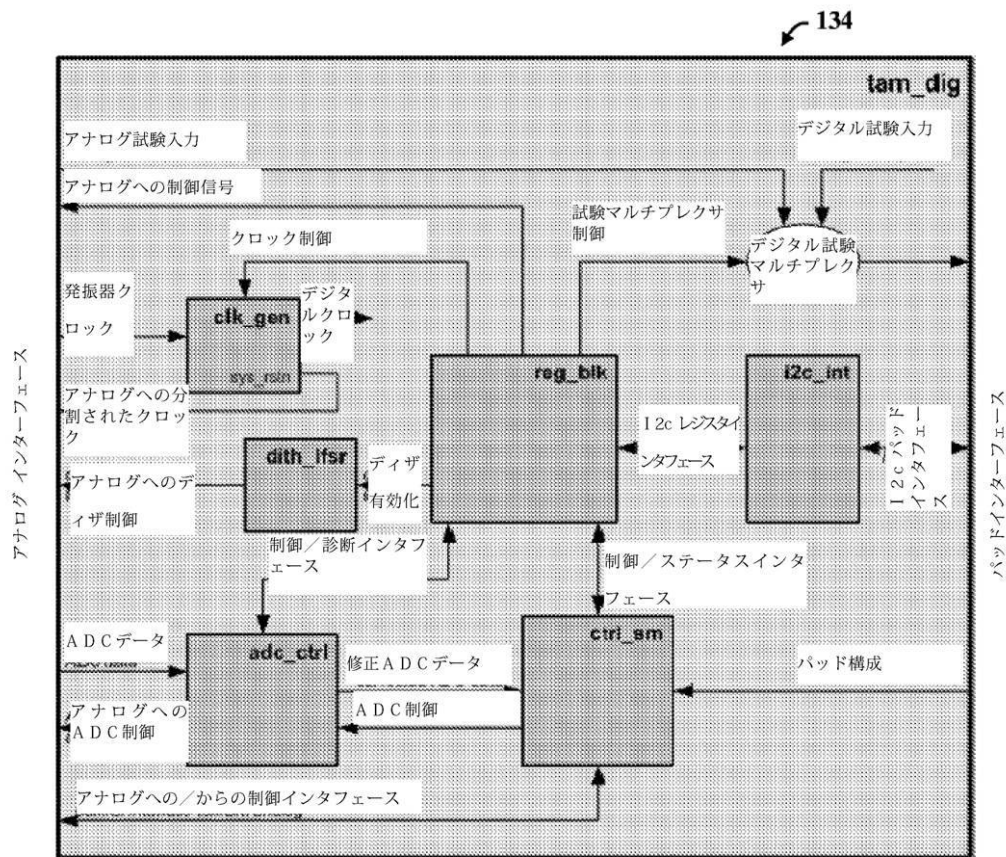
【図 20】

【図 2 1】



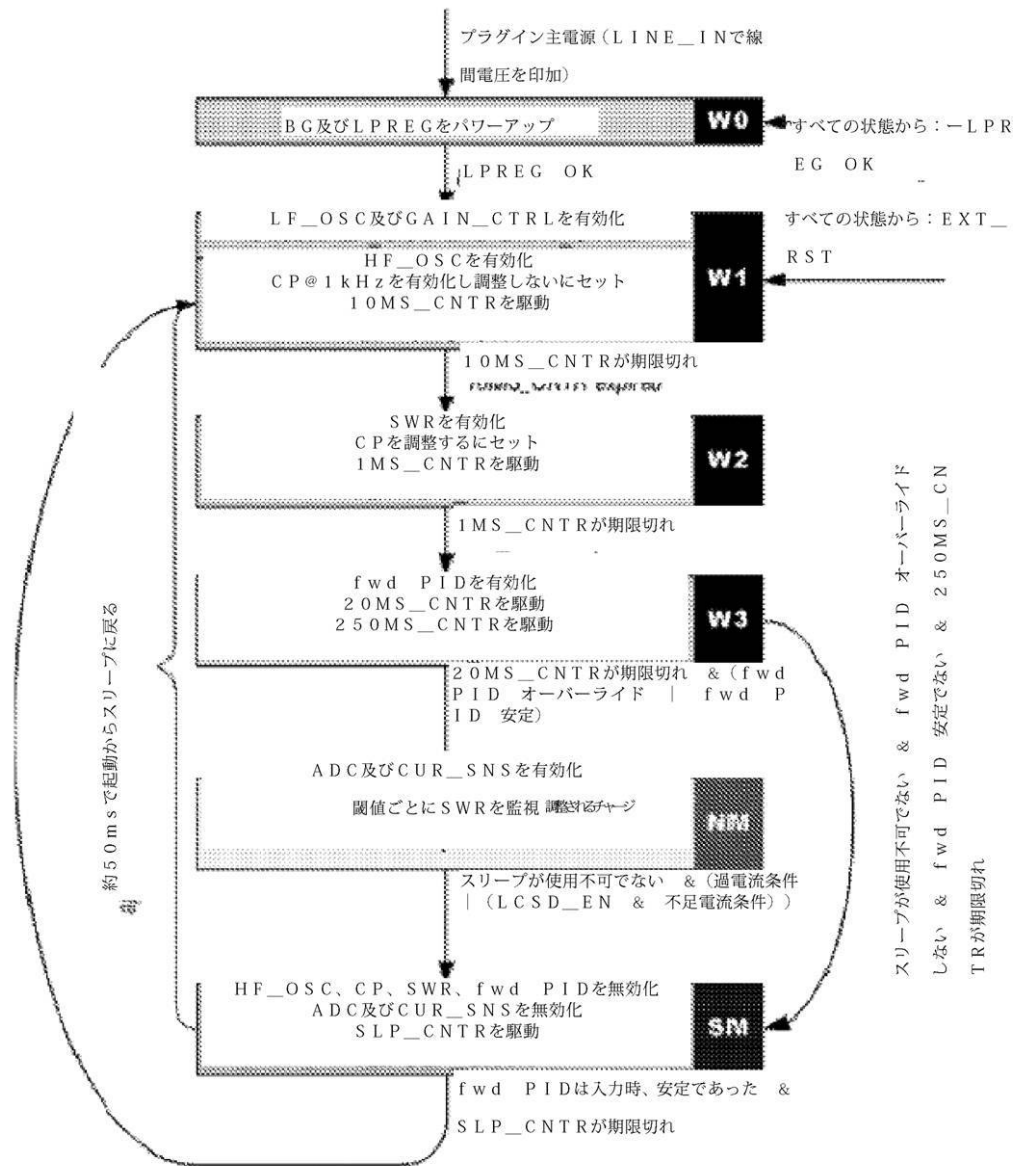
【図 2 1】

【図 22】



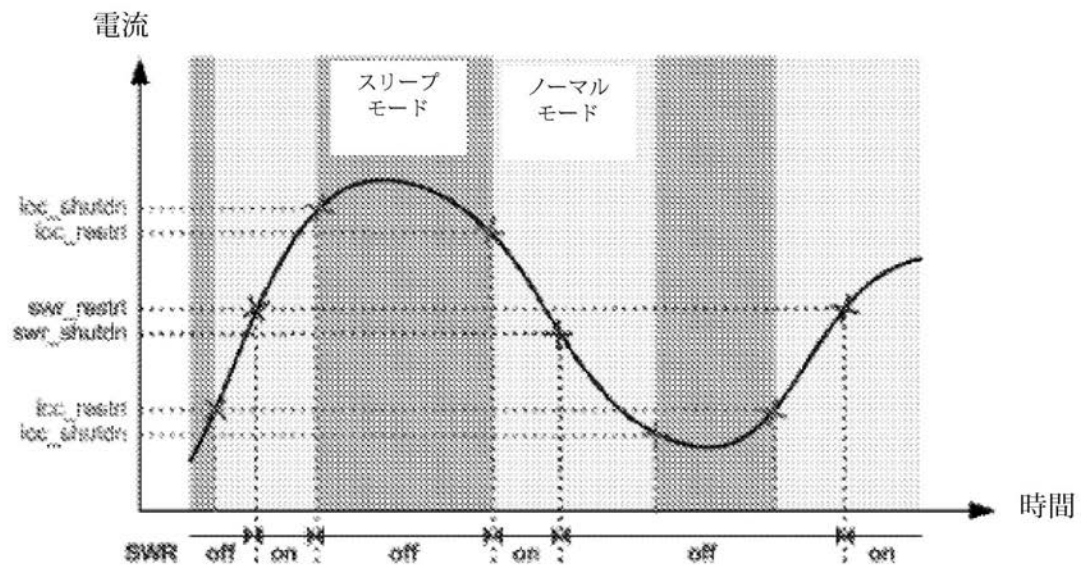
【図 22】

【図 23】



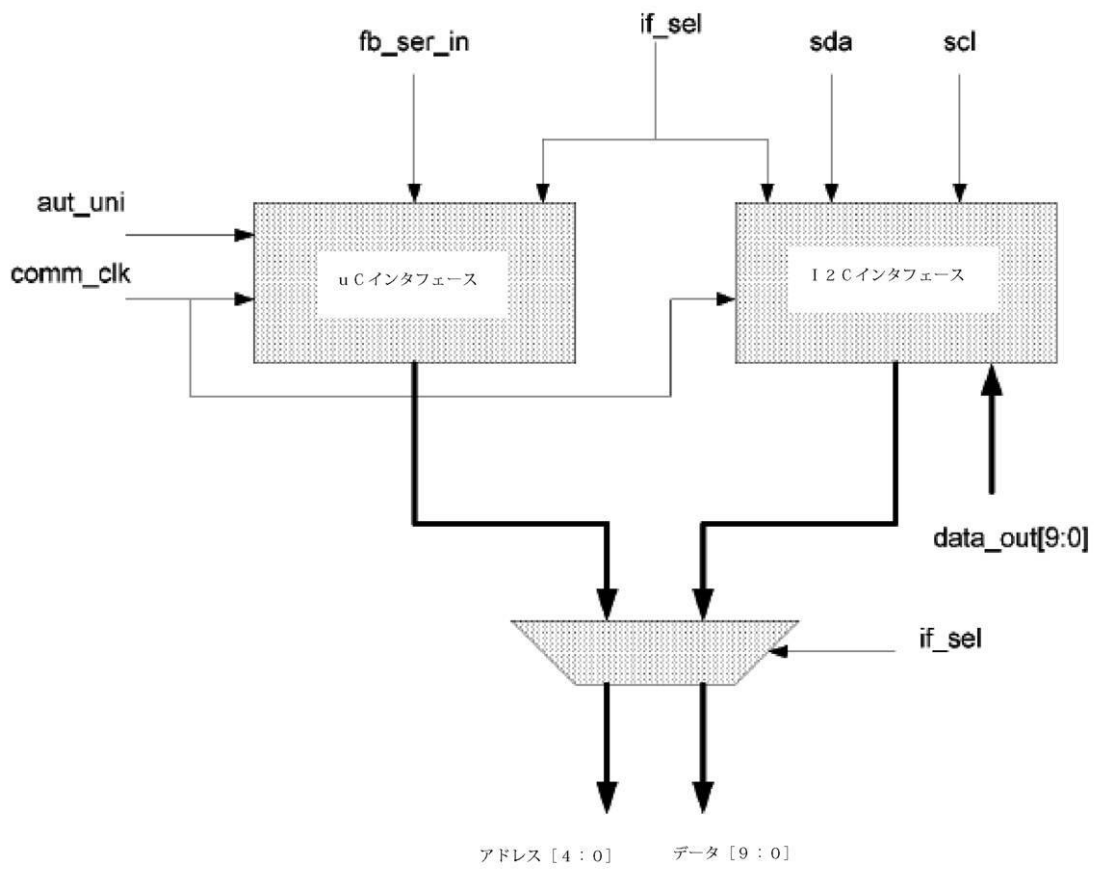
【図 23】

【図 2 4】

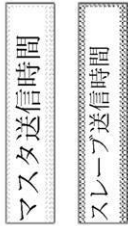


【図 2 4】

【図 25】



【図 25】



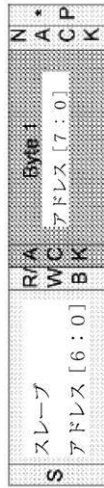
136

I 2 C 送信
RWB = '0'

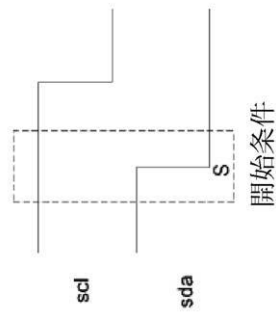


Tronium RF
アドレス = [4 : 0]

I 2 C 受信
RWB = '1'

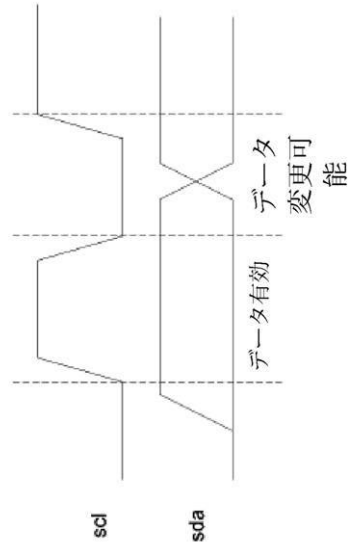


波形の開始と停止

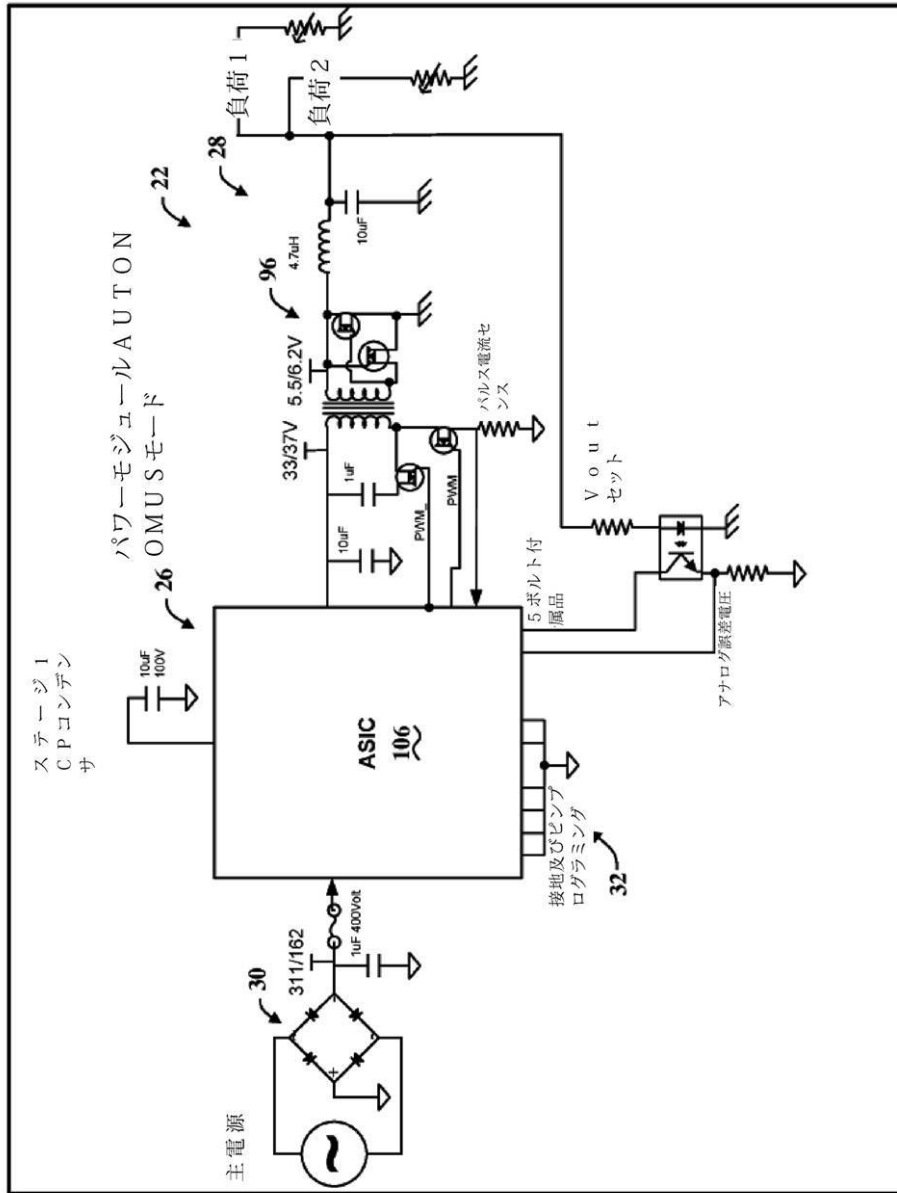


【図 27】

I 2 C ビット転送タイミング

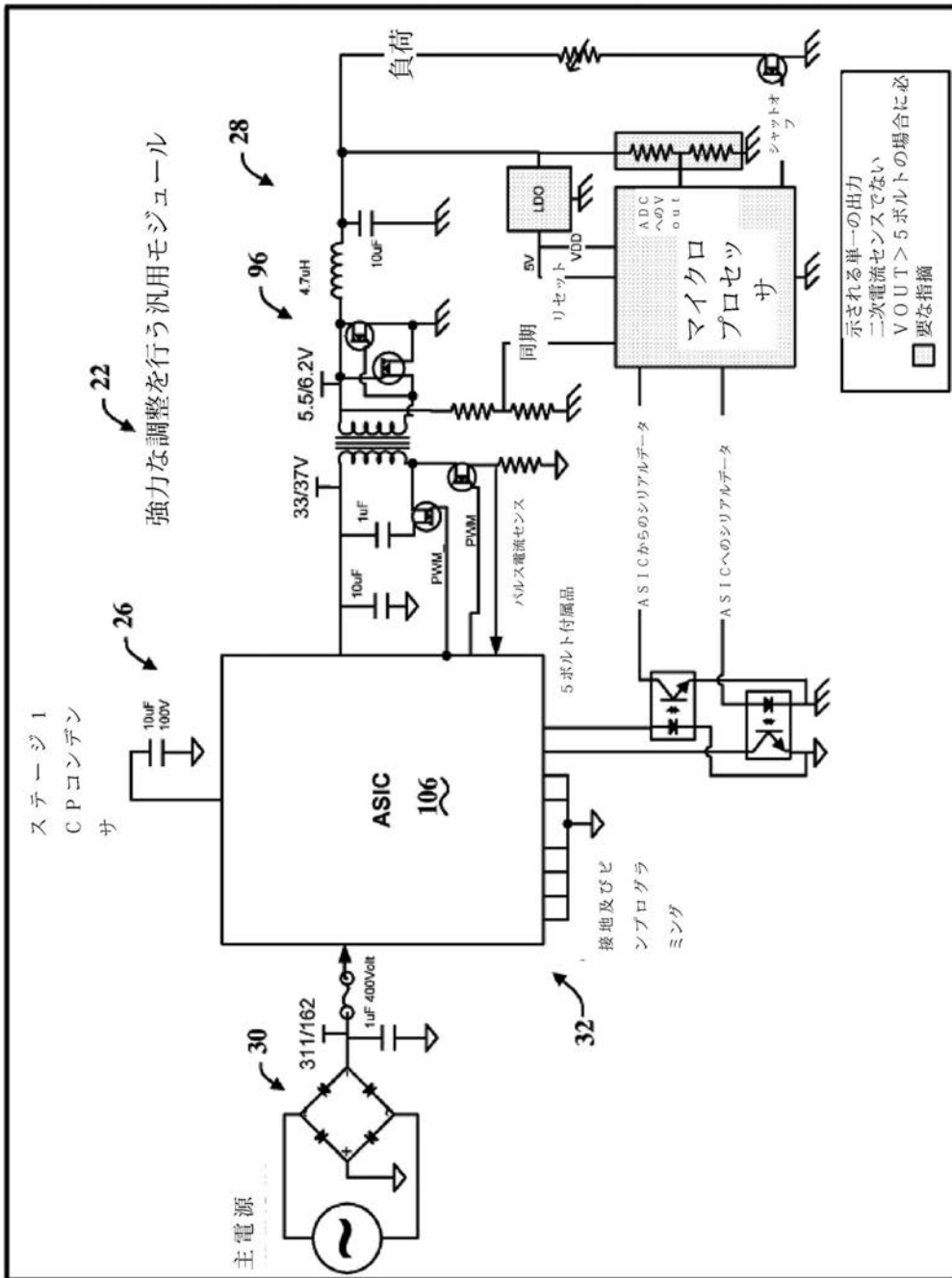


【図 28】

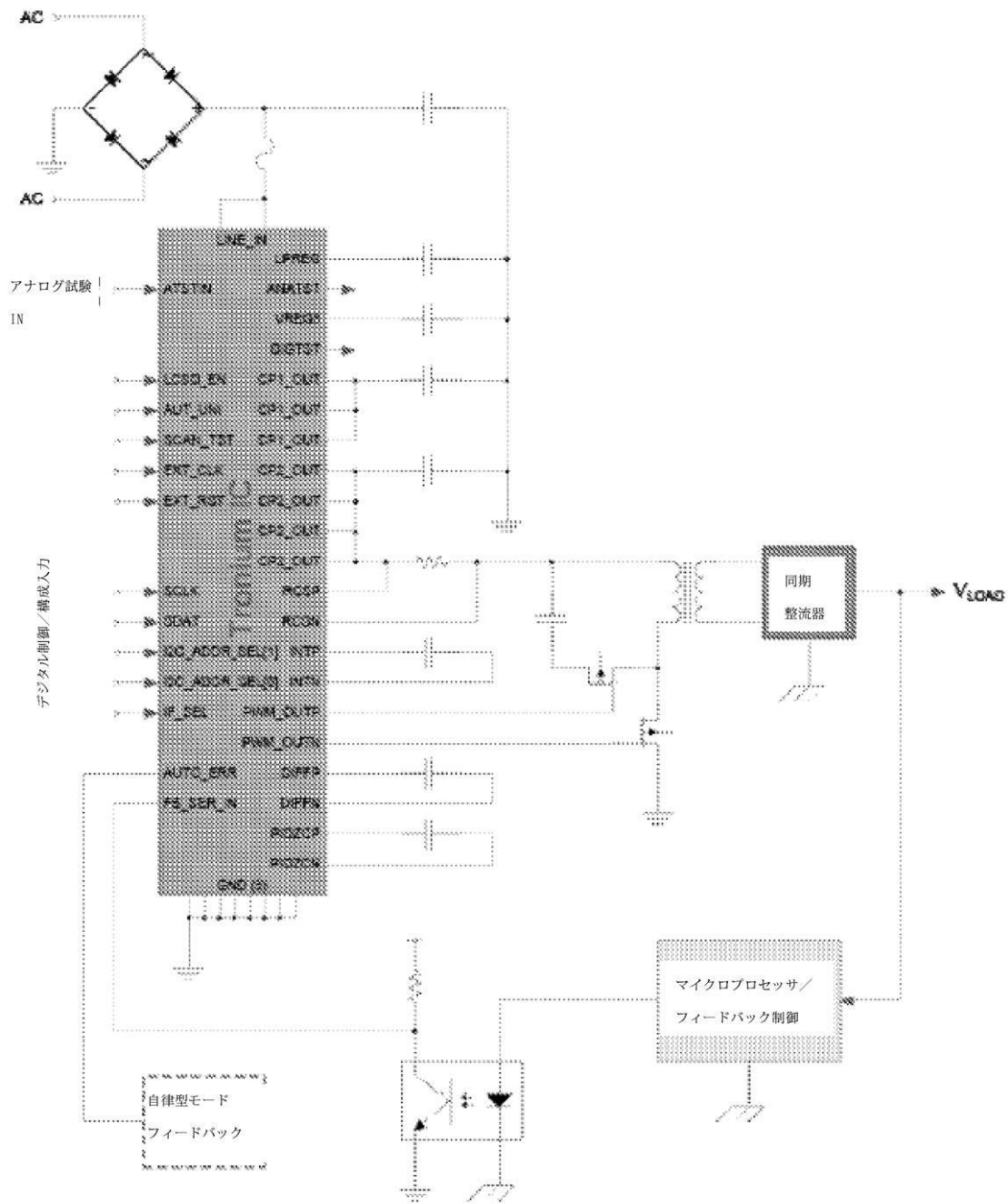


【図 28】

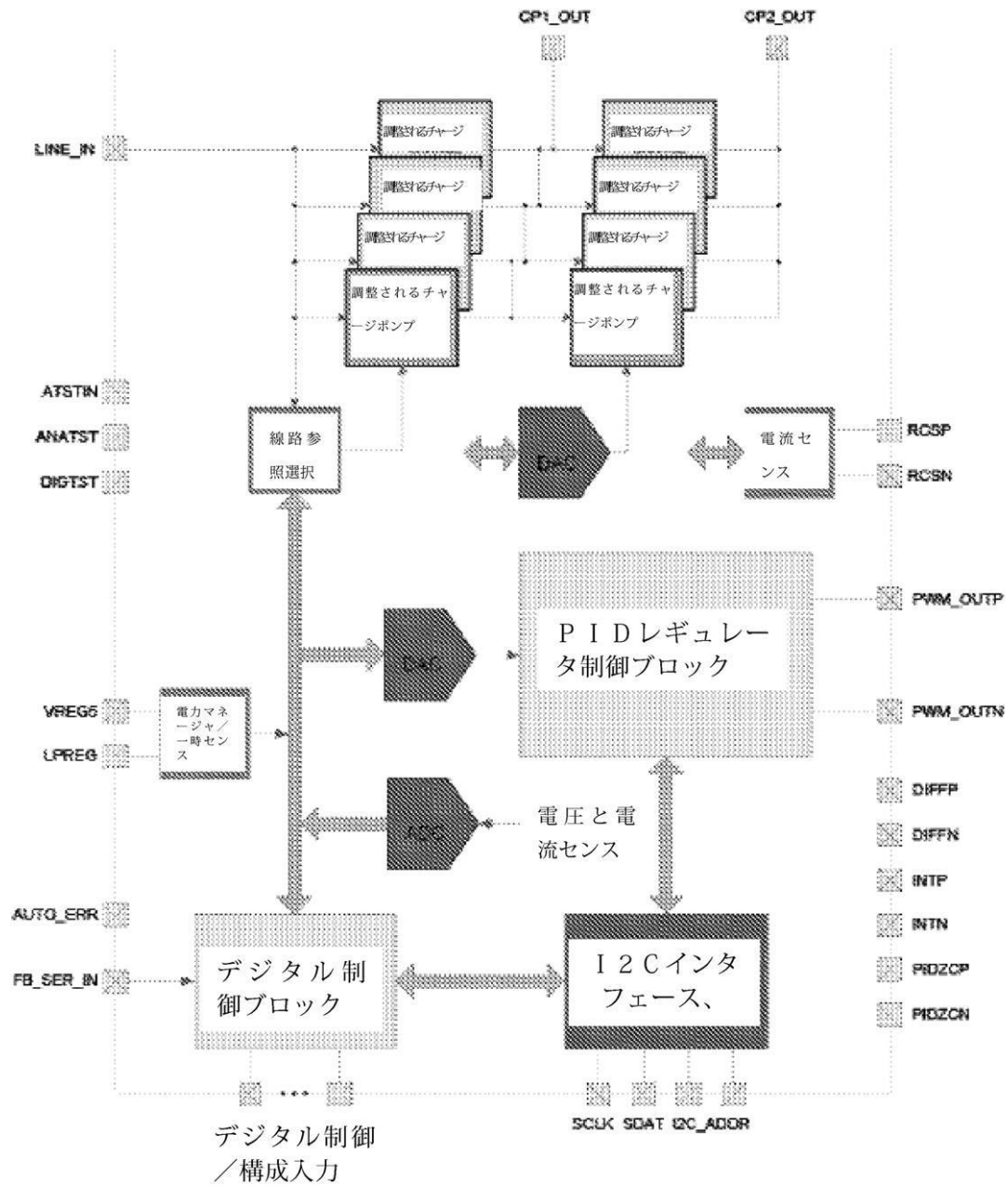
【图29】



【図 30】

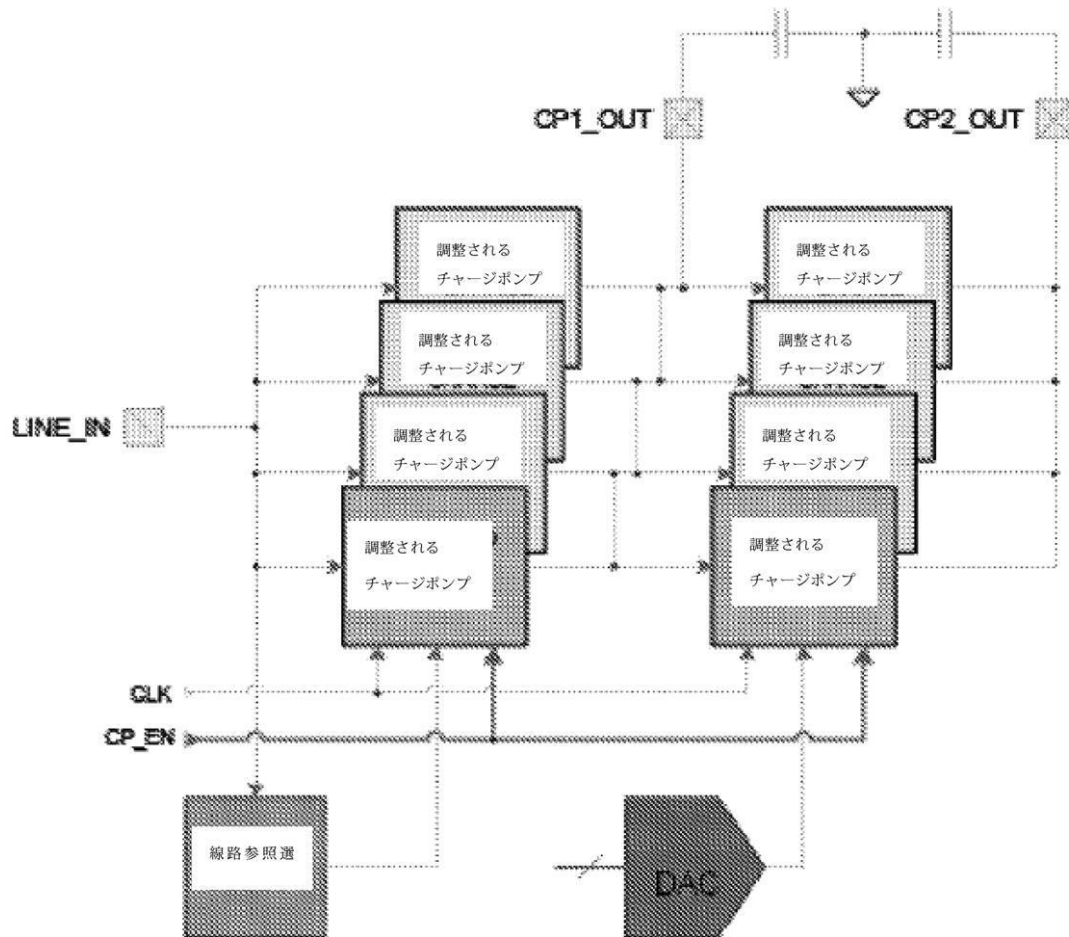


【図 3 1】



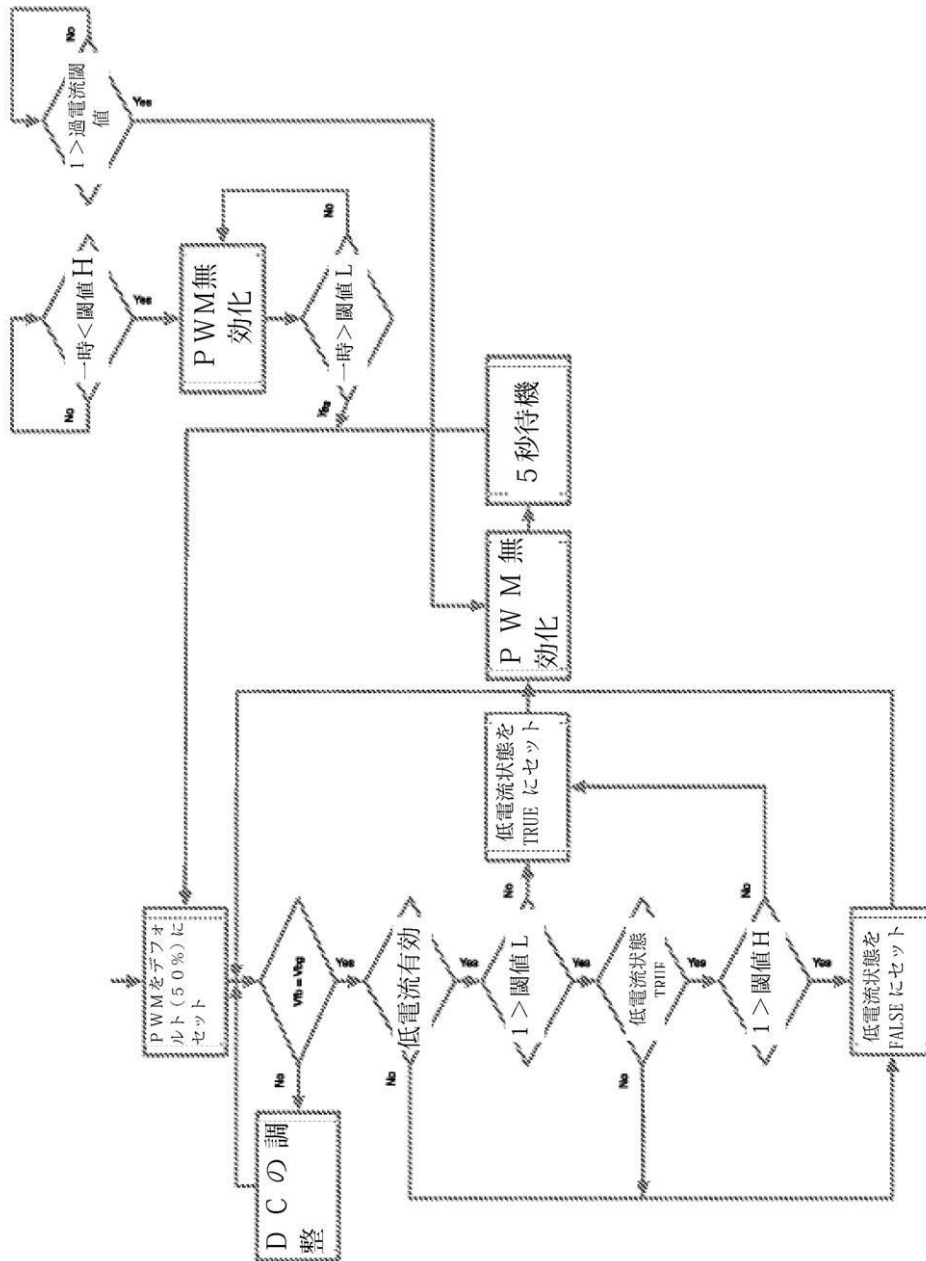
【図 3 1】

【図 3 2】



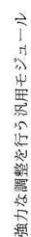
【図 3 2】

【図 33】

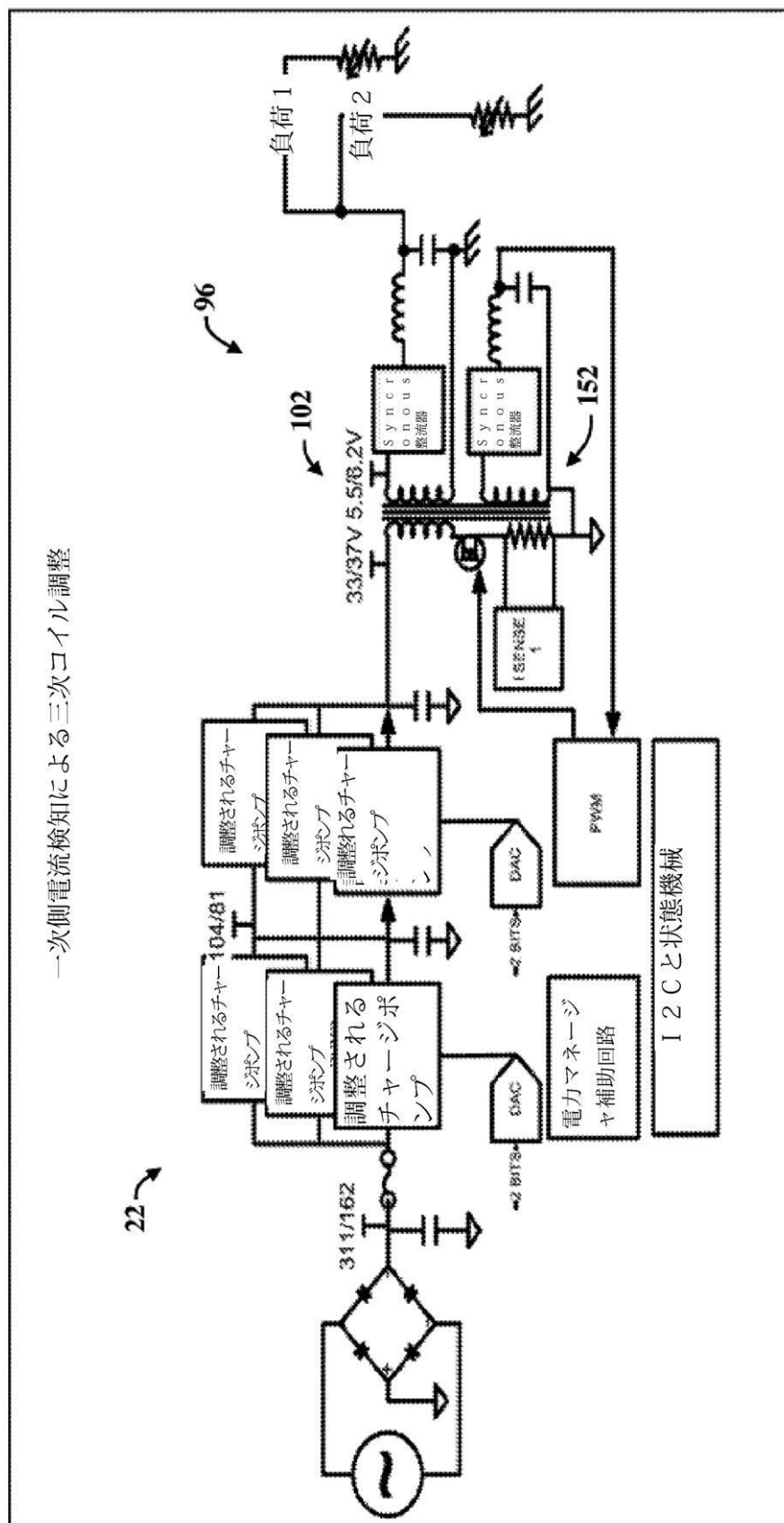


【図 33】

【图35】

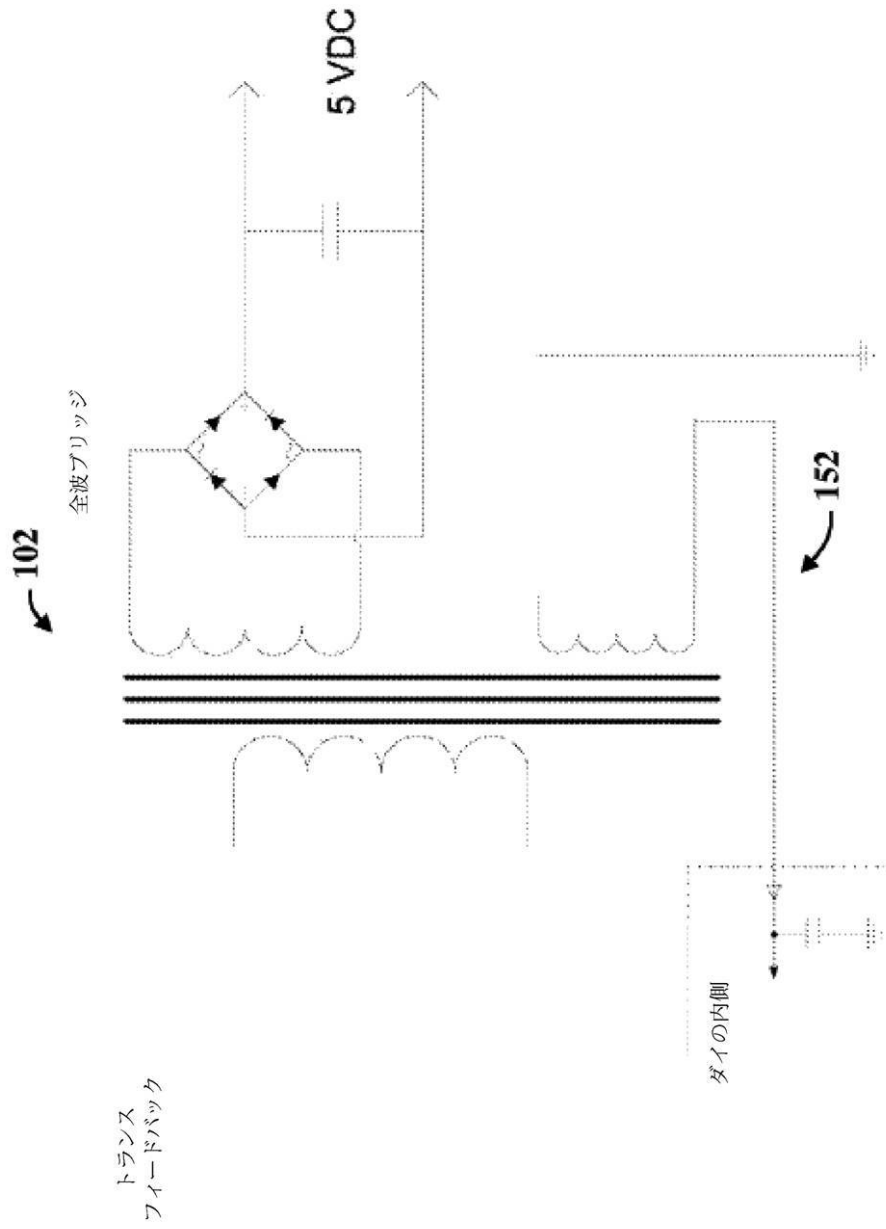


【图 3 9】



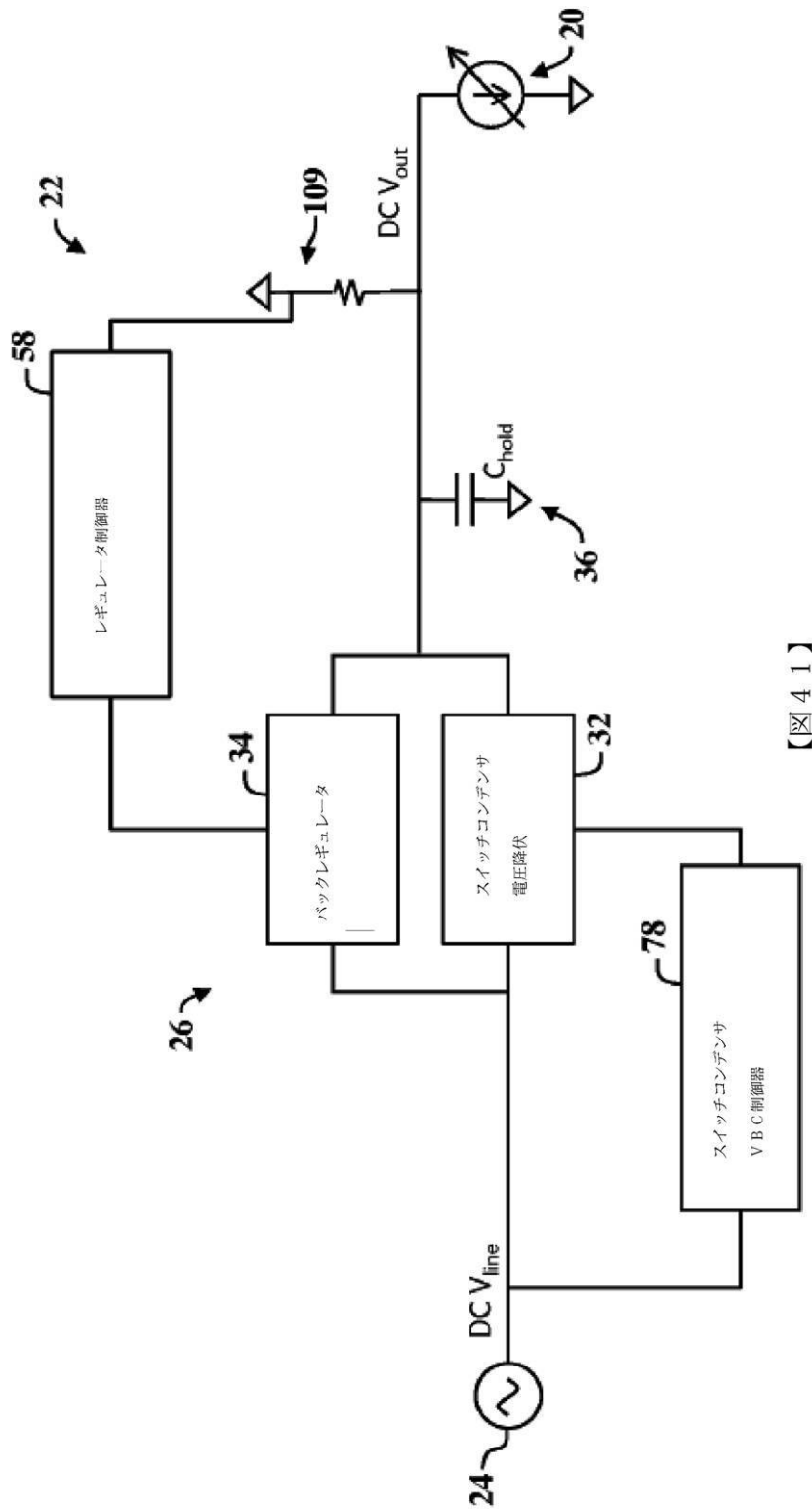
【39】

【図 40】



【図 40】

【図 4 1】



【手続補正書】

【提出日】平成27年6月24日(2015.6.24)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】 0 0 2 8

【補正方法】 変更

【補正の内容】

【 0 0 2 8 】

【図 1】 本発明の実施形態による、電子装置に電力を提供するための電子充電装置の概略図である。

【図 2】 本発明の実施形態による、図 1 に示される充電装置で電子装置に電力を提供するために使用されてもよい電源回路のブロック図である。

【図 3】 本発明の実施形態による、図 2 に示すような「ハイブリッド」電圧降伏回路をつくる電源回路で使用されてもよいバックレギュレータ回路の概略図である。

【図 4】 本発明の実施形態による、図 2 に示される電源回路で使用されてもよいスイッチコンデンサ電圧降伏回路の概略図であり、 RDS_{ON} 損失をさらに低下させるためのコンデンサ間でのゲート共有を含む。

【図 5】 本発明の実施形態による、図 2 に示される電源回路で使用されてもよいスイッチコンデンサ電圧降伏回路の概略図であり、 RDS_{ON} 損失をさらに低下させるためのコンデンサ間でのゲート共有を含む。

【図 6】 本発明の実施形態による、図 2 に示される電源回路で使用されてもよいスイッチコンデンサ電圧降伏回路の概略図であり、 RDS_{ON} 損失をさらに低下させるためのコンデンサ間でのゲート共有を含む。

【図 7】 本発明の実施形態による、図 2 に示される電源回路で使用されてもよいスイッチコンデンサ電圧降伏回路の概略図であり、 RDS_{ON} 損失をさらに低下させるためのコンデンサ間でのゲート共有を含む。

【図 8】 本発明の実施形態による、図 4 に示されるスイッチコンデンサ電圧降伏回路の一部の概略図である。

【図 9】 本発明の実施形態による、図 8 に示されるスイッチコンデンサ電圧降伏回路のためのゲイン設定を示す表である。

【図 10】 本発明の実施形態による、図 9 に示されるゲイン設定のそれぞれと関連する充電フェーズモード及び放電フェーズモードにおける、図 8 に示されるスイッチコンデンサ電圧降伏回路の略図である。

【図 11】 本発明の実施形態による、図 9 に示されるゲイン設定のそれぞれと関連する充電フェーズモード及び放電フェーズモードにおける、図 8 に示されるスイッチコンデンサ電圧降伏回路の略図である。

【図 12】 本発明の実施形態による、図 9 に示されるゲイン設定のそれぞれと関連する充電フェーズモード及び放電フェーズモードにおける、図 8 に示されるスイッチコンデンサ電圧降伏回路の略図である。

【図 13】 本発明の実施形態による、図 2 に示される電源回路で使用されてもよいフォワードコンバータ回路の概略図である。

【図 14】 本発明の実施形態による、図 2 に示される電源回路で使用されてもよい警報制御回路の概略図である。

【図 15 A】 本発明の実施形態による、図 2 に示される電源回路の概略図であり、電力制御器集積回路を含む。

【図 15 B】 本発明の実施形態による、図 2 に示される電源回路の概略図であり、電力制御器集積回路を含む。

【図 16】 本発明の実施形態による、図 10 に示される電力制御器集積回路のブロック図である。

【図 17 A】 本発明の実施形態による、図 10 に示される電力制御器集積回路のブロック図である。

【図 17 B】 本発明の実施形態による、図 10 に示される電力制御器集積回路のブロック図である。

【図 18】 本発明の実施形態による、図 16、17 A、及び 17 B に示される電力制御器

集積回路で使用されてもよい電力管理ユニットのブロック図である。

【図 19】図 16、17A、及び 17B に示される電力制御器集積回路で使用されてもよいパワーオンリセット閾値電圧のグラフ図である。

【図 20】本発明の実施形態による、図 16、17A、及び 17B に示される電力制御器集積回路で使用されてもよい比例積分微分レギュレータ制御回路の略図である。

【図 21】本発明の実施形態による、図 16、17A 及び 17B に示される電力制御器集積回路で使用されてもよいデジタル制御ブロックのブロック図である。

【図 22】本発明の実施形態による、図 16、17A 及び 17B に示される電力制御器集積回路で使用されてもよいデジタル制御ブロックのブロック図である。

【図 23】本発明の実施形態による、電子装置に電力を提供するために図 2 に示される電源回路を作動する方法を示すフローチャートである。

【図 24】本発明の実施形態による、図 23 に示される方法で使用されてもよい状態遷移のグラフ図である。

【図 25】本発明の実施形態による、図 16、17A、及び 17B に示される電力制御器集積回路で使用されてもよい通信インタフェースの略図である。

【図 26】本発明の実施形態による、図 16、17A、及び 17B に示される電力制御器集積回路で使用されてもよいマイクロプロセッサ通信プロトコルの略図である。

【図 27】本発明の実施形態による、図 16、17A、及び 17B に示される電力制御器集積回路で使用されてもよい Inter-Integrated Circuit の略図である。

【図 28】本発明の実施形態による、図 2 に示される電源回路の略図である。

【図 29】本発明の実施形態による、図 2 に示される電源回路の略図である。

【図 30】本発明の実施形態による、図 16、17A、及び 17B に示される電力制御器集積回路で使用されてもよい配線図である。

【図 31】本発明の実施形態による、図 16、17A、及び 17B に示される電力制御器集積回路の追加の略図である。

【図 32】本発明の実施形態による、図 16、17A、及び 17B に示される電力制御器集積回路の追加の略図である。

【図 33】本発明の実施形態による、図 16、17A、及び 17B に示される電力制御器集積回路で使用されてもよい低電流検出及びエラー検出のためのアルゴリズムのフローチャートである。

【図 34】本発明の実施形態による、図 2 に示される電源回路の略図である。

【図 35】本発明の実施形態による、図 2 に示される電源回路の略図である。

【図 36】本発明の実施形態による、図 2 に示される電源回路で使用されてもよいレベルシフタの略図である。

【図 37】本発明の実施形態による、図 13 に示されるフォワードコンバータ回路で使用されてもよい RCD 回路の略図である。

【図 38】本発明の実施形態による、図 2 に示される電源回路の追加の略図である。

【図 39】本発明の実施形態による、図 2 に示される電源回路の追加の略図である。

【図 40】本発明の実施形態による、図 2 に示される電源回路の一部の略図である。

【図 41】本発明の実施形態による、図 2 に示される電源回路の別の略図である。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0069

【補正方法】変更

【補正の内容】

【0069】

図 15A 及 15B は、電力回路 22 で使用されてもよい電力制御器集積回路 (Tronium PSSoC) 106 を含むパワーモジュール 12 の概略図である。図 16、17A、及び 17B は、Tronium PSSoC 106 のブロック図である。示される実

施形態において、パワーモジュール１２は、プリント回路基板１０８と、パッケージングされたチップ内に形成されて、プリント回路基板１０８に結合される Tron ium P S S o C 1 0 6 とを含む。電気回路２２の少なくとも一部は、Tron ium P S S o C 1 0 6 内に含まれる。さらに、デジタル制御はマイクロプロセッサ、外部、あるいは、チップまたは状態機械に組み込まれたもののいずれで行われてもよい。１つの実施形態において、電気回路２２に含まれる電気回路及び電気部品の一部またはすべては、Tron ium P S S o C 1 0 6 内に含まれる。Tron ium P S S o C 1 0 6 は、自律型パワーモジュール（図１６及び２８に示される）と汎用パワーモジュール（図１７Ａ、１７Ｂ、及び２９に示される）とを含む２つの一次パワーモジュール用途で使用するために構成されてもよい。たとえば、図１６に示されるように、自律型パワーモジュールは、費用削減のためのアナログフィードバック手法に基づく自律型作動モードで作動するように構成される Tron ium P S S o C 1 0 6 を含む。汎用パワーモジュール（図１７Ａ及び１７Ｂに示される）は、汎用作動モードで作動し、フィードバックを最終的な出力電圧の調整のために提供するマイクロプロセッサ（ μ P）制御器を利用するように構成される Tron ium P S S o C 1 0 6 を含む。

【手続補正３】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項１】

電源への電氣的な結合に適合する一次電源回路と、

前記一次電源回路に電氣的に結合する二次電源回路と

を備える、電子装置を駆動するために電力を提供する電気回路であって、

前記一次電源回路は、前記電源から交流（ＡＣ）入力電力信号を受け取り、中間直流（ＤＣ）電力信号を発生するように構成され、

前記中間ＤＣ電力信号は、前記ＡＣ入力電力信号の電圧レベルより小さい第１の電圧レベルで発生し、

前記一次電源回路は、

前記電源から前記ＡＣ電源入力信号を受け取り、前記ＡＣ入力電力信号の前記電圧レベルとほぼ等しい電圧レベルを有する、整流されたＤＣ電力信号を発生させるように構成される整流回路と、

前記整流回路から前記整流されたＤＣ電力信号を受け取り、前記中間ＤＣ電力信号を発生させるための前記整流回路に結合されるスイッチコンデンサ電圧降伏回路と
を含み、

前記スイッチコンデンサ電圧降伏回路は、

並列に電氣的に結合される一対のフライバックコンデンサと、

前記一対のフライバックコンデンサのそれぞれに電氣的に結合される複数のスイッチ組立体であって、充電フェーズと放電フェーズとの間で作動している前記複数のスイッチ組立体と、

前記フライバックコンデンサのそれぞれに電氣的に結合される保持コンデンサであって、前記複数のスイッチ組立体が、前記充電フェーズの間、前記整流されたＤＣ電力信号を前記フライバックコンデンサのそれぞれに選択的に供給し、前記放電フェーズの間、前記中間ＤＣ電力信号を前記保持コンデンサに選択的に供給するように作動する、保持コンデンサと

を含み、

前記二次電源回路は、前記一次電源回路から前記中間ＤＣ電力信号を受け取り、出力ＤＣ電力信号を電子装置に供給するように構成され、

前記出力ＤＣ電力信号は、前記中間ＤＣ電力信号の前記第１の電圧レベルより小さい出力

電圧レベルで供給されている、電気回路。

【請求項 2】

入力電圧レベルを検知して、前記検知された入力電圧レベルの関数として前記スイッチ組立体を調整するために、制御信号を前記スイッチコンデンサ電圧降伏回路に伝達するようにプログラムされるプロセッサを含む集積回路制御器をさらに備える、請求項 1 に記載の電気回路。

【請求項 3】

プロセッサが、容量性絶縁を容易にするために前記スイッチコンデンサ電圧降伏回路を調整するようにプログラムされる、請求項 1 に記載の電気回路。

【請求項 4】

前記出力 D C 電力信号の電流レベルを検知するための電流センサを含むバンパイア負荷除去サブシステムを含み、

前記プロセッサが、前記検知された電流レベルがあらかじめ定義された電流レベルと異なる場合に、前記一次電源回路への入力電力をシャットオフするようにプログラムされる、請求項 2 に記載の電気回路。

【請求項 5】

前記電気回路の遠隔操作を有効化するために、制御信号を前記プロセッサに伝達するために前記プロセッサに結合される通信制御装置を含む、請求項 2 に記載の電気回路。

【請求項 6】

前記スイッチ組立体の少なくとも 1 つが、

M O S F E T スイッチと、

L D O 信号を受け取り、前記 L D O 信号の関数として制御信号を前記 M O S F E T スイッチに供給するための前記 M O S F E T スイッチに結合される少なくとも 1 つのレベルシフタと、

前記レベルシフタに結合されるディクソンチャージポンプとを含み、

前記ディクソンチャージポンプは、前記整流された D C 電力信号を受け取り、前記整流された D C 電力信号の前記電圧レベルより大きい電圧レベルを有する出力電力信号を発生させるように構成され、

前記出力電力信号が、前記 M O S F E T スイッチを作動させるために前記レベルシフタに供給されている、請求項 1 に記載の電気回路。

【請求項 7】

前記スイッチコンデンサ電圧降伏回路は、前記複数のスイッチ組立体のそれぞれに結合されるスイッチコンデンサ制御回路を含み、

前記スイッチコンデンサ制御回路は、

前記整流された D C 電力信号の電圧レベルを検知するための電圧検知回路と、

前記検知された電圧レベルの関数として前記スイッチコンデンサ電圧降伏回路のゲイン設定を選択するように構成され、前記選択されたゲイン設定の関数として前記複数のスイッチ組立体のそれぞれを作動させるゲイン制御器と

を含む、請求項 1 に記載の電気回路。

【請求項 8】

前記一次電源回路は、前記整流回路から前記整流された D C 電力信号を受け取り、第 2 の中間 D C 電力信号を発生させるためのバックレギュレータ回路を含む、請求項 1 に記載の電気回路。

【請求項 9】

前記バックレギュレータ回路は、電圧低下回路に結合されるレギュレータスイッチ組立体を含み、

前記電圧低下回路は、

少なくとも 1 つのダイオードと、

インダクタと、

コンデンサと
を含み、

前記レギュレータスイッチ組立体は、前記整流されたD C電力信号を前記電圧低下回路に選択的に供給するように作動している、請求項8に記載の電気回路。

【請求項10】

前記バックレギュレータ回路が、前記整流されたD C電力信号を前記電圧低下回路に選択的に供給するために、パルス幅変調制御信号を前記レギュレータスイッチ組立体に提供するためのバックレギュレータ制御回路を含み、

前記バックレギュレータ制御回路は、

前記中間D C電力信号の前記第1の電圧レベルを検知するための電圧検知回路と、

前記検知された第1の電圧レベルの関数として前記パルス幅変調制御信号を発生させるためのレギュレータ制御器と
を含み、

前記レギュレータ制御器は、あらかじめ定義された電圧レベルで前記中間D C電力信号の前記電圧レベルを維持するために供給されている前記制御信号のデューティサイクルを調整するように構成される、請求項9に記載の電気回路。

【請求項11】

前記二次電源回路は、一次電圧低下回路と二次電圧低下回路とを含むフォワードコンバータ回路を含み、

前記一次電圧低下回路は、前記一次電源回路から前記中間D C電力信号を受け取り、二次D C電力信号を前記二次電圧低下回路に供給するように構成され、

前記二次D C電力信号は、前記中間D C電力信号の前記電圧レベルより小さい電圧レベルを有し、

前記二次電圧低下回路は、前記二次D C電力信号を受け取り、前記電子装置に供給されている前記出力D C電力信号を発生させるように構成される、請求項1に記載の電気回路。

【請求項12】

前記一次電圧低下回路は、

トランスと、

前記一次電源回路に結合されている前記トランスの一次側と、

前記二次電圧低下回路に結合されている前記トランスの二次側と

を含む、請求項11に記載の電気回路。

【請求項13】

前記D C出力信号の調整を容易にするために負荷電流及び負荷電圧を検知する前記トランスの一次側に連結される一次側電流センス回路を含む、請求項12に記載の電気回路。

【請求項14】

電源から電力入力信号を受け取るための、及び、出力電力信号を発生させる、少なくとも1つのスイッチコンデンサ電圧降伏回路を備える、電子装置に電力を供給するために電力を提供するパワーモジュールであって、

前記少なくとも1つのスイッチコンデンサ電圧降伏回路が、

並列に電氣的に結合される一対のフライバックコンデンサと、

前記一対のフライバックコンデンサのそれぞれに電氣的に結合される複数のスイッチ組立体と
を含む、パワーモジュール。

【請求項15】

前記スイッチコンデンサ電圧降伏回路と並列に電氣的に結合されるバックレギュレータ回路を含む、請求項14に記載のパワーモジュール。

【請求項16】

前記スイッチコンデンサ電圧降伏回路及び前記バックレギュレータ回路を調整するようにプログラムされる集積回路制御器を含む、請求項15に記載のパワーモジュール。

【請求項 17】

前記スイッチコンデンサ電圧降伏回路に結合されるフォワードコンバータ回路を含み、
前記フォワードコンバータ回路が、中間電力信号を受け取り、前記出力電力信号を電子装置に供給するための前記スイッチコンデンサ電圧降伏回路に結合されるトランスを含む、
請求項 14 に記載のパワーモジュール。

【請求項 18】

半導体チップを含み、
前記フライバックコンデンサ及び前記スイッチ組立体が前記半導体チップ上に形成されている、
請求項 14 に記載のパワーモジュール。

【請求項 19】

前記スイッチ組立体の少なくとも 1 つが、
MOSFET スイッチと、
前記 MOSFET スイッチに結合されるディクソンチャージポンプと
を含む、
請求項 14 に記載のパワーモジュール。

【請求項 20】

前記 MOSFET スイッチは、低電圧の集積回路上に形成される高電圧の MOSFET
を含む、
請求項 19 に記載のパワーモジュール。

【請求項 21】

前記集積回路制御器が、前記バックレギュレータ回路と異なる周波数で前記スイッチコンデンサ電圧降伏回路を調整するようにプログラムされる、
請求項 16 に記載のパワーモジュール。

【請求項 22】

前記パワーモジュールの遠隔操作を有効化するために、制御信号を前記集積回路制御器に伝達するために前記集積回路制御器に結合される通信制御装置を含む、
請求項 16 に記載のパワーモジュール。

【請求項 23】

前記出力電力信号の電流レベルを検知するための電流センサを含み、前記検知された電流レベルがあらかじめ定義された電流レベルと異なる場合に入力電力を切断するためのバンプイア負荷除去サブシステムを含む、
請求項 14 に記載のパワーモジュール。

【請求項 24】

前記フライバックコンデンサ及び前記スイッチ組立体が半導体チップ上に形成される、
請求項 1 に記載の電気回路。

【請求項 25】

前記バックレギュレータ回路と異なる周波数で前記スイッチコンデンサ電圧降伏回路を調整するようにプログラムされるプロセッサを含む、
請求項 8 に記載の電気回路。

【請求項 26】

半導体チップを提供するステップと、
前記半導体チップ上でスイッチコンデンサ電圧降伏回路を形成するステップと、
前記半導体チップ上で集積回路制御器を形成するステップと
を含み、
前記スイッチコンデンサ電圧降伏回路が、電源からの入力電圧レベルを有する入力 DC 電力信号を受け取り、前記入力電圧レベルより小さい出力電圧レベルを有する出力 DC 電力信号を放出するように構成され、
前記スイッチコンデンサ電圧降伏回路が、並列に電気的に結合される一対のフライバックコンデンサと、前記一対のフライバックコンデンサのそれぞれに電気的に結合される複数のスイッチ組立体とを含み、
前記集積回路制御器が、前記入力 DC 電力信号の電圧レベルを検知して、前記出力 DC 電力信号を発生させるために前記検知された電圧レベルの関数として前記スイッチコンデンサ電圧降伏回路のゲインを調整するようにプログラムされる、
電圧低下器具の組立方法。

【手続補正４】

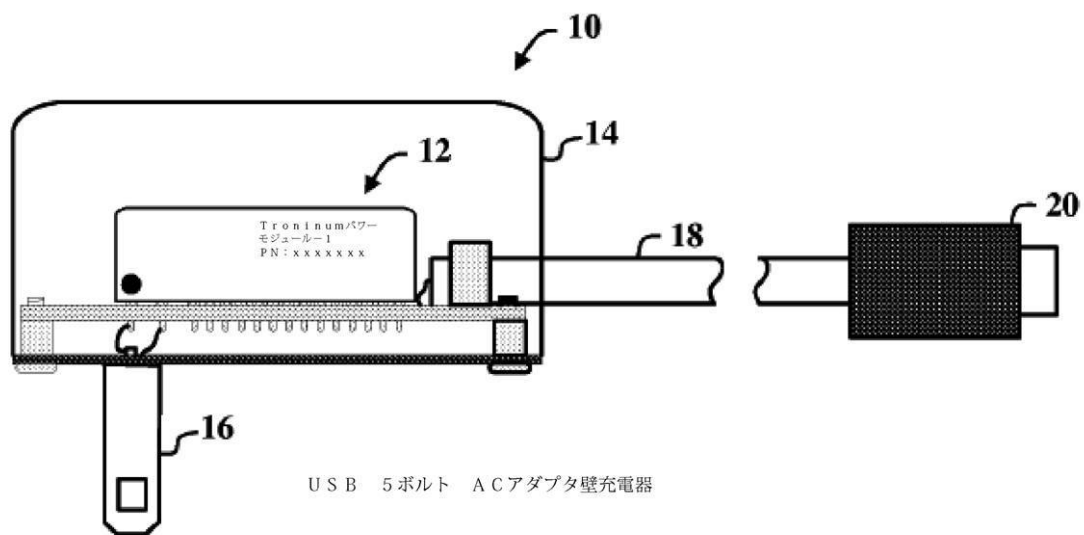
【補正対象書類名】図面

【補正対象項目名】全図

【補正方法】変更

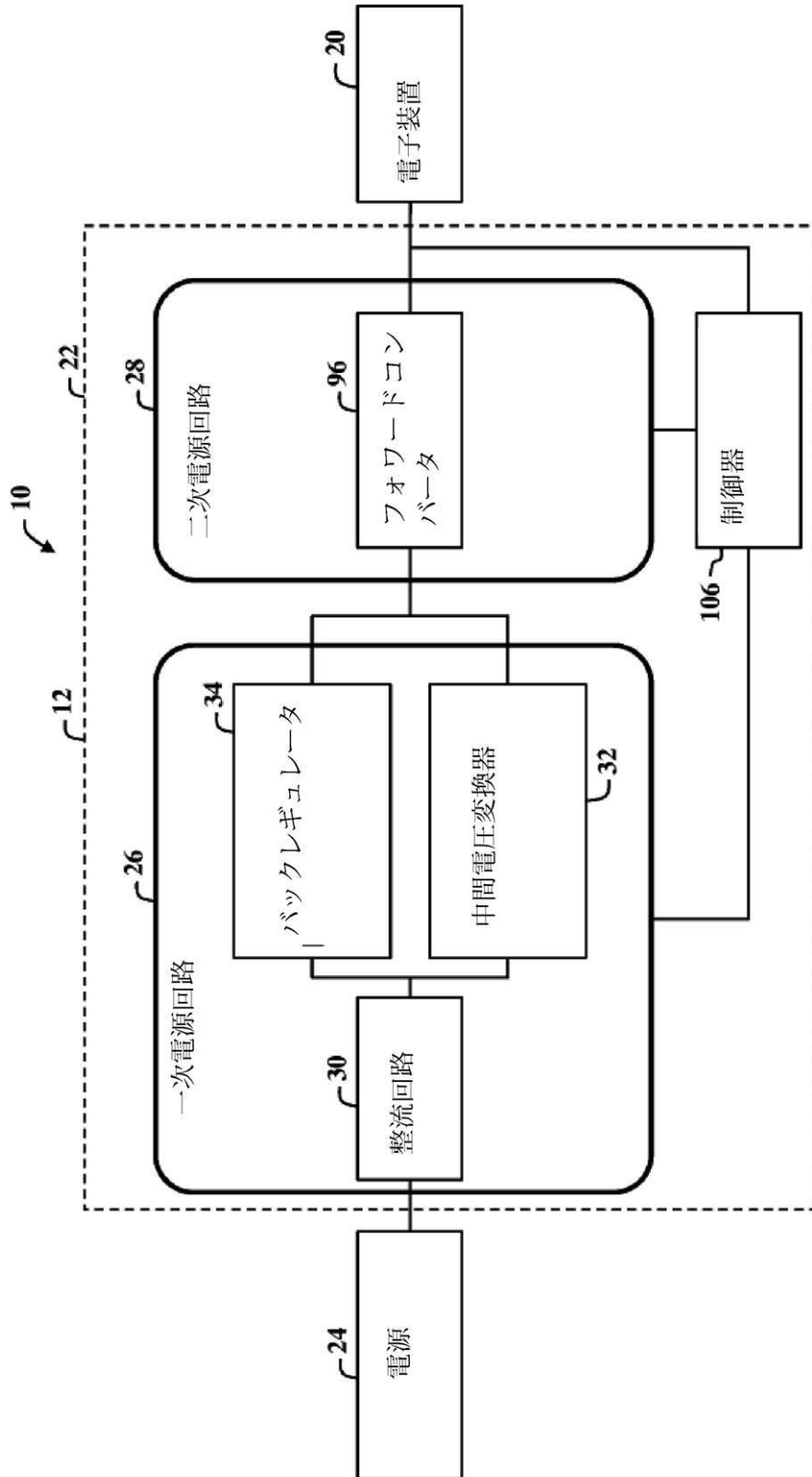
【補正の内容】

【図 1】



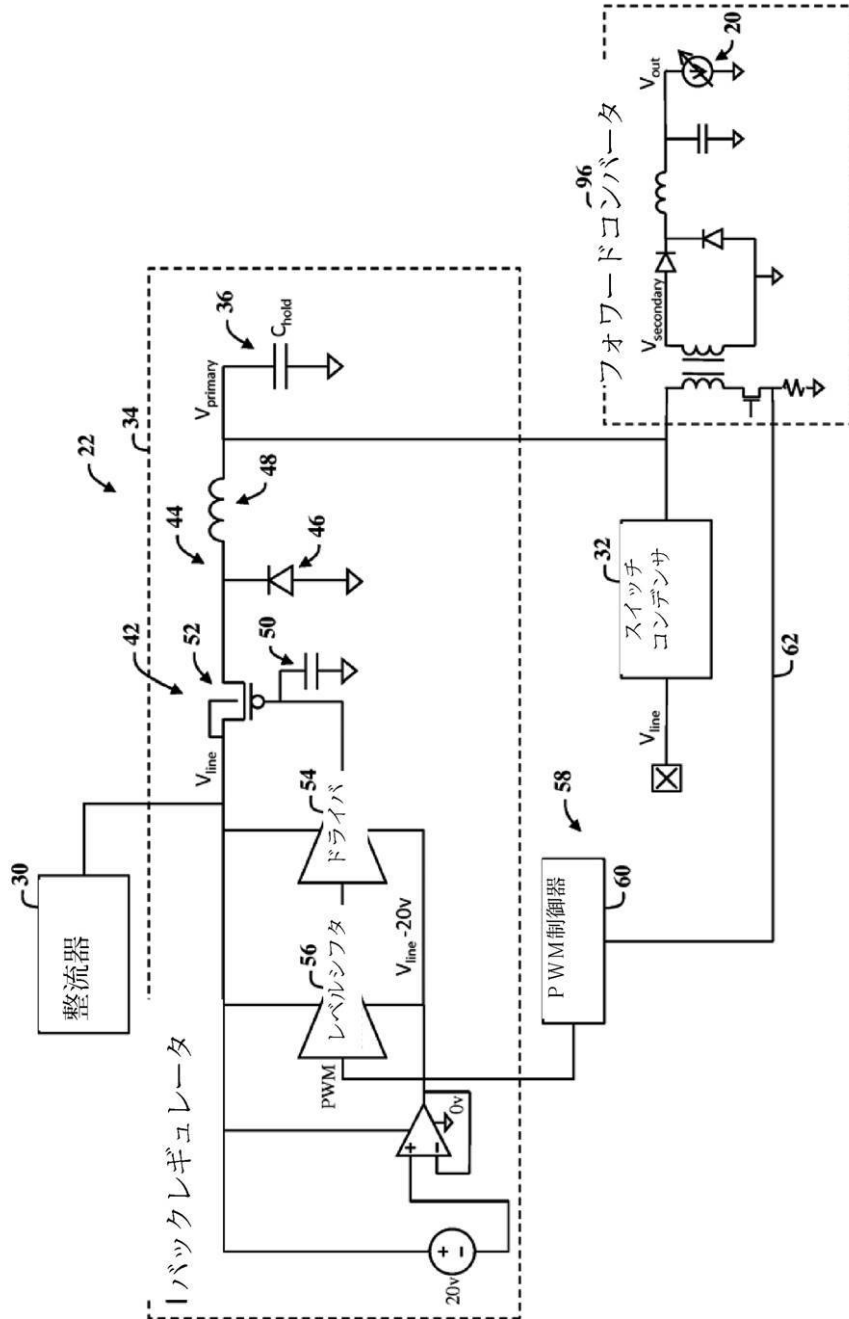
【図 1】

【図 2】



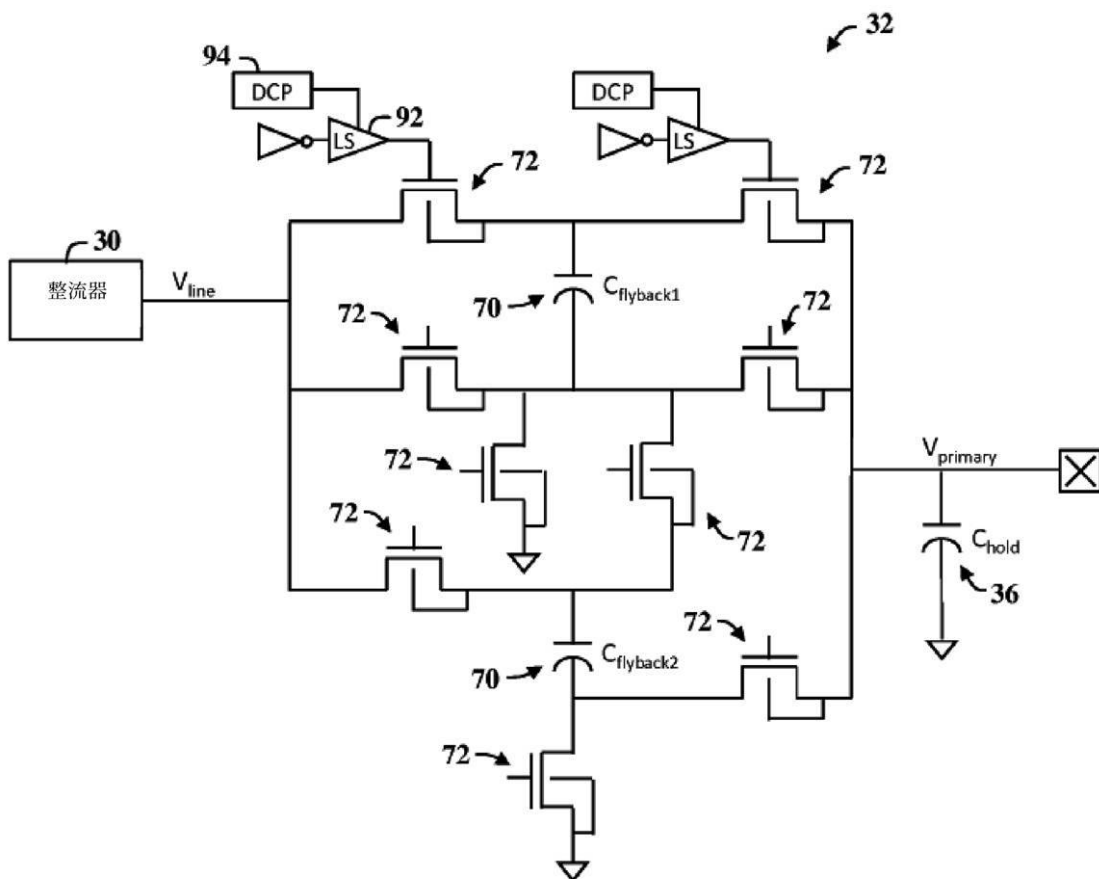
【図 2】

【図 3】



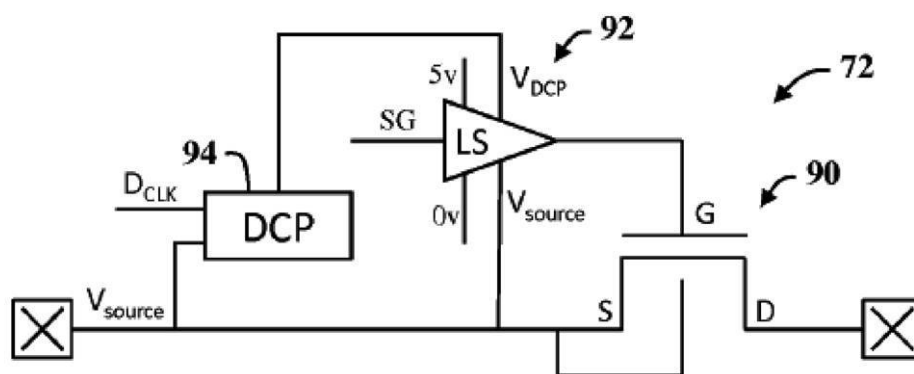
【図 3】

【图 4】



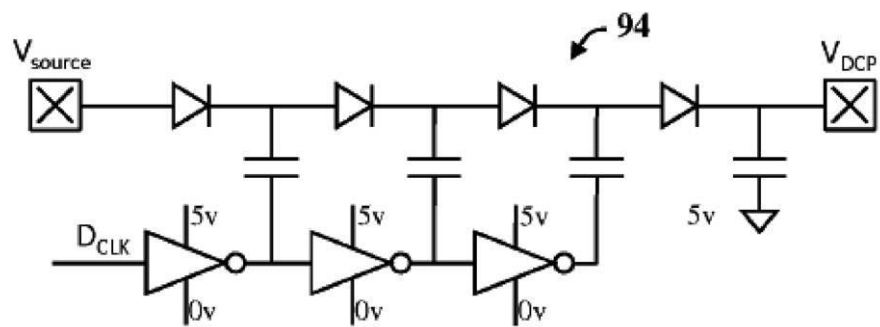
【图 4】

【図 5】



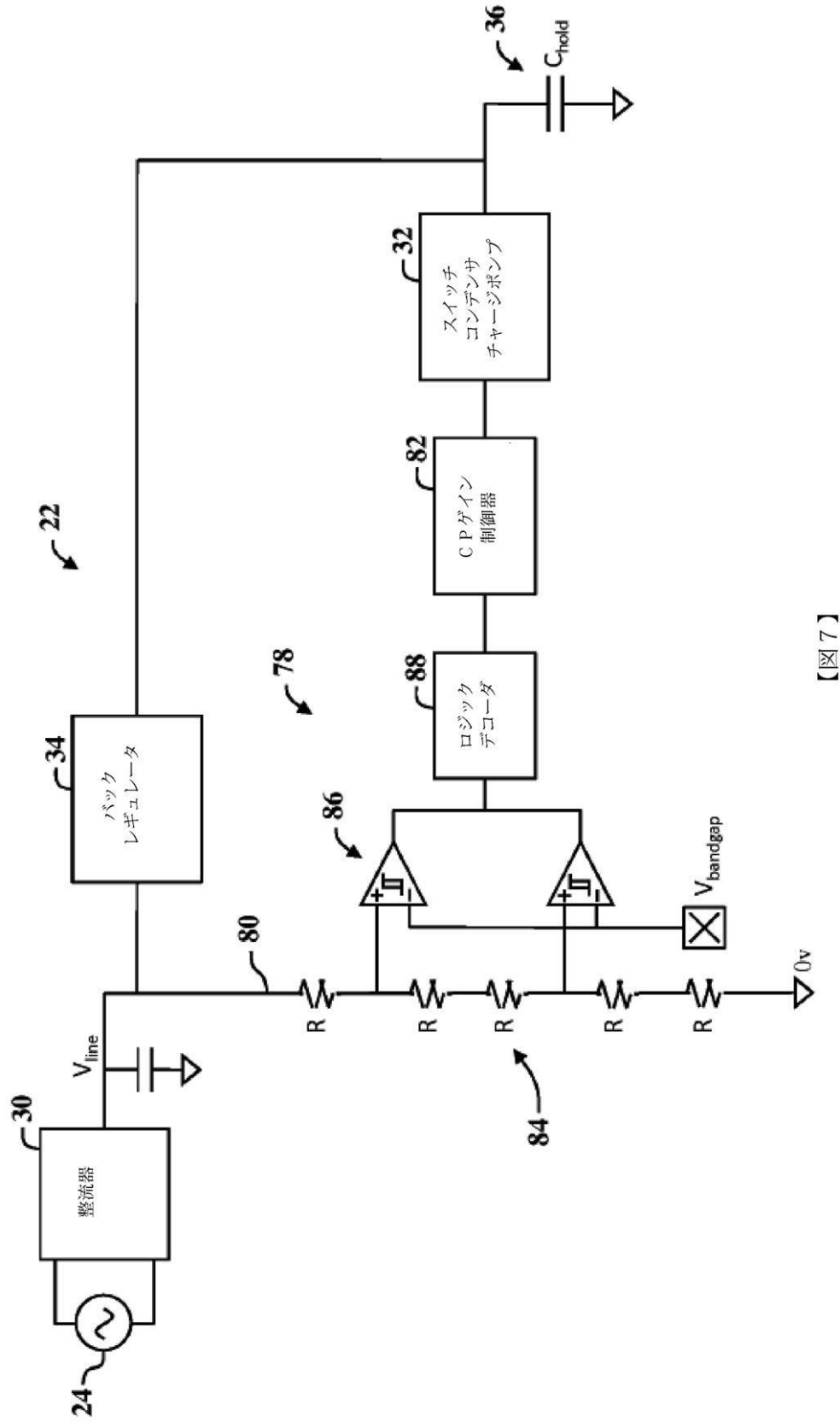
【図 5】

【図 6】



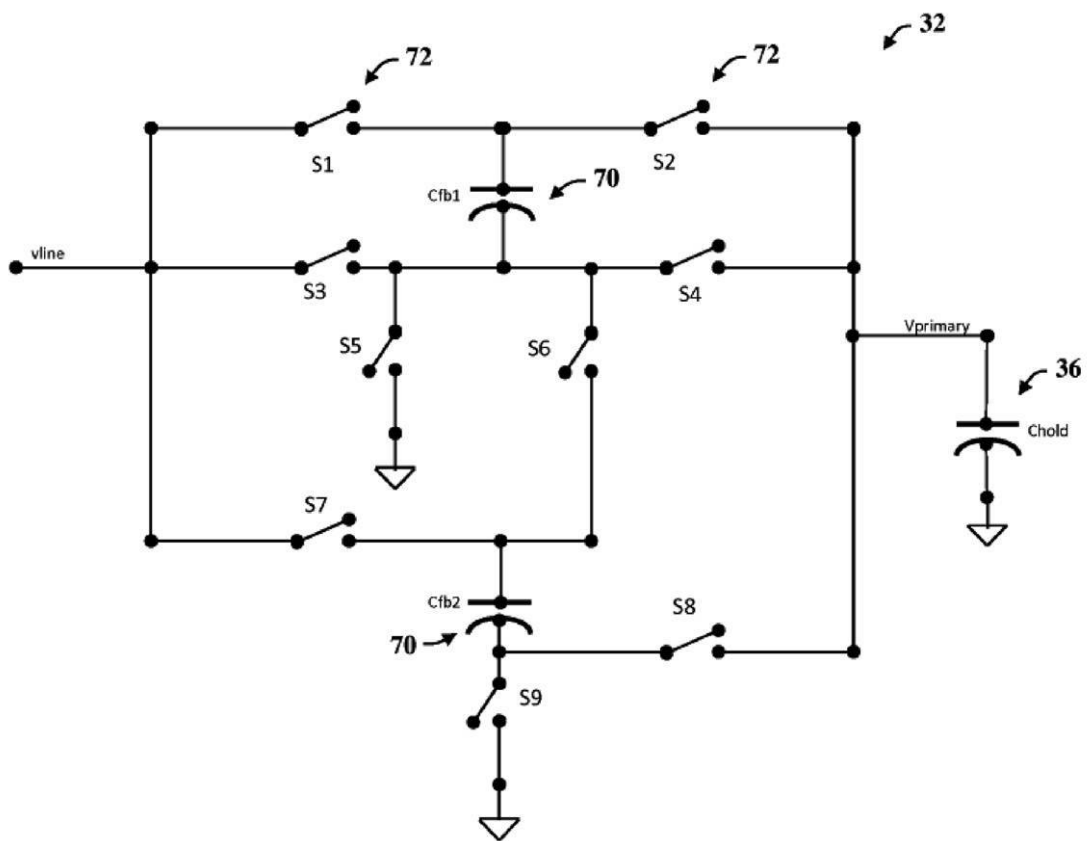
【図 6】

【図 7】



【図 7】

【図 8】



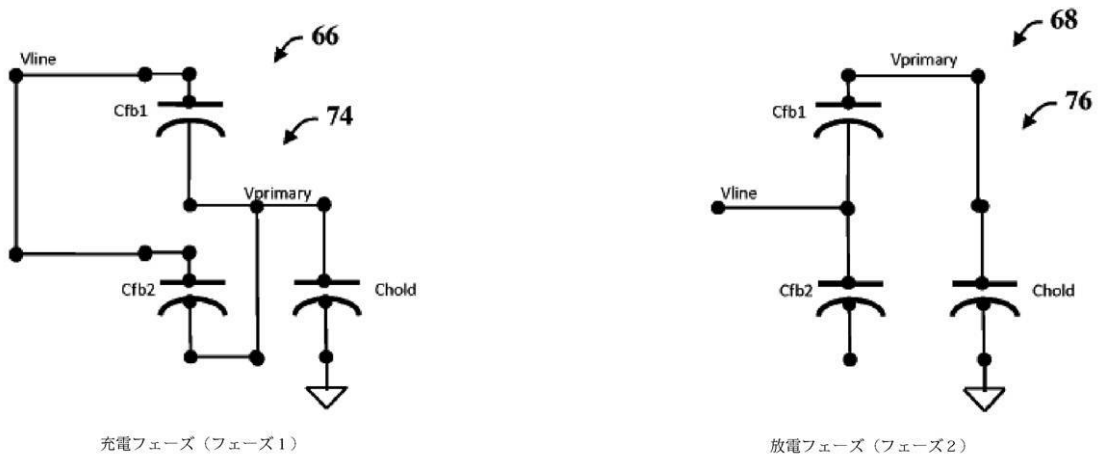
【図 8】

【図 9】

スイッチ名	フェーズ1	フェーズ1 G = 1 / 2	フェーズ2 G = 2 / 3	フェーズ2 G = 1
S1	On	Off	Off	Off
S2	Off	On	On	On
S3	Off	Off	Off	On
S4	On	Off	Off	Off
S5	Off	On	Off	Off
S6	Off	Off	On	Off
S7	On	Off	Off	On
S8	On	Off	Off	Off
S9	Off	On	On	Off

【図 9】

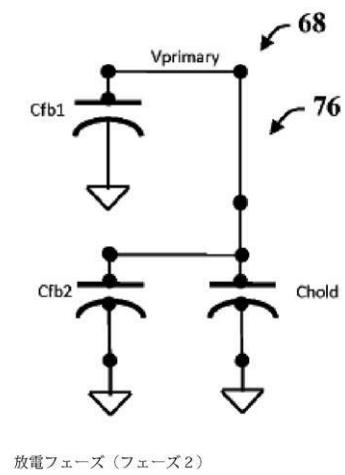
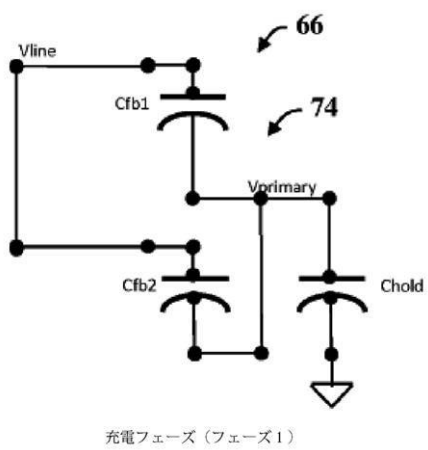
【図 10】



スイッチトキャパシタゲイン：1 x

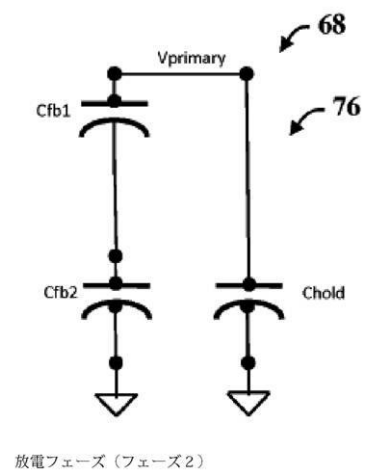
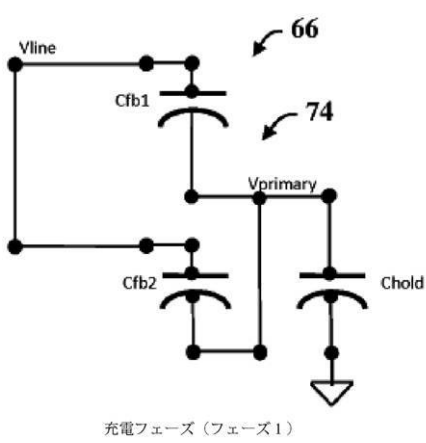
【図 10】

【図 1 1】

スイッチトキャパシタゲイン： $1/2 \times$

【図 1 1】

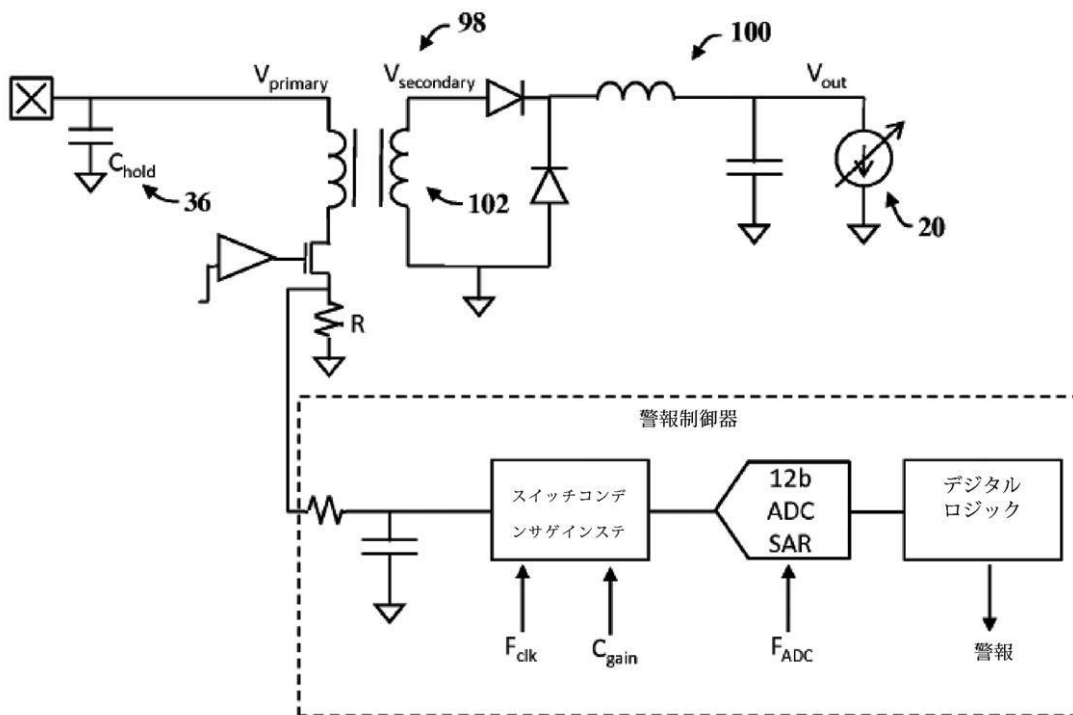
【図 1 2】



スイッチトキャパシタゲイン： $2/3 \times$

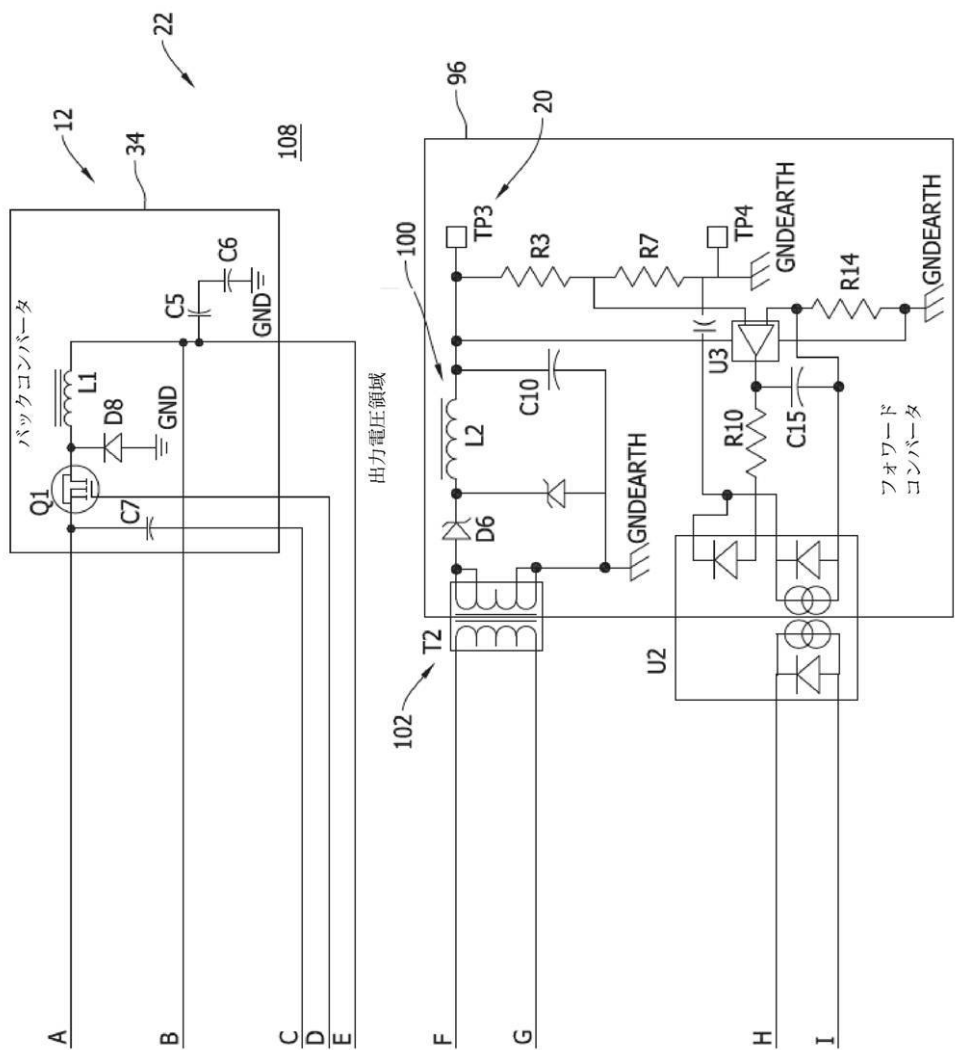
【図 1 2】

【図 1 4】

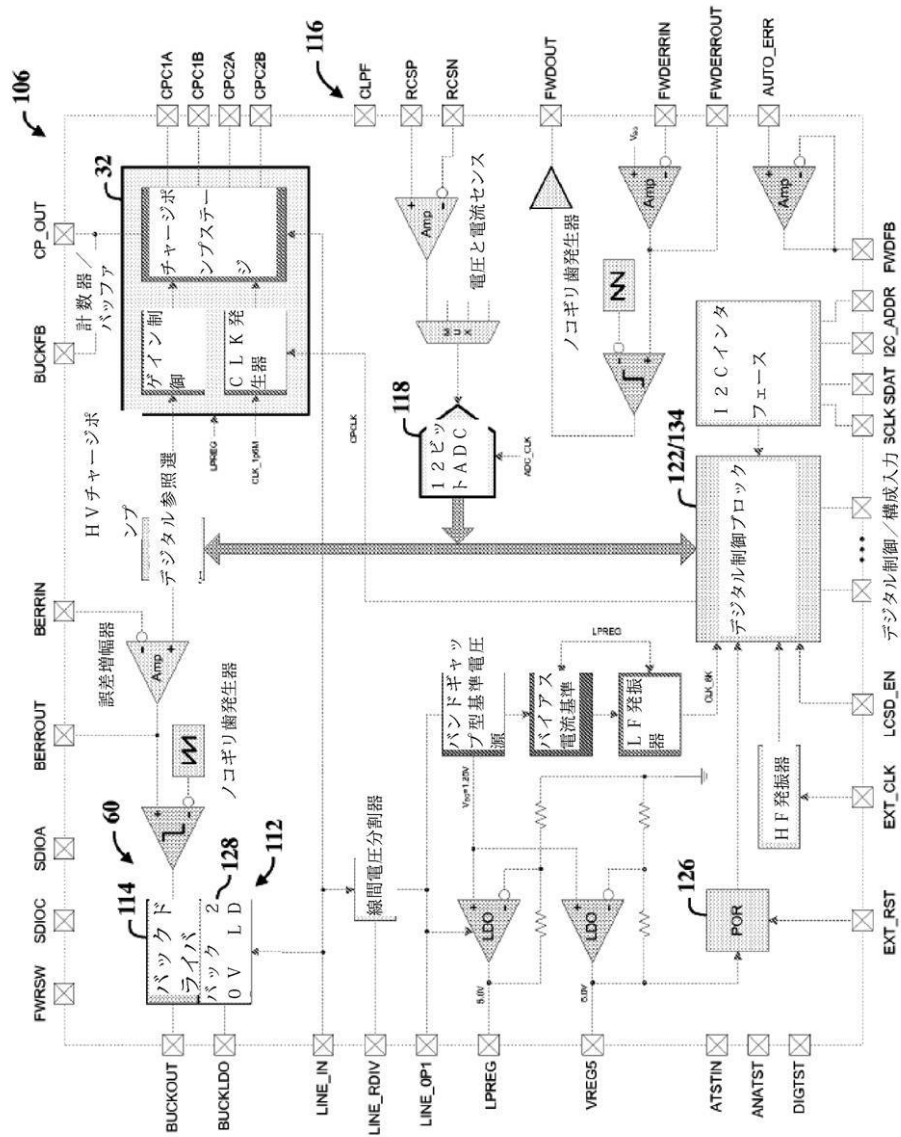


【図 1 4】

【図 1 5 B】

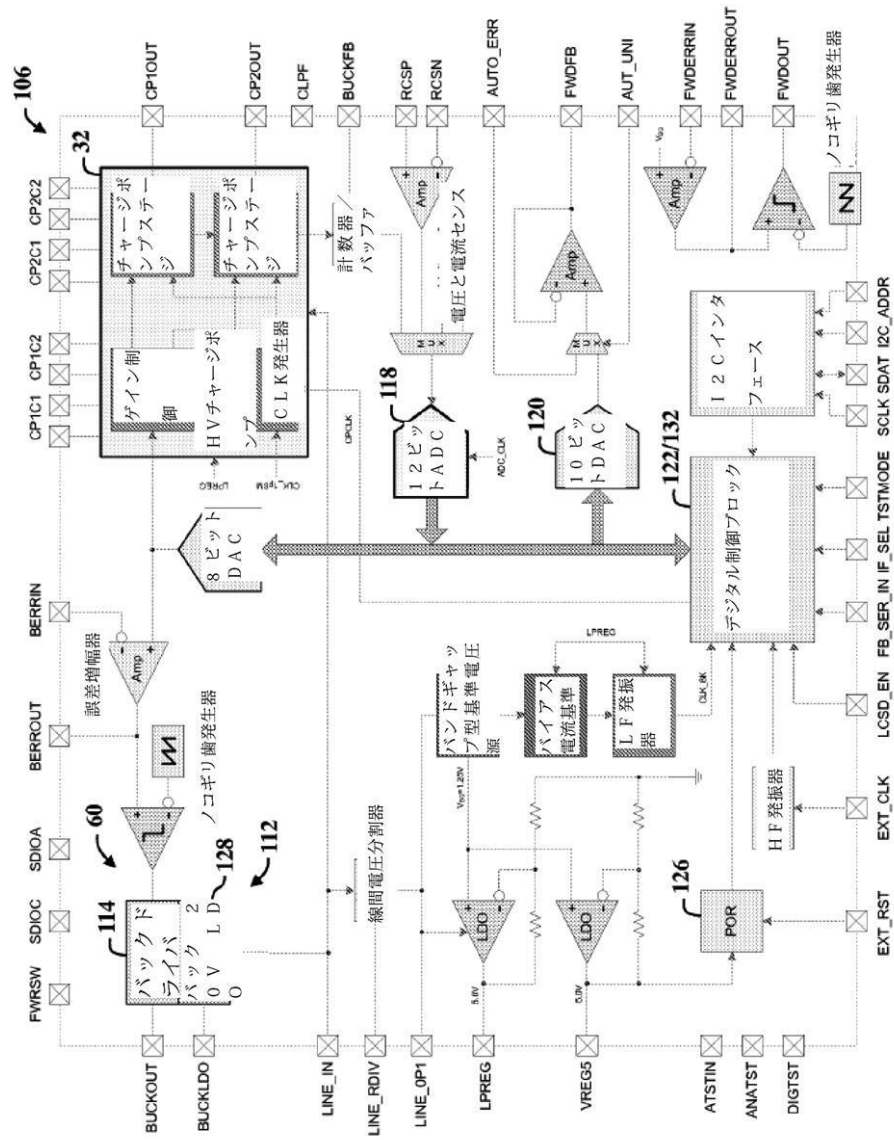


【図 16】

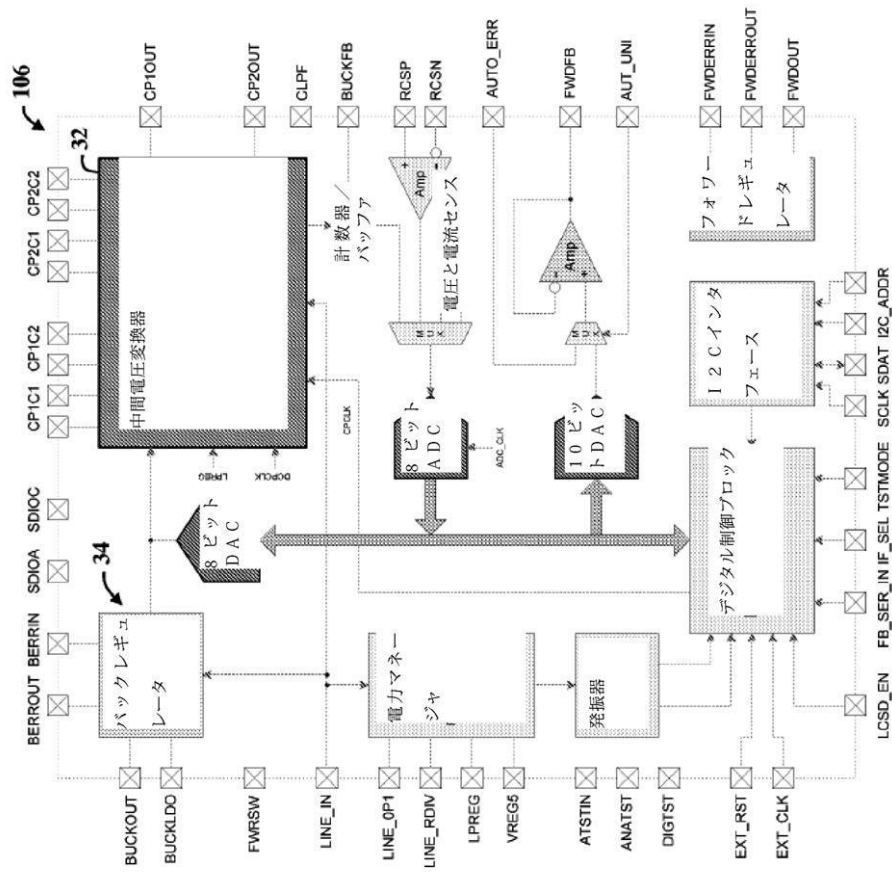


【図 16】

【図 17 A】

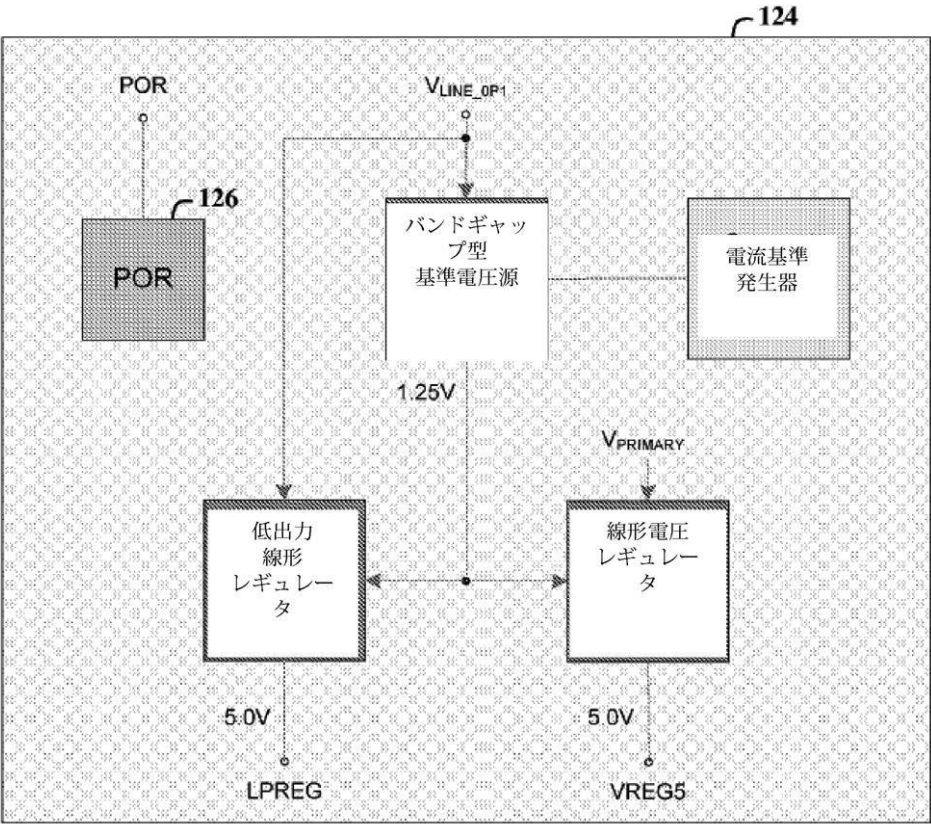


【図 17 B】



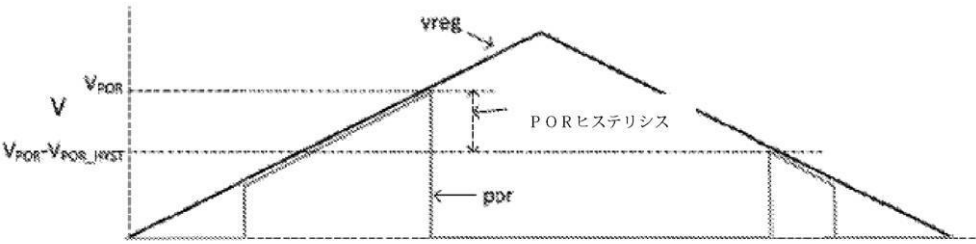
【図 17 B】

【図 1 8】



【図 1 8】

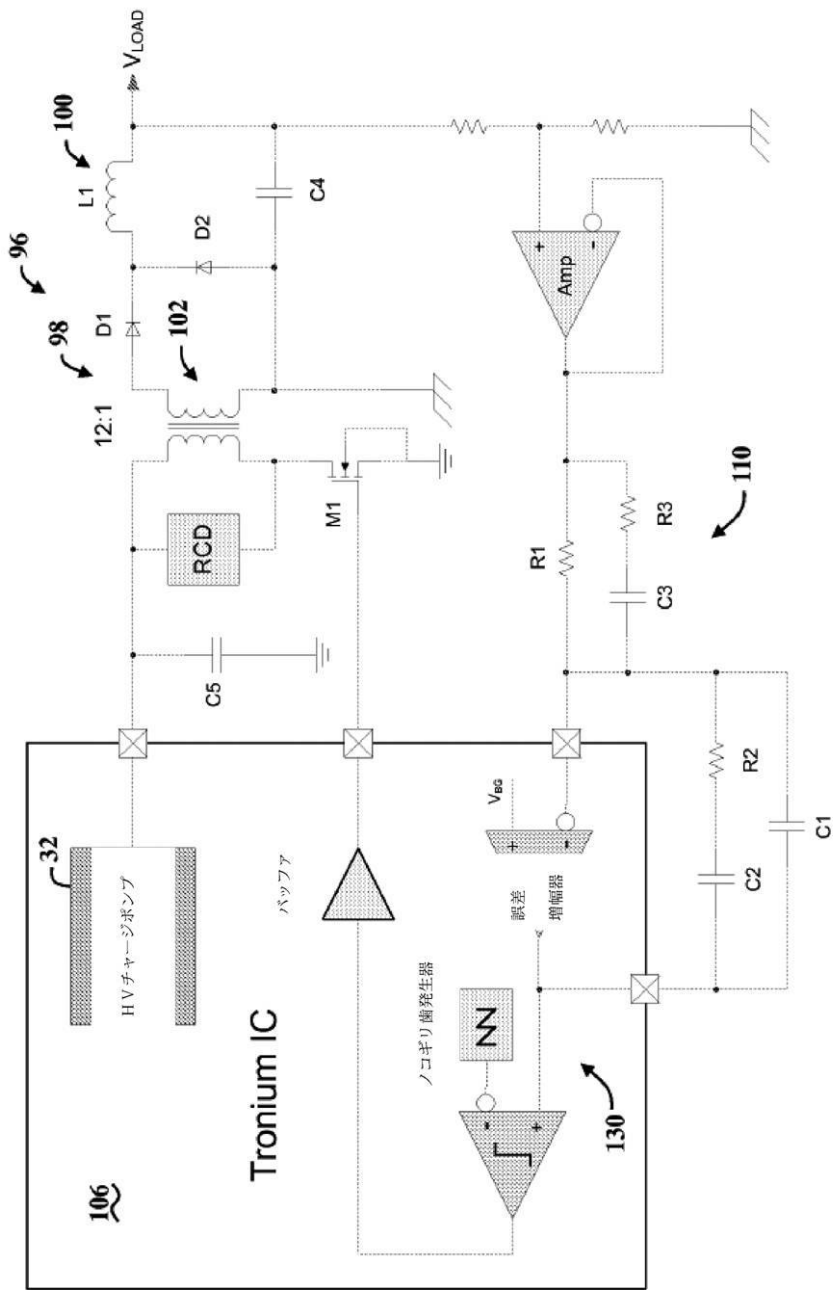
【図 1 9】



P O R 閾値電圧

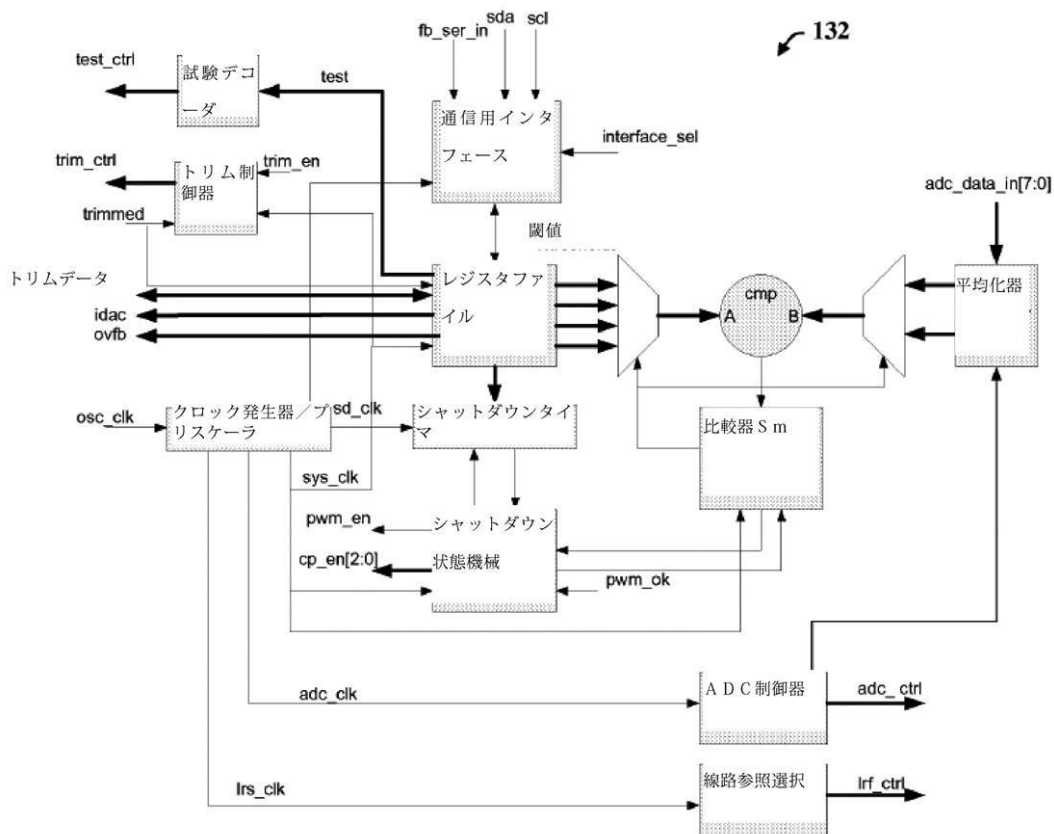
【図 1 9】

【図 20】



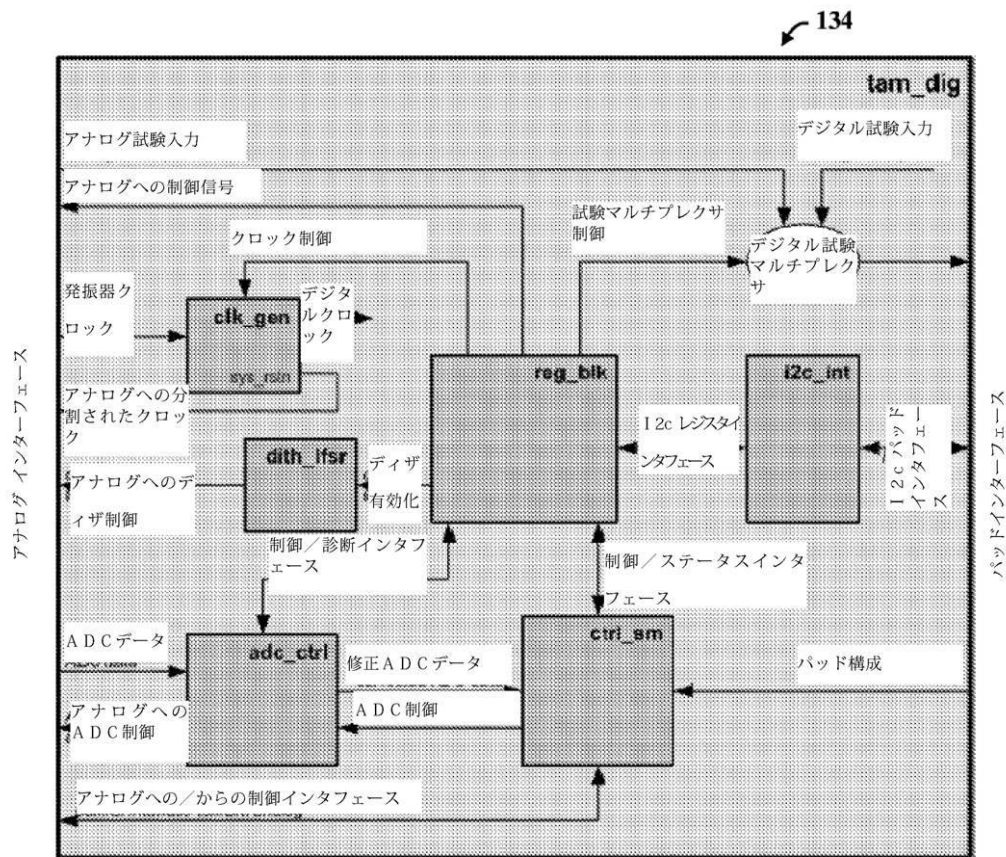
【図 20】

【図 2 1】



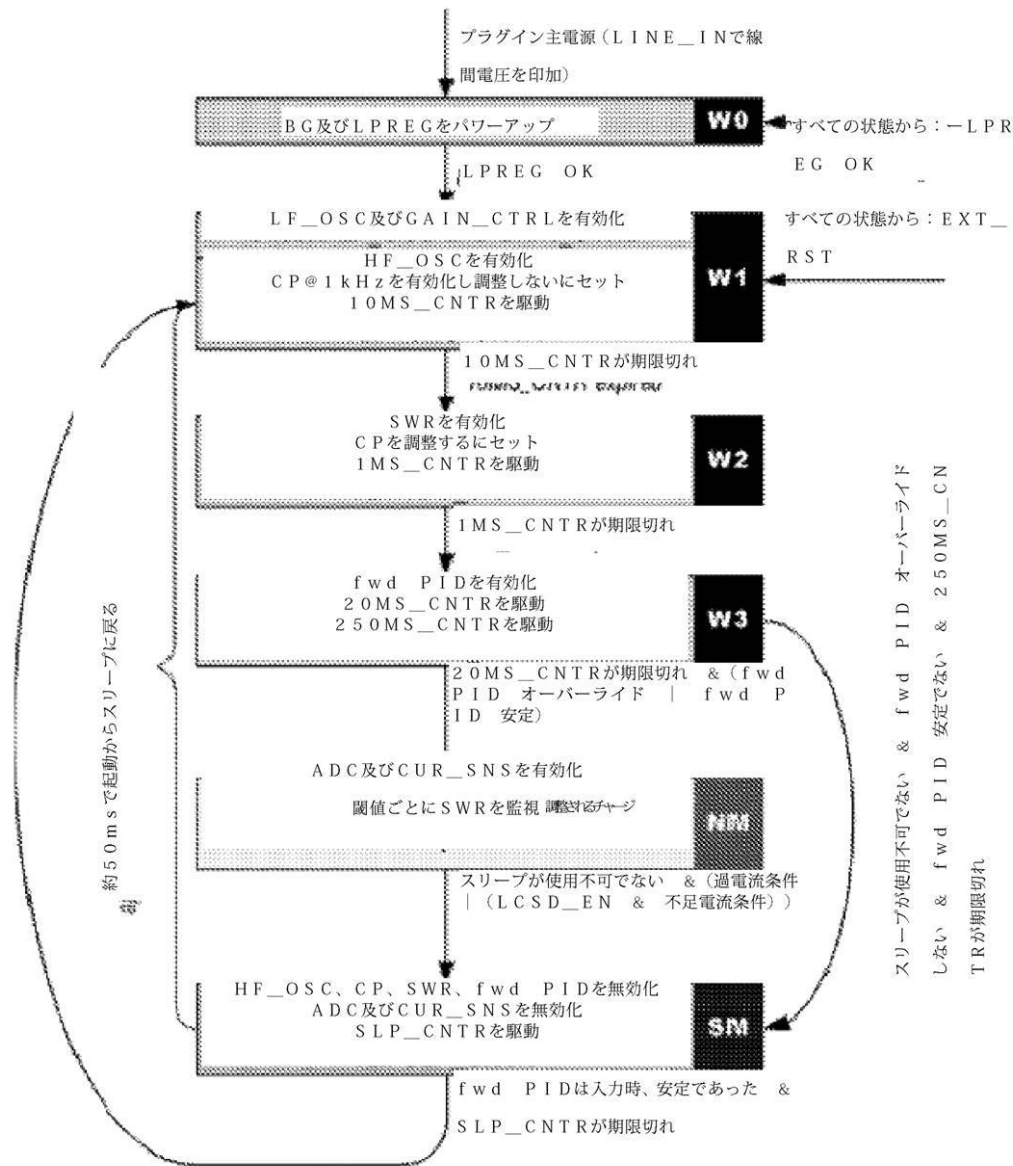
【図 2 1】

【図 22】



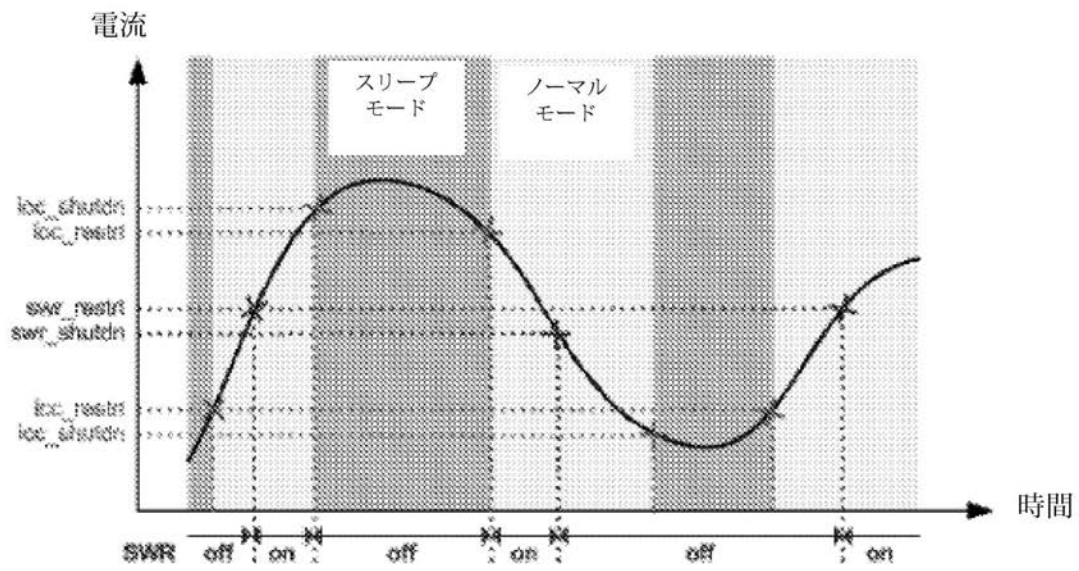
【図 22】

【図 23】



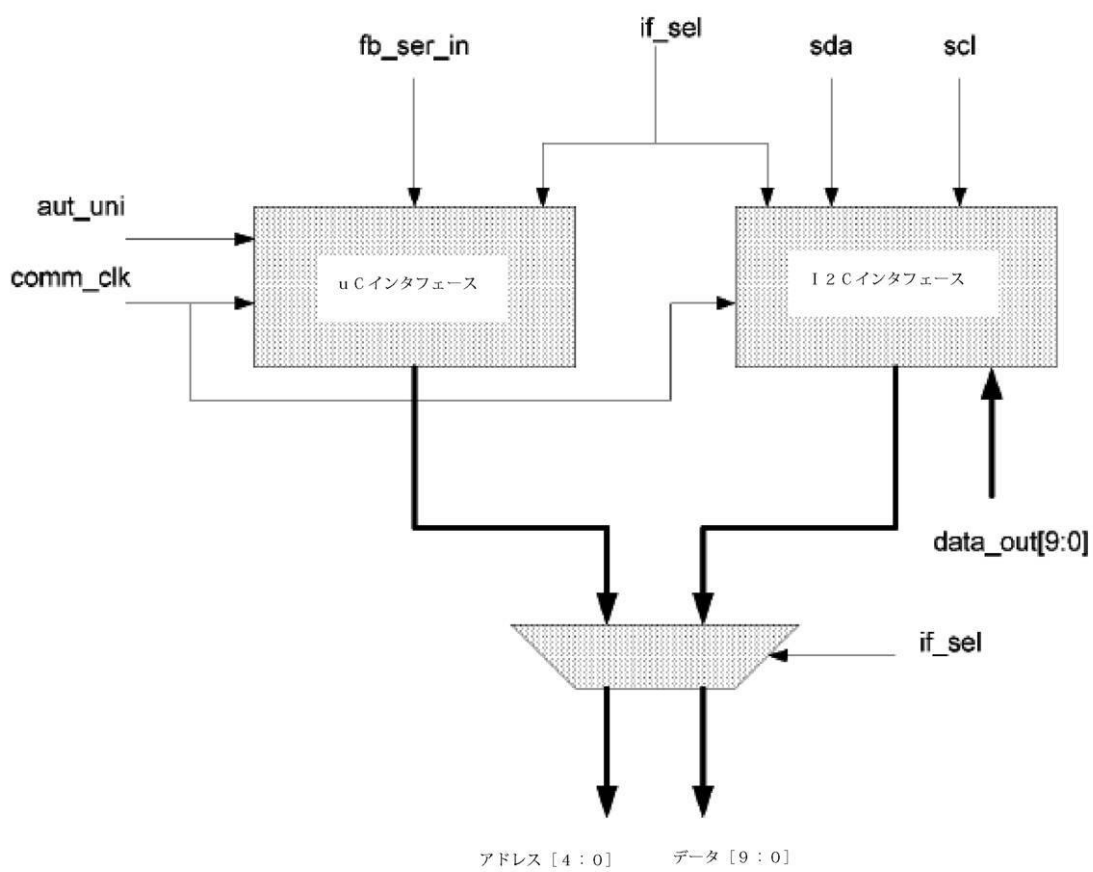
【図 23】

【図 2 4】



【図 2 4】

【図 25】



【図 25】

【図 27】



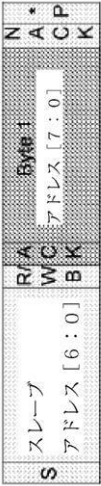
136

I 2 C 送信
RWB = '0'

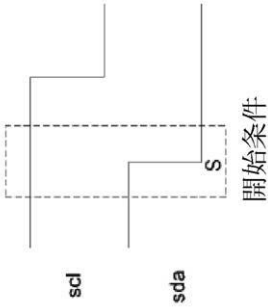


Tronium RF
アドレス = [4 : 0]

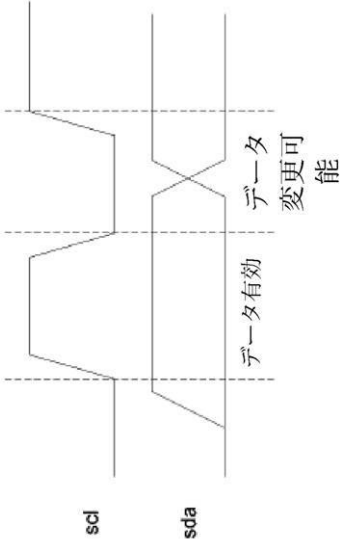
I 2 C 受信
RWB = '1'



波形の開始と停止

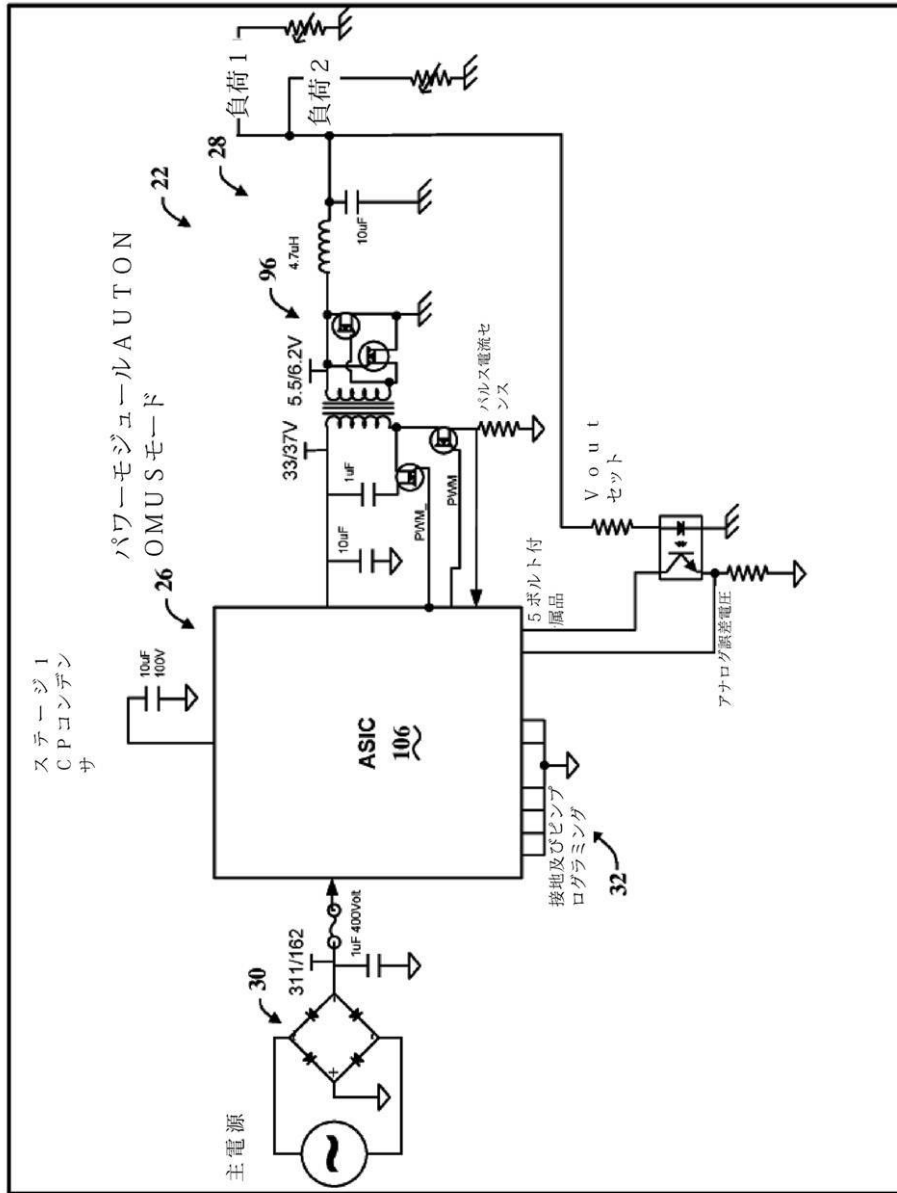


I 2 C ビット転送タイミング



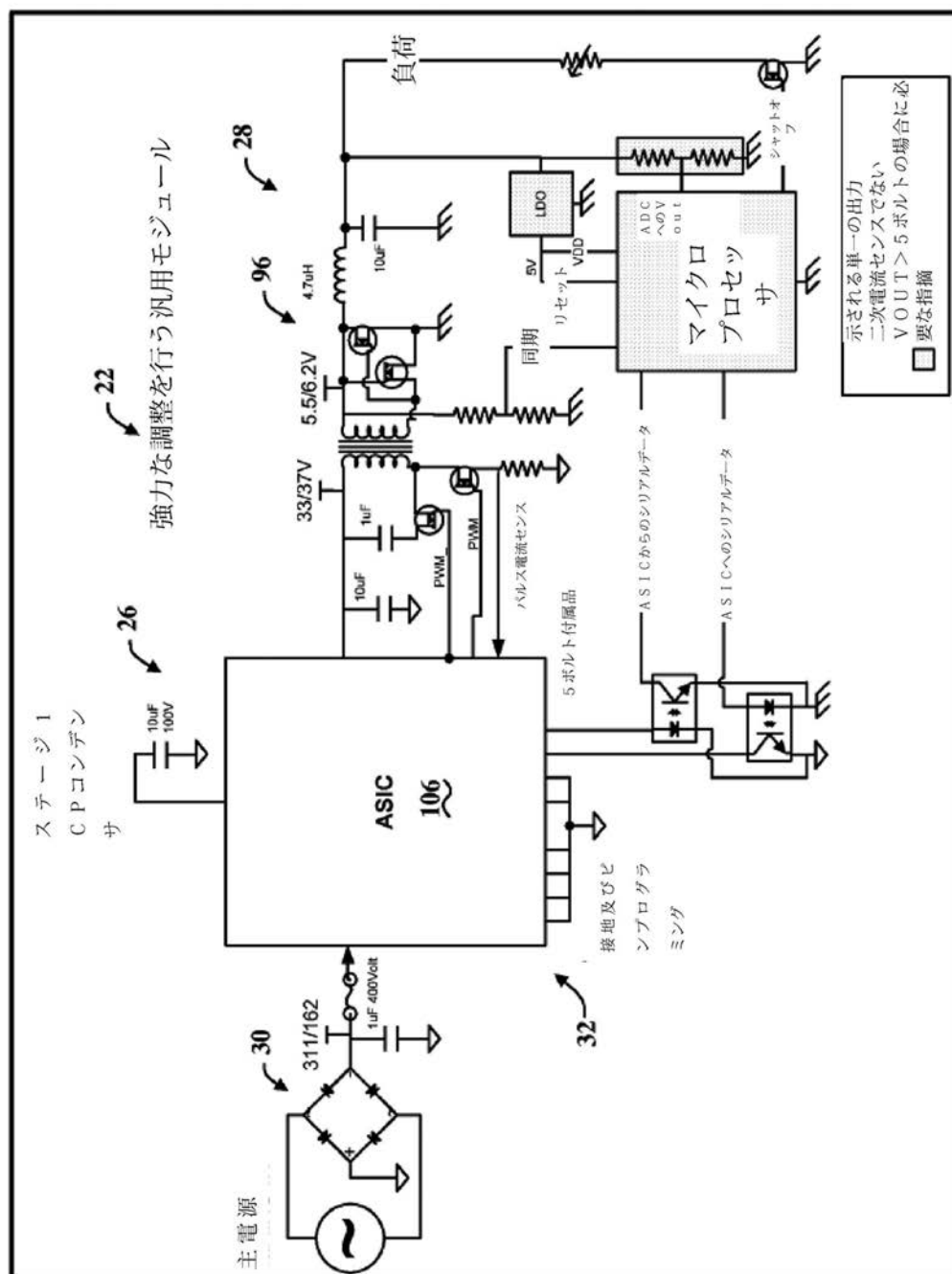
【図 27】

【図 28】

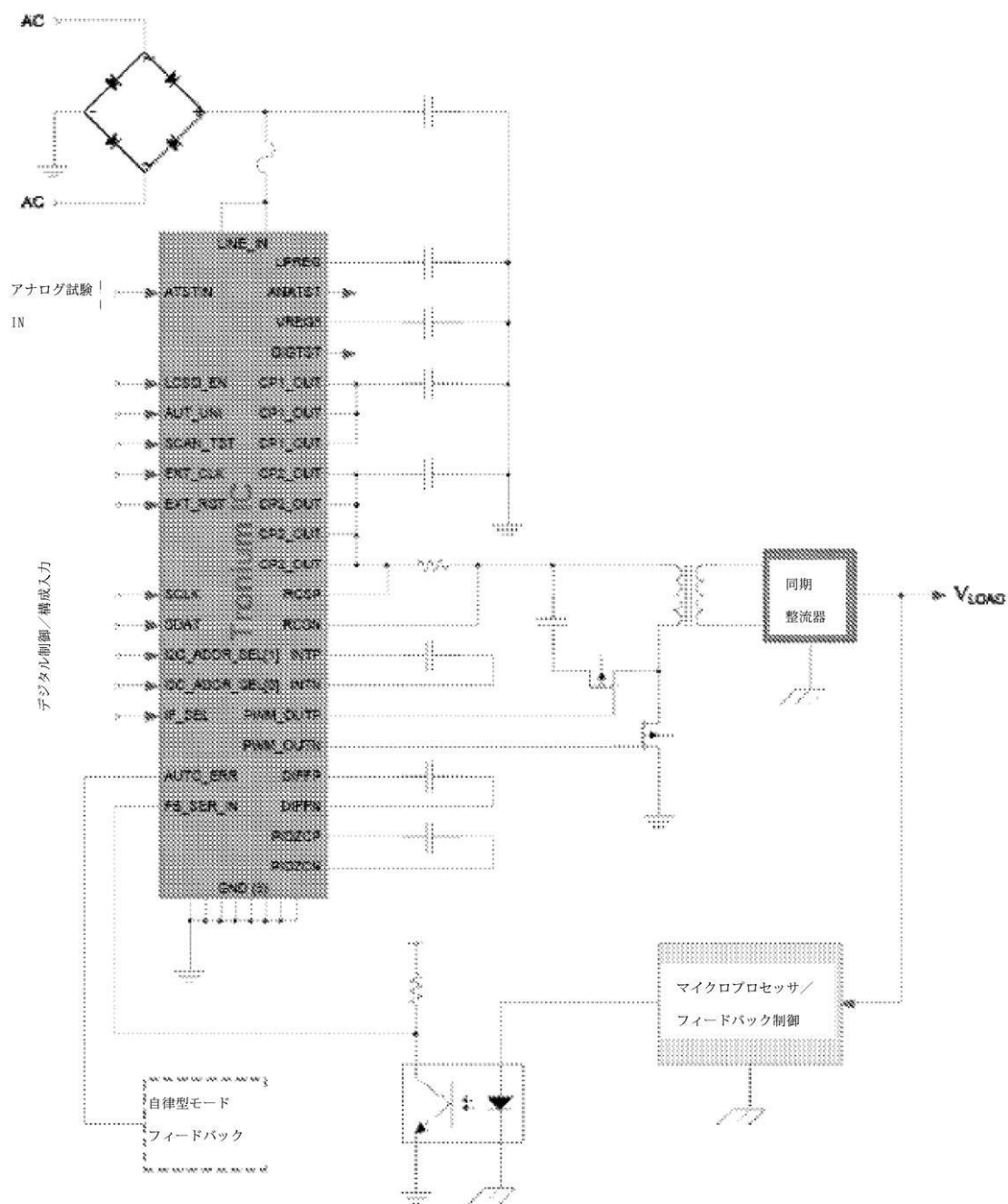


【図 28】

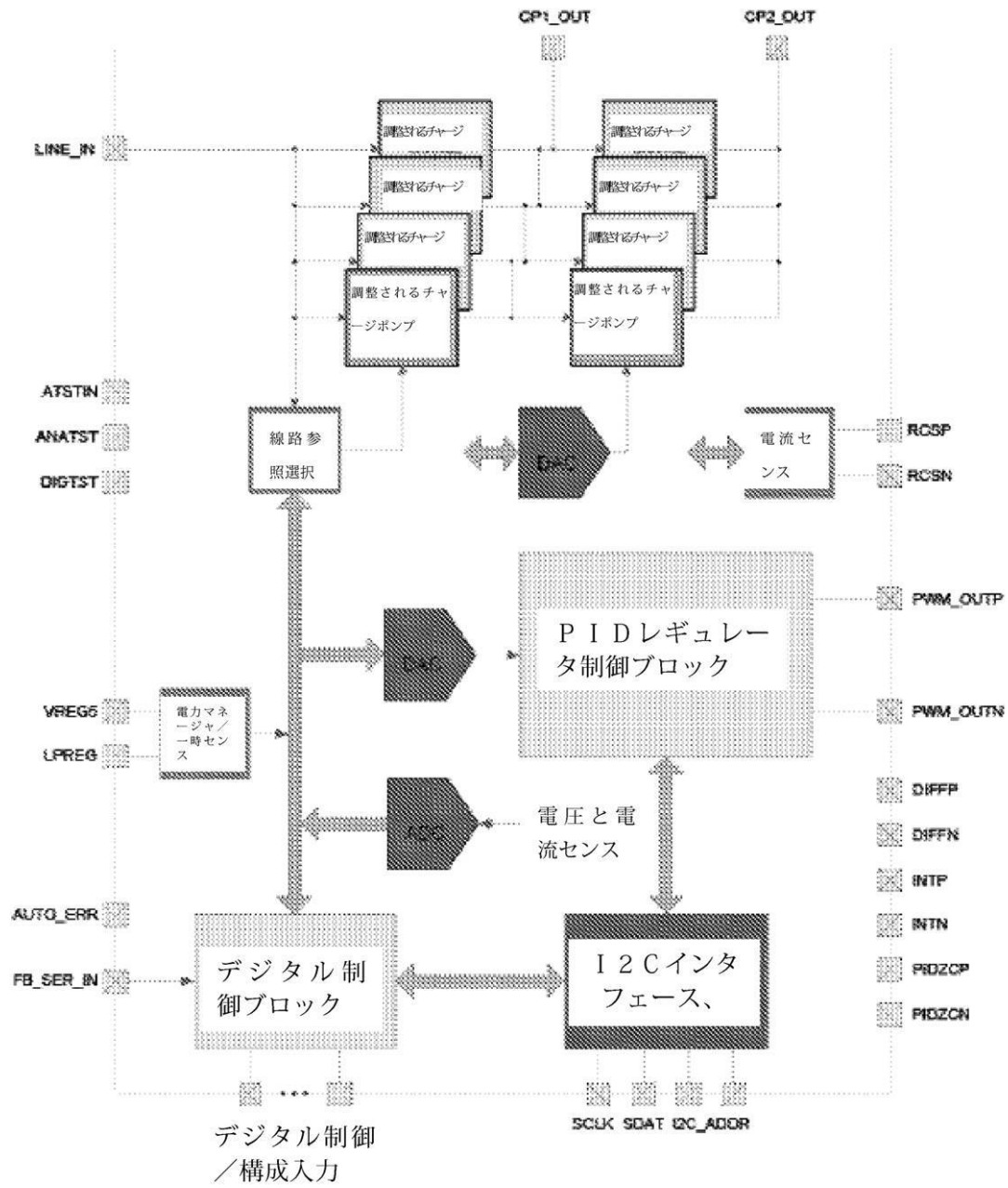
【图29】



【図 30】

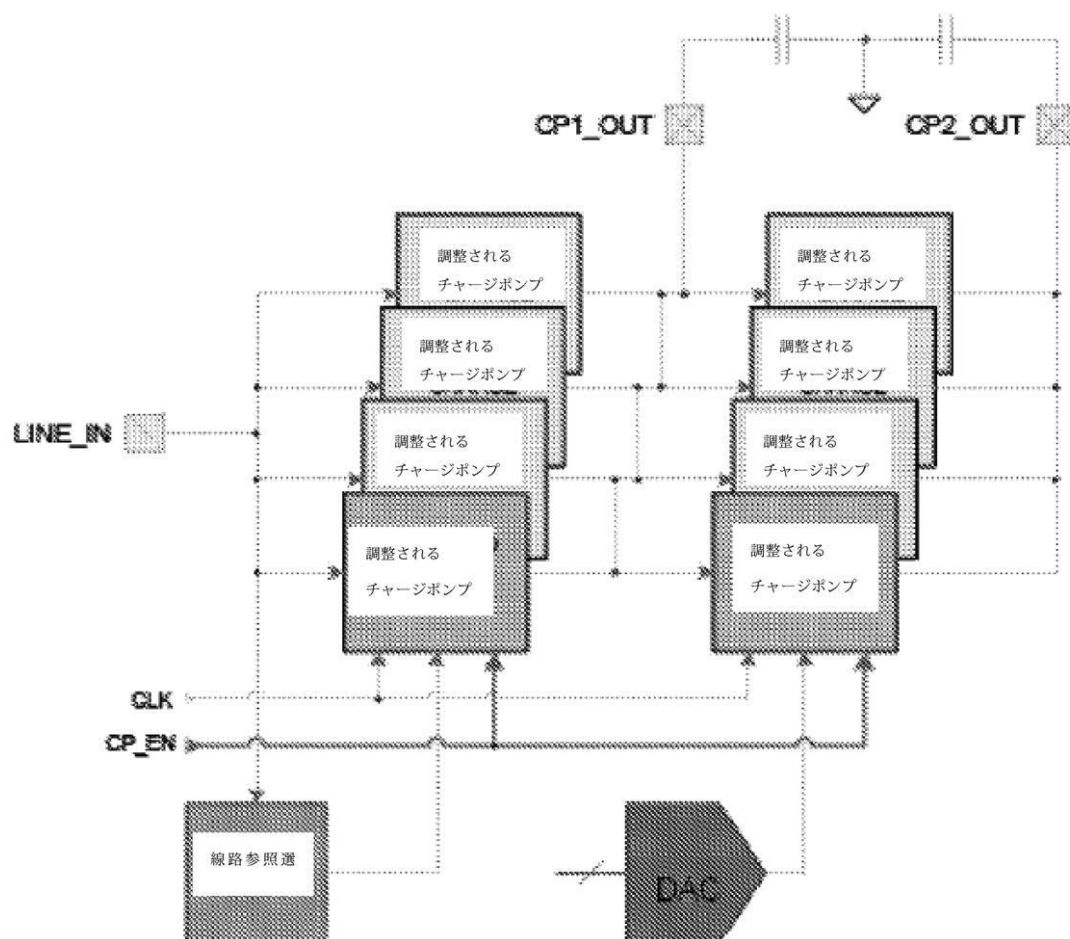


【図 3 1】



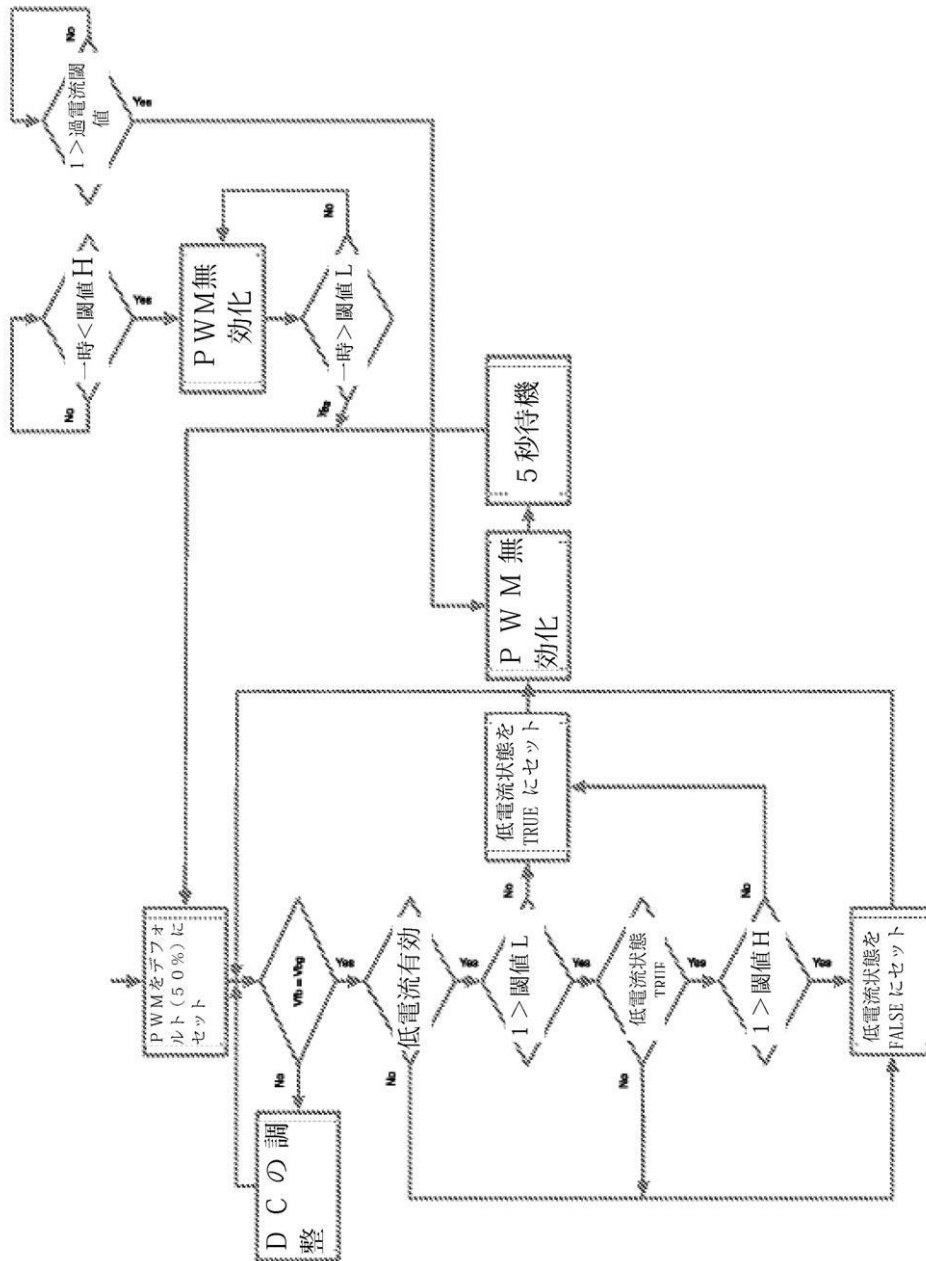
【図 3 1】

【図 3 2】



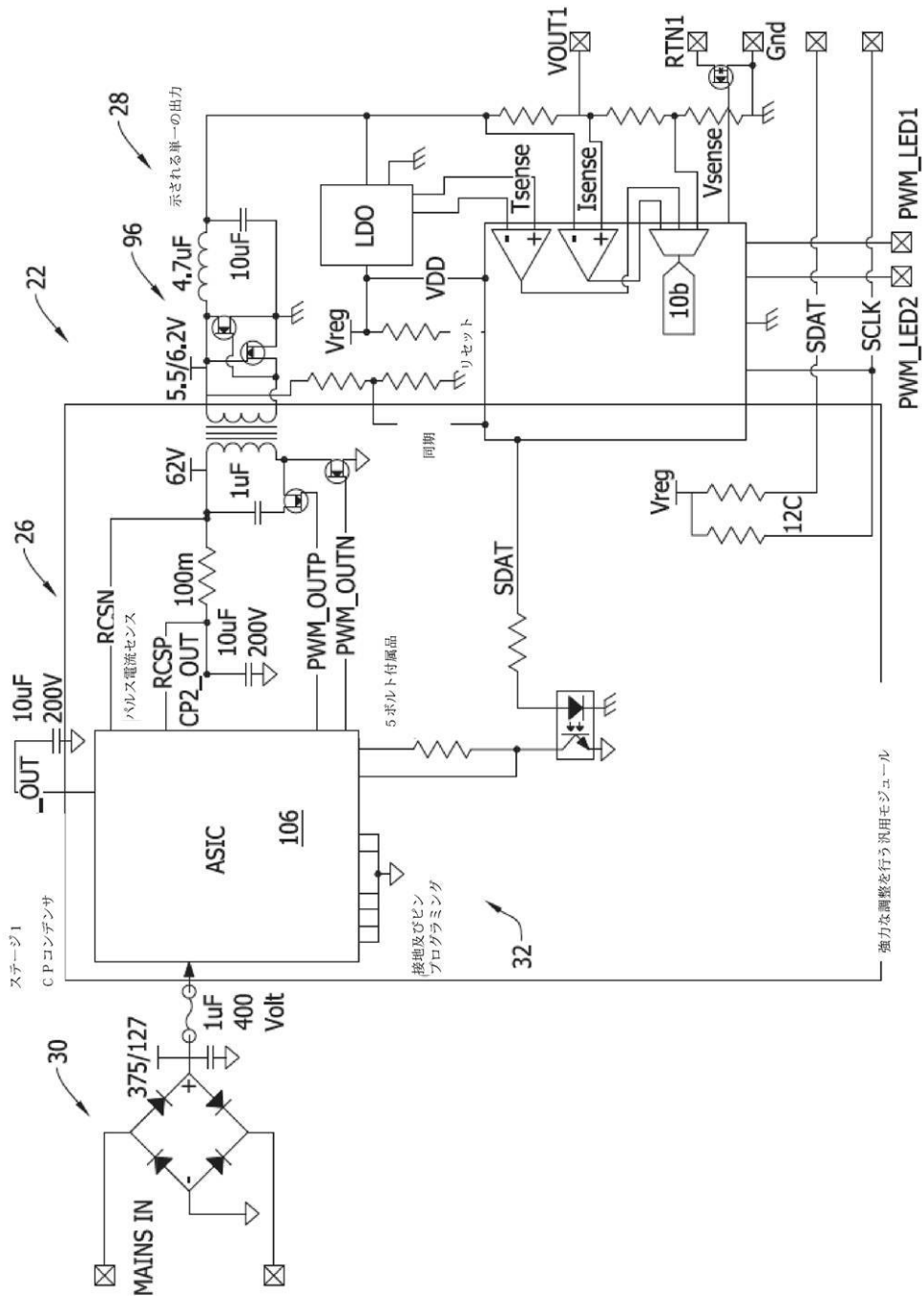
【図 3 2】

【図 33】



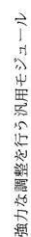
【図 33】

【図 3 4】

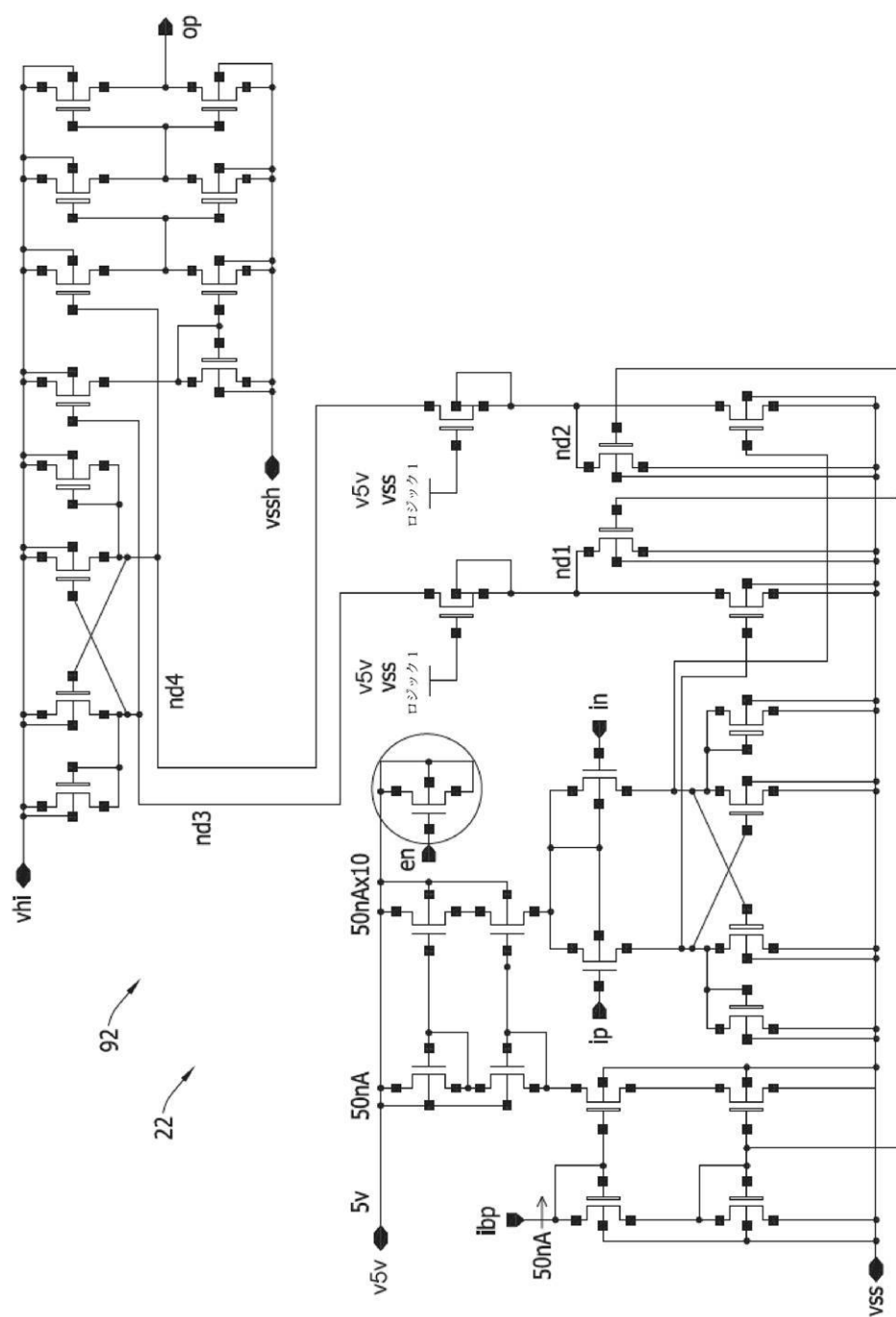


【図 3 4】

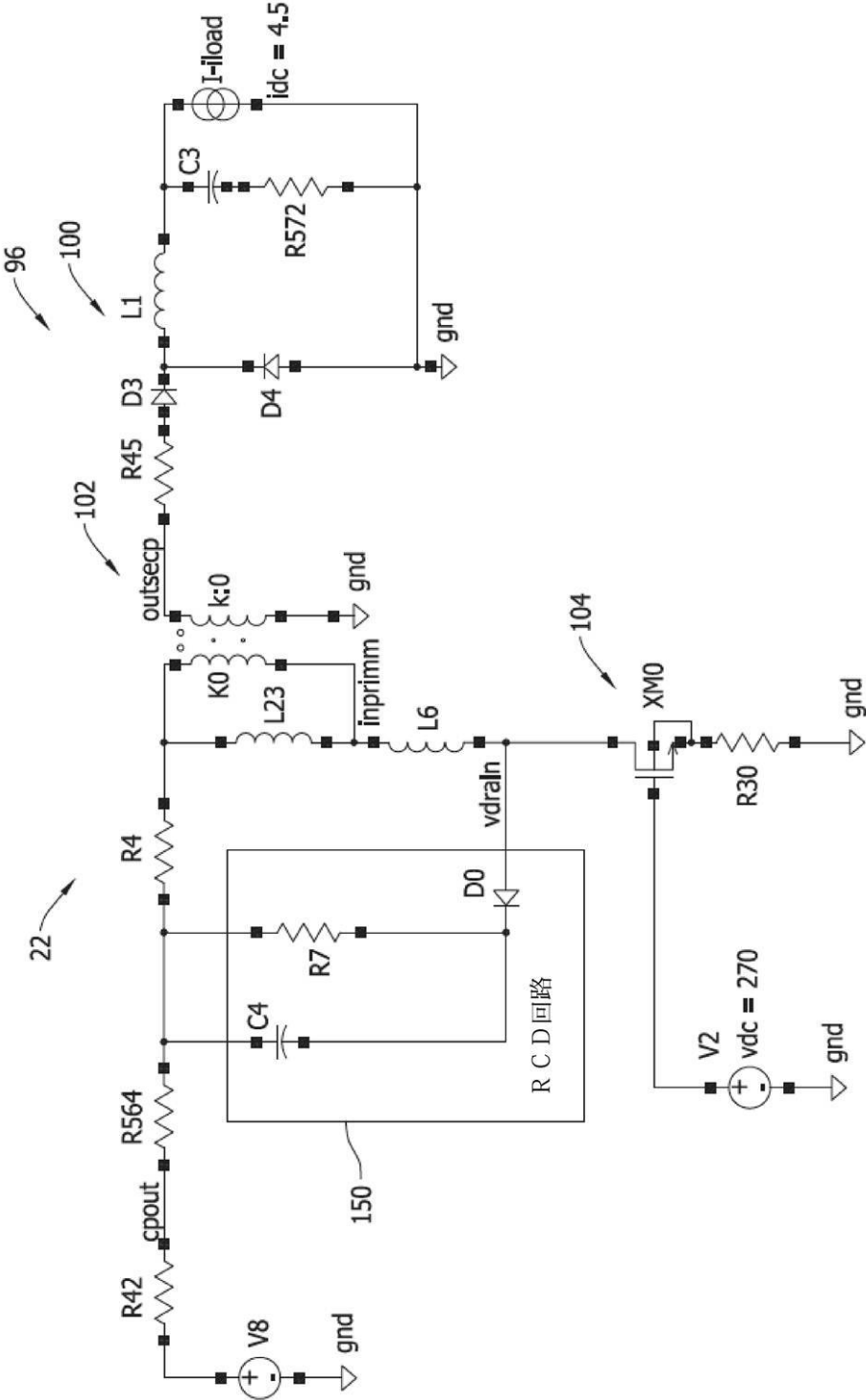
【图35】



【图 36】

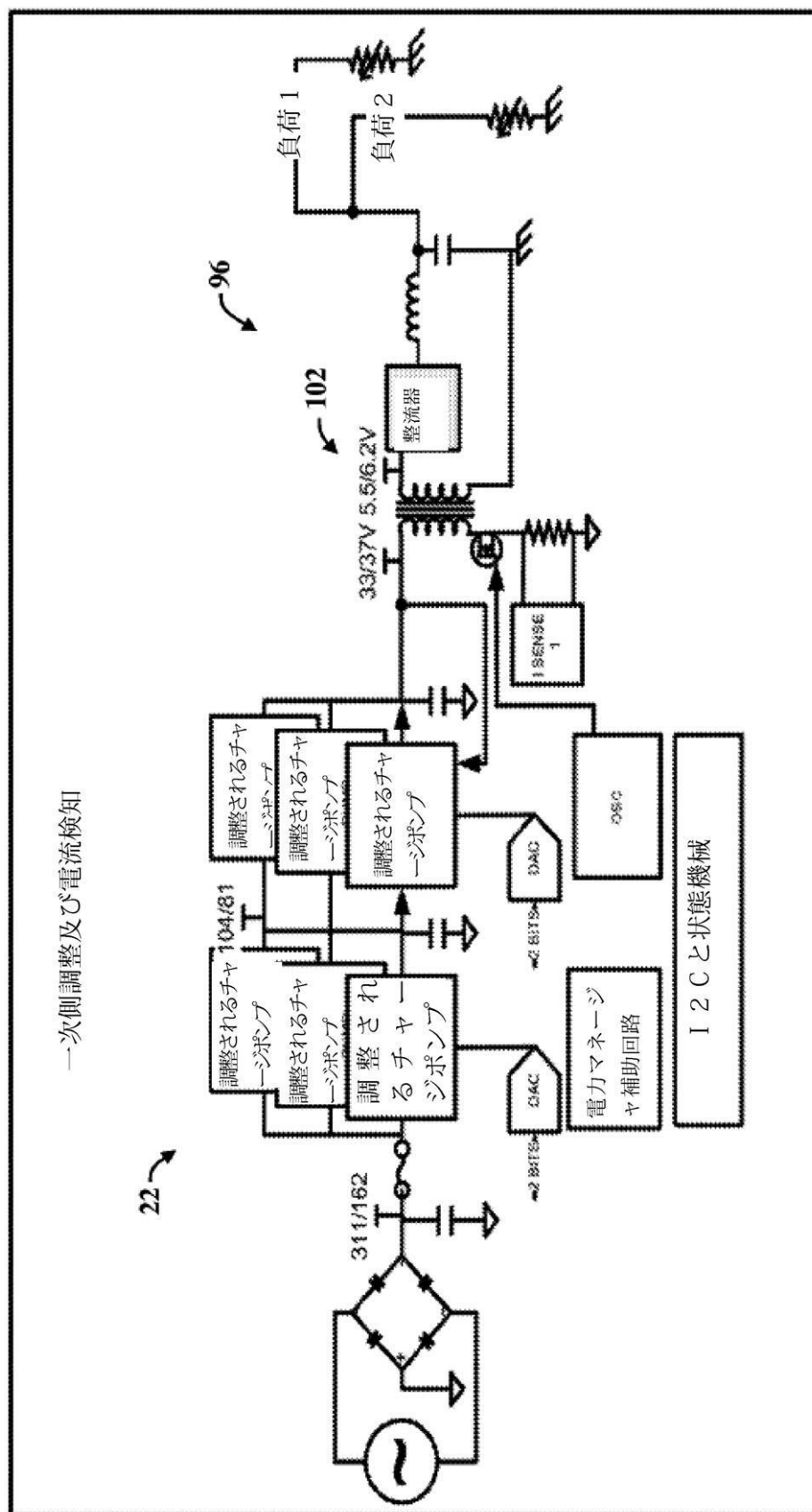


【図 3 7】



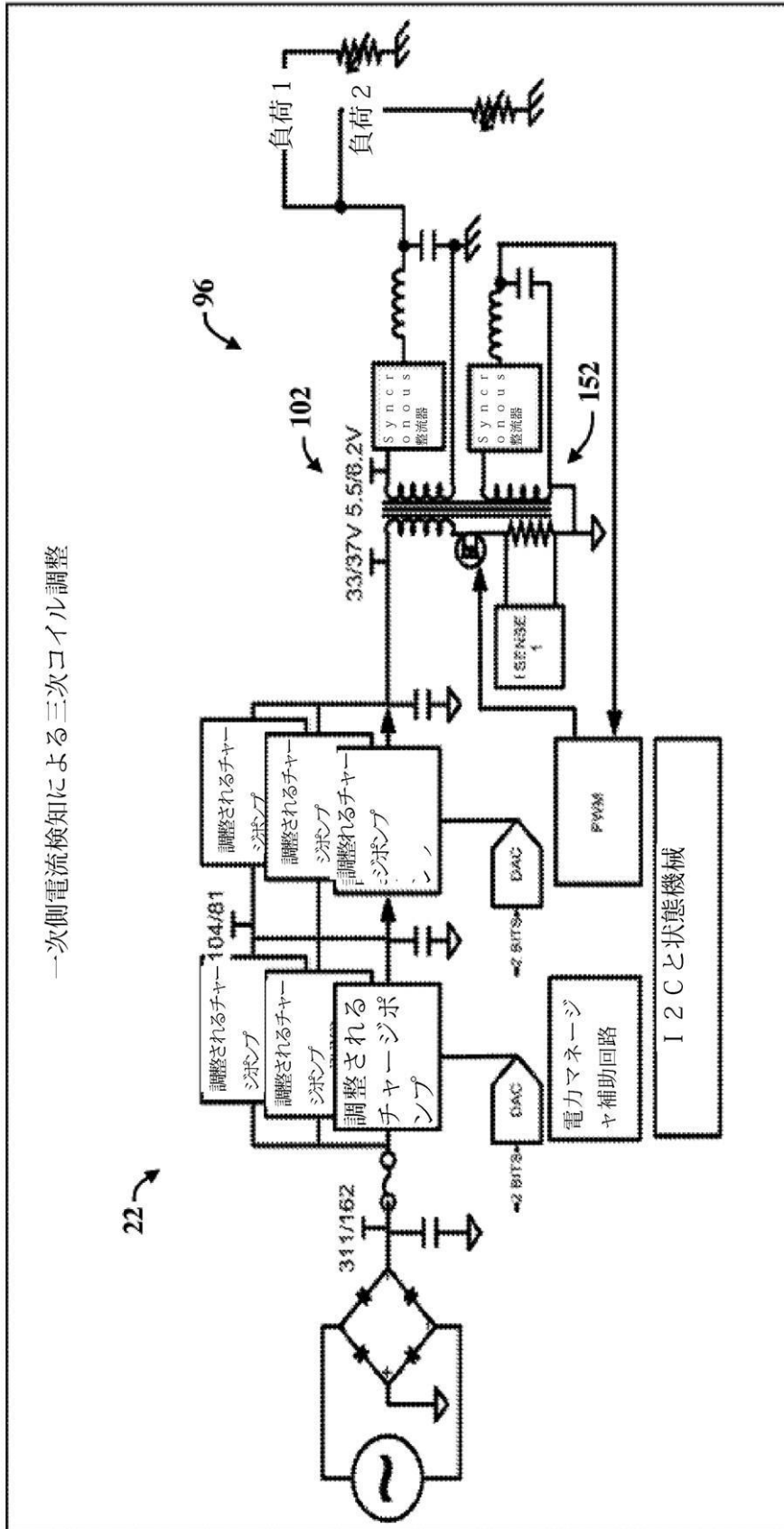
【図 3 7】

【图 3 8】



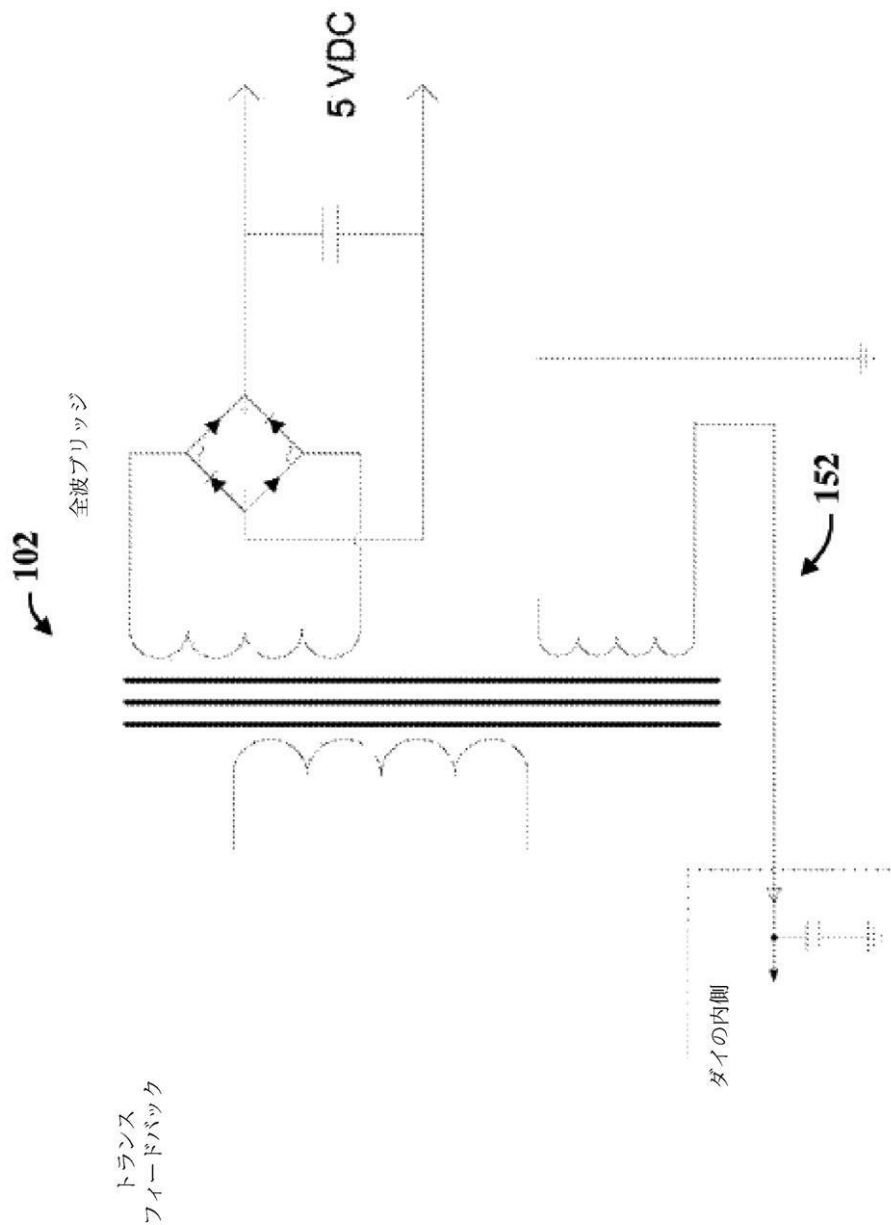
【38】

【図 39】



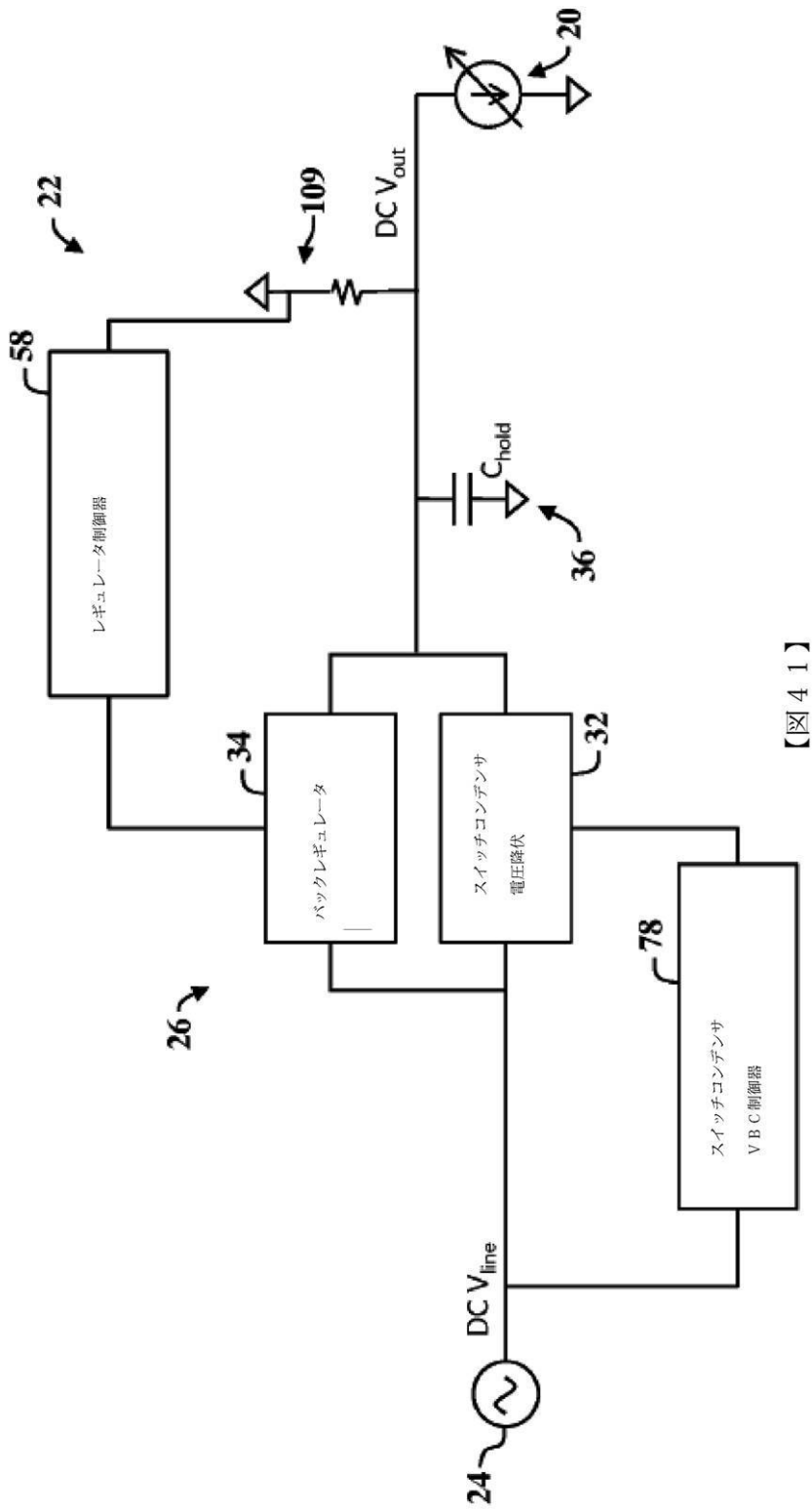
【図 39】

【図 4 0】



【図 4 0】

【図 4 1】



【図 4 1】

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/US14/62740

A. CLASSIFICATION OF SUBJECT MATTER

IPC(8) - H02M 1/14, 7/02, 7/04 (2015.01)

CPC - H02M 1/42, 1/425, 7/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC(8) Classification(s): H02M 1/00, 1/08, 1/14, 1/15, 1/16, 1/42, 3/22, 3/24, 7/00, 7/02, 7/04 (2015.01); CPC Classification(s): H02M 2001/0006, 2001/0009, 2001/0045, 2001/0067, 1/42, 1/425, 2001/4291, 7/00, 7/02, 7/04, Y02B 70/00, 70/10, 70/1441

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

PatSeer (US, EP, WO, JP, DE, GB, CN, FR, KR, ES, AU, IN, CA, INPADOC Data); ProQuest (Derwent, INSPEC, NTIS, PASCAL, Current Contents Search, Dissertation Abstracts Online, Inside Conferences); IP.com; Google Scholar; KEYWORDS: AC, DC, converter, inverter, step down, buck, intermediate, two stage, rectifier, level shift, charge pump, Dickson

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2005/0036340 A1 (SCARLATESCU, G) February 17, 2005; abstract; figures 1-3; paragraphs [0011, 0026, 0027-0029, 0032]	1-4, 11-14, and 17
A	US 2010/0244935 A1 (KIM, S et al.) September 30, 2010; figures 1 and 2; paragraphs [0030 and 0032]	5 and 18
A	US 5,717,581 A (CANCLINI, A) February 10, 1998; figure 3; column 3, lines 48-67; column 4, lines 1-17	5 and 18
A	US 2003/0099122 A1 (CHO, J) May 29, 2003; figures 28 and 29; paragraphs [0215, 0242, 0245, 0249]	8 and 15
A	US 2007/0053211 A1 (LANNI, T) March 08, 2007; entire document	1-20
A	US 2011/0032731 A1 (COLEMAN, C et al.) February 10, 2011; entire document	1-20

☐ Further documents are listed in the continuation of Box C.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

12 January 2015 (12.01.2015)

Date of mailing of the international search report

22 JAN 2015

Name and mailing address of the ISA/US

Mail Stop PCT, Attn: ISA/US, Commissioner for Patents

P.O. Box 1450, Alexandria, Virginia 22313-1450

Facsimile No. 571-273-3201

Authorized officer:

Shane Thomas

PCT Helpdesk: 571-272-4300

PCT OSP: 571-272-7774

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(74)代理人 100148596

弁理士 山口 和弘

(72)発明者 フリーマン, マイケル イー.

アメリカ合衆国, オクラホマ州, タルサ, サウス カーソン アベニュー 1701

(72)発明者 ウィーバー, ジュニア., ダブリュー. ジェイ. “ジム”

アメリカ合衆国, オクラホマ州, ブローケン アロー, ウェスト ユティカ 4808

(72)発明者 フリーマン, ミッチェル シー.

アメリカ合衆国, オクラホマ州, サパルパ, サウス エルム 219

(72)発明者 ディーター, ロバート

アメリカ合衆国, オクラホマ州, オワッソ, ノース 129番 イースト アベニュー 6121

(72)発明者 ノーファー グレン

アメリカ合衆国, コロラド州, マニトウー スプリングス, ビア リンダ ビスタ 260

(72)発明者 サンダスキー, ランドール エル.

アメリカ合衆国, コロラド州, ディヴァイド, リッジ ドライブ 547

(72)発明者 セスターズ, ジム

アメリカ合衆国, コロラド州, コロラド スプリングス, マールストーン プレイス 765

(72)発明者 ファローキ, ニーズ イー.

アメリカ合衆国, コロラド州, コロラド スプリングス, パイン グレイド ドライブ 10190

(72)発明者 デボイ, ジム

アメリカ合衆国, コロラド州, フローリッサント, サウス パーク ロード 1144

(72)発明者 コルミエ, ジェイ

アメリカ合衆国, カリフォルニア州, ラグナ ニゲル, サン シミオン 7

Fターム(参考) 5H730 AA11 AA14 AS01 AS05 AS17 BB13 BB23 BB86 BB88 CC01

DD04 EE02 EE08 EE58 EE59 FD01 FD51 FF01 FF09 FG07