

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-232567

(P2013-232567A)

(43) 公開日 平成25年11月14日(2013.11.14)

(51) Int.Cl.

H01L 21/336 (2006.01)
H01L 29/786 (2006.01)
H01L 21/8242 (2006.01)
H01L 27/108 (2006.01)
H01L 21/8247 (2006.01)

F 1

H01L 29/78 627F
H01L 29/78 618B
H01L 29/78 626C
H01L 27/10 321
H01L 27/10 434

テーマコード(参考)

5F083
5F101
5F110

審査請求 未請求 請求項の数 4 O L (全 46 頁) 最終頁に続く

(21) 出願番号

特願2012-104278 (P2012-104278)

(22) 出願日

平成24年4月30日 (2012.4.30)

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 秋元 健吾

栃木県栃木市都賀町升塚161-2 アド
バンスト フィルム ディバイス インク
株式会社内F ターム(参考) 5F083 AD69 EP02 EP22 EP30 ER01
GA06 HA02 JA02 JA05 JA06
JA12 JA36 JA37 JA38 JA39
JA40 JA44 JA60 LA10
5F101 BA01 BB02 BC20 BD02 BD30
BE07

最終頁に続く

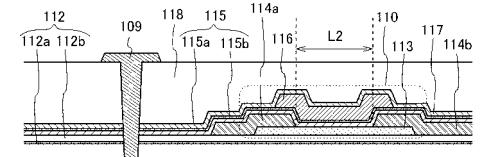
(54) 【発明の名称】半導体装置の作製方法

(57) 【要約】

【課題】酸化物半導体トランジスタを積層して作製された記憶装置において、特性が均一な酸化物半導体トランジスタを得る。

【解決手段】第1の下地絶縁膜上に、第1のチャネル形成領域を有する第1の酸化物半導体層を形成し、当該第1の酸化物半導体層に第1の熱処理を行い、第1のソース電極、第1のドレイン電極、第1のゲート絶縁膜、第1のゲート電極を形成して、第1のトランジスタを形成し、当該第1のトランジスタ上に絶縁層を形成し、当該絶縁層上に、第2のチャネル形成領域を有する第2の酸化物半導体層を形成し、当該第2の酸化物半導体層に第2の熱処理を行い、第2のソース電極、第2のドレイン電極、第2のゲート絶縁膜、第2のゲート電極を形成して、第2のトランジスタを形成し、当該第1のチャネル形成領域の長さは、当該第2のチャネル形成領域の長さより短い半導体装置の作製に関する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

層中に少なくとも化学量論的組成比を超える量の酸素が存在する第1の下地絶縁膜上に、第1の酸化物半導体層を形成し、

前記第1の酸化物半導体層に第1の熱処理を行うことにより、前記第1の下地絶縁膜から前記第1の酸化物半導体層に酸素を供給し、

前記第1の熱処理が行われた前記第1の酸化物半導体層に接して第1の導電膜を形成し、前記第1の導電膜の一部を除去し、第1のソース電極及び第1のドレイン電極を形成し、前記第1の酸化物半導体層、前記第1のソース電極、及び前記第1のドレイン電極を覆って、第1のゲート絶縁膜を形成し、

前記第1の酸化物半導体層及び前記第1のゲート絶縁膜上に、第1のゲート電極を形成して、第1のトランジスタを形成し、

前記第1のゲート絶縁膜及び前記第1のゲート電極を覆って、層間絶縁膜を形成し、前記層間絶縁膜上に、層中に少なくとも化学量論的組成比を超える量の酸素が存在する第2の下地絶縁膜を形成し、

前記第2の下地絶縁膜上に、第2の酸化物半導体層を形成し、

前記第1の酸化物半導体層及び前記第2の酸化物半導体層に第2の熱処理を行うことにより、前記第1の下地絶縁膜から前記第1の酸化物半導体層に、及び、前記第2の下地絶縁膜から前記第2の酸化物半導体層に酸素を供給し、

前記第2の熱処理が行われた前記第2の酸化物半導体層に接して第2の導電膜を形成し、前記第2の導電膜の一部を除去し、第2のソース電極及び第2のドレイン電極を形成し、前記第2の酸化物半導体層、前記第2のソース電極、及び前記第2のドレイン電極を覆って、第2のゲート絶縁膜を形成し、

前記第2の酸化物半導体層及び前記第2のゲート絶縁膜上に、第2のゲート電極を形成して、第2のトランジスタを形成することを特徴とする半導体装置の作製方法。

【請求項 2】

請求項1において、

前記第1の下地絶縁膜及び前記第2の下地絶縁膜は、それぞれ、

酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ハフニウム、又は、酸化ガリウムを有することを特徴とする半導体装置の作製方法。

【請求項 3】

請求項1又は請求項2において、

前記第1のトランジスタのチャネル形成領域の長さは、前記第2のトランジスタのチャネル形成領域の長さよりも短いことを特徴とする半導体装置の作製方法。

【請求項 4】

請求項1乃至請求項3のいずれか一項において、

前記第1のトランジスタのしきい値電圧と、第2のトランジスタのしきい値電圧は同じであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】**【技術分野】****【0001】**

開示される発明の一態様は、半導体装置の作製方法に関する。

【背景技術】**【0002】**

近年、コンピュータシステム技術の分野においては、処理を行っていない場合に装置内部における電力の供給を停止し、装置に対する入力操作が行われた場合等、処理の必要が生じた場合に、瞬時に電力の供給を再開することにより、待機時における消費電力を削減する電力制御技術が開発されている（特許文献1参照）。

【0003】

10

20

30

40

50

特に、C P U (C e n t r a l P r o c e s s i n g U n i t : 中央演算処理装置) に不揮発性素子を積極的に活用して、超低消費電力化を実現するためのコンピューティング技術が研究されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2007-11652号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上述の不揮発性素子として、酸化物半導体層を活性層として有するトランジスタ（以下「酸化物半導体トランジスタ」と呼ぶ）を用いて半導体装置を作製すると、データを長時間にわたって保持可能な半導体装置を得ることができる。以下にその詳細を説明する。

【0006】

なお、本明細書において、酸化物半導体層中のソース電極と接する領域をソース領域と言い、酸化物半導体層中のドレイン電極と接する領域をドレイン領域という。酸化物半導体層中のソース領域及びドレイン領域の間の領域で、ゲート電極と重畳する領域を、チャネル形成領域という。

【0007】

また本明細書において、活性層とは、チャネル形成領域、ソース領域およびドレイン領域を含めた半導体層のことをさす。

【0008】

また本明細書において、チャネル形成領域の長さ（以下「チャネル長」という）とは、チャネル形成領域のキャリアが流れる方向の長さをいう。またチャネル形成領域の幅（以下「チャネル幅」という）は、チャネル形成領域のキャリアが流れる方向とは垂直な方向の長さをいう。

【0009】

酸化物半導体トランジスタは、オフ状態でのリーク電流（以下「オフ電流」という）が、極めて低い。なお、オフ電流とは、トランジスタがオフ状態のとき、例えばソース電位を基準としたときのゲート電位 V_g との電位差がしきい値電圧以下のときのドレイン電流 I_d とする。

【0010】

なお本明細書において、しきい値電圧とは、飽和領域にて、ゲート電位 V_g に対するドレイン電流 I_d の平方根の傾きが最大になったときのゲート電位の値と定義する。

【0011】

オフ電流が極めて小さい酸化物半導体トランジスタは、ソースまたはドレインの一方と電気的に接続されたノードの電荷を長時間にわたって保持することが可能である。このようなオフ電流がきわめて小さい酸化物半導体トランジスタを用いた半導体装置は、データを長時間にわたって保持可能な半導体装置となる。別言すれば、このようなオフ電流がきわめて小さい酸化物半導体トランジスタを用いた半導体装置は、不揮発性の半導体装置であるといえる。

【0012】

このような酸化物半導体トランジスタを三次元的に階層化して積層することで、当該酸化物半導体トランジスタを用いた半導体装置の面積を小さくすることができる。

【0013】

ところが、酸化物半導体層において酸素欠損はドナーとなり、酸化物半導体層中にキャリアである電子を生成する。酸化物半導体トランジスタのチャネル形成領域を含む酸化物半導体層に酸素欠損が多く存在すると、チャネル形成領域中に電子を生じさせてしまい、酸化物半導体トランジスタのしきい値電圧をマイナス方向にシフトさせる要因となる。

【0014】

10

20

30

40

50

そのため、酸化物半導体層の酸素欠損を低減し、酸化物半導体トランジスタの電気的特性を安定化させるために、酸化物半導体層に酸素を添加することが好適である。酸化物半導体層に酸素を添加することにより、酸化物半導体トランジスタのしきい値電圧をプラス方向にシフトさせることができる。

【0015】

酸化物半導体層に酸素を添加する方法として、当該酸化物半導体層の上下のいずれか、又はその両方に、層中（バルク中）に少なくとも化学量論的組成比を超える量の酸素が存在する絶縁層、例えば酸化珪素層を形成し、熱処理により当該酸化珪素層から酸化物半導体層へ酸素を供給する方法が挙げられる。

【0016】

熱処理により当該酸化珪素層から酸化物半導体層へ酸素を供給する方法では、熱処理時間が長いほど、当該酸化珪素層から酸化物半導体層へ供給される酸素量は多くなる。酸化物半導体層へ供給される酸素量が多くなるほど、酸化物半導体層中の酸素欠損密度を低減可能であり、その結果、酸化物半導体トランジスタのしきい値電圧のプラス方向へのシフト量が大きくなる。

10

【0017】

しかしながら、酸化物半導体トランジスタを三次元的に階層化して積層すると、下階層に形成された酸化物半導体トランジスタ（先に形成された酸化物半導体トランジスタ）の熱処理時間は、下階層に形成された酸化物半導体トランジスタの形成の際に行われる熱処理時間と、上階層に形成された酸化物半導体トランジスタ（後に形成された酸化物半導体トランジスタ）の形成の際に行われる熱処理時間との和となる。そのため、下階層に形成された酸化物半導体トランジスタの熱処理時間は、上階層に形成された酸化物半導体トランジスタの熱処理時間よりも長くなる。

20

【0018】

下階層と上階層の酸化物半導体トランジスタへの熱処理時間が異なると、酸化物半導体層に添加される酸素の量が異なる恐れが生じる。酸化物半導体層に添加される酸素の量が異なると、酸化物半導体トランジスタのしきい値電圧のシフト量が異なり、下階層と上階層で特性の異なる酸化物半導体トランジスタが作製されてしまう恐れが生じる。

【0019】

下階層と上階層で特性の異なる酸化物半導体トランジスタを用いて半導体装置を作製すると、半導体装置の信頼性が低下する恐れが生じる。

30

【0020】

以上を鑑みて、開示される発明の一態様では、酸化物半導体トランジスタを三次元的に階層化して積層する半導体装置において、電気特性が均一な酸化物半導体トランジスタを得ることを課題の一とする。

【課題を解決するための手段】

【0021】

開示される発明の一態様では、熱処理時間が同じであった場合に、より低いしきい値電圧を有するトランジスタを下階層に（先に）形成し、より高いしきい値電圧を有するトランジスタを上階層に（後に）形成する。

40

【0022】

熱処理時間が同じであった場合に、より低いしきい値電圧を有するトランジスタが下階層に（先に）形成し、より高いしきい値電圧を有するトランジスタを上階層に（後に）形成すると、下階層に形成されたトランジスタの熱処理時間は、上階層に形成されたトランジスタの熱処理時間よりも長くなる。

【0023】

当該下階層に形成された酸化物半導体トランジスタに、より長い熱処理を行うことにより、上階層に形成され、熱処理時間が短い酸化物半導体トランジスタと同様のしきい値電圧を得ることが可能である。しきい値電圧のような電気的特性を均一にすることにより、信頼性の高い半導体装置を得ることが可能である。

50

【0024】

例えば、熱処理時間が同じであった場合に、より低いしきい値電圧を有するトランジスタとしてチャネル長の短いトランジスタ、より高いしきい値電圧を有するトランジスタとは、チャネル長の長いトランジスタが挙げられる。チャネル長の短いトランジスタを下階層に形成して熱処理時間を長く取り、チャネル長の長いトランジスタを上階層に形成して熱処理時間を短く取ることで、どちらのトランジスタのしきい値電圧を同様にすることが可能である。

【0025】

また、熱処理がより必要なトランジスタを下階層に形成することにより、全体の熱処理時間を変えられることなく、当該熱処理がより必要なトランジスタの熱処理時間を長く取ることが可能になる。熱処理時間が長いと、原子の配列がより安定化するので、トランジスタの電気特性が向上するという利点がある。

10

【0026】

上述のように酸化物半導体トランジスタは、オフ電流が極めて小さいため、多階層の半導体装置の消費電力を低減することが可能である。

【0027】

開示される発明の一態様は、層中に少なくとも化学量論的組成比を超える量の酸素が存在する第1の下地絶縁膜上に、第1の酸化物半導体層を形成し、当該第1の酸化物半導体層に第1の熱処理を行うことにより、当該第1の下地絶縁膜から当該第1の酸化物半導体層に酸素を供給し、当該第1の熱処理が行われた当該第1の酸化物半導体層に接して第1の導電膜を形成し、当該第1の導電膜の一部を除去し、第1のソース電極及び第1のドレイン電極を形成し、当該第1の酸化物半導体層、当該第1のソース電極、及び当該第1のドレイン電極を覆って、第1のゲート絶縁膜を形成し、当該第1の酸化物半導体層及び当該第1のゲート絶縁膜上に、第1のゲート電極を形成して、第1のトランジスタを形成し、当該第1のゲート絶縁膜及び当該第1のゲート電極を覆って、層間絶縁膜を形成し、当該層間絶縁膜上に、層中に少なくとも化学量論的組成比を超える量の酸素が存在する第2の下地絶縁膜を形成し、当該第2の下地絶縁膜上に、第2の酸化物半導体層を形成し、当該第1の酸化物半導体層及び当該第2の酸化物半導体層に第2の熱処理を行うことにより、当該第1の下地絶縁膜から当該第1の酸化物半導体層に、及び、当該第2の下地絶縁膜から当該第2の酸化物半導体層に酸素を供給し、当該第2の熱処理が行われた当該第2の酸化物半導体層に接して第2の導電膜を形成し、当該第2の導電膜の一部を除去し、第2のソース電極及び第2のドレイン電極を形成し、当該第2の酸化物半導体層、当該第2のソース電極、及び当該第2のドレイン電極を覆って、第2のゲート絶縁膜を形成し、当該第2の酸化物半導体層及び当該第2のゲート絶縁膜上に、第2のゲート電極を形成して、第2のトランジスタを形成することを特徴とする半導体装置の作製方法に関する。

20

【0028】

開示される発明の一態様において、当該第1の下地絶縁膜及び当該第2の下地絶縁膜は、それぞれ、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ハフニウム、又は、酸化ガリウムを有することを特徴とする。

30

【0029】

開示される発明の一態様において、当該第1のトランジスタのチャネル形成領域の長さは、当該第2のトランジスタのチャネル形成領域の長さよりも短いことを特徴とする。

40

【0030】

開示される発明の一態様において、当該第1のトランジスタのしきい値電圧と、第2のトランジスタのしきい値電圧は同じであることを特徴とする。

【発明の効果】

【0031】

開示される発明の一態様により、酸化物半導体トランジスタを三次元的に階層化して積層する半導体装置において、電気特性が均一な酸化物半導体トランジスタを得ることができ

50

る。

【図面の簡単な説明】

【0032】

【図1】半導体装置の断面図及び平面図。

【図2】半導体装置の作製工程を示す断面図。

【図3】半導体装置の作製工程を示す断面図。

【図4】半導体装置の作製工程を示す断面図。

【図5】半導体装置の作製工程を示す断面図。

【図6】半導体装置の断面図。

【図7】半導体装置の断面図。

【図8】半導体装置の断面図。

【図9】半導体装置の平面図及び回路図。

【図10】Vg - Id 特性を示す図。

【図11】CPUを説明する回路図。

【図12】PLDを説明する図。

【図13】電気機器の例を示す図。

【図14】電気機器の例を示す図。

【図15】電気機器の例を示す図。

【発明を実施するための形態】

【0033】

以下、本明細書に開示された発明の実施の態様について、図面を参照して説明する。但し、本明細書に開示された発明は多くの異なる態様で実施することが可能であり、本明細書に開示された発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に示す図面において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。また、同様のものを指す際には同じハッシュパターンを使用し、特に符号を付さない場合がある。

【0034】

なお本明細書に開示された発明において、半導体装置とは、半導体を利用して機能する素子及び装置全般を指し、電子回路、表示装置、発光装置、記憶装置等を含む電気装置およびその電気装置を搭載した電気機器をその範疇とする。

【0035】

なお、図面等において示す各構成の、位置、大きさ、範囲等は、説明を分かりやすくするために、実際の位置、大きさ、範囲等を表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲等に限定されない。

【0036】

なお、本明細書等における「第1」、「第2」、「第3」等の序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0037】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合等も含む。

【0038】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合等には入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0039】

なお、本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの

10

20

30

40

50

」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタ等のスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子等が含まれる。

【0040】

本明細書等において厚さに関する「略等しい」の用語は、完全に等しい場合のみでなく、実質的に等しい場合をも含む趣旨で用いる。例えば、「略等しい」には、完全に等しい場合と比較して半導体装置の特性に与える影響が無視できる程度の差（特性に与える影響が5%以下）である場合や、意図せずに僅かに研磨された場合（研磨量が5nm未満程度の場合）等が含まれる。10

【0041】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁膜上のゲート電極」の表現であれば、ゲート絶縁膜とゲート電極との間に他の構成要素を含むものを除外しない。

【0042】

[実施の形態1]

図1(A)に、チャネル長が異なる酸化物半導体トランジスタを積層した、多階層構造を有する半導体装置の断面を示す。また図1(B)は当該半導体装置の平面図であり、図1(A)は、図1(B)のX1-X2の断面図である。図1に示す第1のトランジスタ100及び第2のトランジスタ110は、トップゲート構造であり、酸化物半導体層を活性層として有する酸化物半導体トランジスタの一例である。20

【0043】

図1に示されるように、第1の下地絶縁膜102が設けられた絶縁表面を有する基板101上に、下階層に設けられる（先に形成される）酸化物半導体トランジスタ（第1のトランジスタ100）、第2の層間絶縁膜108を介して第1のトランジスタ100上に設けられた、上階層に設けられる（後に形成される）酸化物半導体トランジスタ（第2のトランジスタ110）が積層されている。

【0044】

本実施の形態では、より低いしきい値電圧を有するトランジスタ（第1のトランジスタ100）として、チャネル長の短いトランジスタを用いる。また本実施の形態では、より高いしきい値電圧を有するトランジスタ（第2のトランジスタ110）として、チャネル長の長いトランジスタを用いる。チャネル長の短い第1のトランジスタ100を下階層に形成して熱処理時間を長く取り、チャネル長の長い第2のトランジスタ110を上階層に形成して熱処理時間を短く取ることで、どちらのトランジスタのしきい値電圧を同様にすることが可能である。30

【0045】

なお、熱処理時間が同じであった場合に、より低いしきい値電圧を有するトランジスタ、及び、より高いしきい値電圧を有するトランジスタの別の例として、酸化物半導体層中の酸素欠損密度が高いトランジスタ、及び、酸化物半導体層中の酸素欠損密度が低いトランジスタが挙げられる。このように、熱処理時間が同じであった場合に、しきい値電圧が異なるトランジスタの例として、チャネル長を変えたトランジスタや酸素欠損密度の違うトランジスタが挙げられるが、これに限定されず、その他の構成を変えることにより、しきい値電圧が異なるトランジスタを形成してもよい。40

【0046】

図1に示される第1のトランジスタ100は、第1の下地絶縁膜102が設けられた絶縁表面を有する基板101上に、第1の酸化物半導体層103、第1の酸化物半導体層103に接する第1のソース電極又は第1のドレイン電極の一方である電極104a、並びに、第1のソース電極又は第1のドレイン電極の他方である電極104bを有している。ま50

た図1に示される第1のトランジスタ100は、第1の酸化物半導体層103、電極104a、及び、電極104bを覆う第1のゲート絶縁膜105を有している。また図1に示される第1のトランジスタ100は、第1のゲート絶縁膜105を介して第1の酸化物半導体層103上に設けられた第1のゲート電極106を有している。第1のゲート絶縁膜105及び第1のゲート電極106を覆って、第1の層間絶縁膜107及び第2の層間絶縁膜108が設けられている。また、第1の層間絶縁膜107、第2の層間絶縁膜108、後述する第2の下地絶縁膜112、第2のゲート絶縁膜115、第3の層間絶縁膜117、及び第4の層間絶縁膜118に設けられた開口部を介して、第1のゲート電極106と電気的に接続される電極109が、第4の層間絶縁膜118上に設けられている。また、第1の層間絶縁膜107、第2の層間絶縁膜108、後述する第2の下地絶縁膜112、第2のゲート絶縁膜115、第3の層間絶縁膜117、及び第4の層間絶縁膜118に設けられた開口部を介して、電極104bと電気的に接続される電極149が、第4の層間絶縁膜上に設けられている。なお電極104aと電気的に接続される電極を、電極109及び電極149と同様に、第4の層間絶縁膜上に設けてもよい。

10

20

30

【0047】

第1の層間絶縁膜107及び第2の層間絶縁膜108上に、第2のトランジスタ110が設けられている。図1に示す第2のトランジスタ110は、第2の下地絶縁膜112上に、第2の酸化物半導体層113、第2の酸化物半導体層113に接する第2のソース電極又は第2のドレイン電極の一方である電極114a、並びに、第2のソース電極又は第2のドレイン電極の他方である電極114bを有している。また図1に示される第2のトランジスタ110は、第2の酸化物半導体層113、電極114a、及び、電極114bを覆う第2のゲート絶縁膜115を有している。また図1に示される第2のトランジスタ110は、第2のゲート絶縁膜115を介して第2の酸化物半導体層113上に設けられた第2のゲート電極116を有している。第2のゲート絶縁膜115及び第2のゲート電極116を覆って、第3の層間絶縁膜117及び第4の層間絶縁膜118が設けられている。また、第2のゲート絶縁膜115、第3の層間絶縁膜117、及び第4の層間絶縁膜118に設けられた開口部を介して、電極114aと電気的に接続される電極159が、第4の層間絶縁膜118上に設けられている。なお、第2のゲート電極116及び電極114bと電気的に接続される電極を、電極159と同様に、第4の層間絶縁膜118上に設けてもよい。

30

【0048】

第4の層間絶縁膜118上には、さらに図示しない配線層が設けられていてもよい。

【0049】

なお本実施の形態に示す第1の下地絶縁膜102は、第1の下層下地絶縁膜102a及び第1の上層下地絶縁膜102bの積層により構成する例を示している。また第2の下地絶縁膜112は、第2の下層下地絶縁膜112a及び第2の上層下地絶縁膜112bの積層により構成する例を示している。

40

【0050】

また本実施の形態に示す第1のゲート絶縁膜105は、第1の下層ゲート絶縁膜105a及び第1の上層ゲート絶縁膜105bの積層により構成する例を示している。また第2のゲート絶縁膜115は、第2の下層ゲート絶縁膜115a及び第2の上層ゲート絶縁膜115bの積層により構成する例を示している。

40

【0051】

第1の酸化物半導体層103の下部に接する第1の上層下地絶縁膜102b、及び、第2の酸化物半導体層113の下部に接する第2の上層下地絶縁膜112bは、層中(バルク中)に少なくとも化学量論的組成比を超える量の酸素が存在する絶縁層であると、第1の酸化物半導体層103及び第2の酸化物半導体層113のそれぞれに酸素を供給することができ、当該酸化物半導体層中の酸素欠陥を補填することができる。

50

【0052】

例えば、第1の上層下地絶縁膜102b及び第2の上層下地絶縁膜112bとして、酸化

シリコンを用いる場合には、 $\text{SiO}_2 +$ （ただし、 > 0 ）とする。このような第1の上層下地絶縁膜102b及び第2の上層下地絶縁膜112bを用いることで、第1の酸化物半導体層103及び第2の酸化物半導体層113のそれぞれに酸素を供給することができ、当該酸化物半導体層の特性を良好にすることができる。

【0053】

なお、第1の上層下地絶縁膜102b及び第2の上層下地絶縁膜112bだけでなく、第1の酸化物半導体層103の上部に接する第1の下層ゲート絶縁膜105a、及び、第2の酸化物半導体層113の上部に接する第2の下層ゲート絶縁膜115aのそれぞれを、層中（バルク中）に少なくとも化学量論的組成比を超える量の酸素が存在する絶縁層とすると、第1の酸化物半導体層103及び第2の酸化物半導体層113のそれぞれに酸素を供給することができ、当該酸化物半導体層の特性を良好にすることができる。10

【0054】

第1の下層下地絶縁膜102a、第1の上層ゲート絶縁膜105b、第1の層間絶縁膜107は、水素、水分、水素化物、または水酸化物等の不純物や、酸素に対するバリア性を有する絶縁層であることが好ましい。上記絶縁層にバリア性を有する材料を適用することで、外部からの不純物の混入を防ぐとともに、第1の酸化物半導体層103、第1の上層下地絶縁膜102b、第1の下層ゲート絶縁膜105aからの酸素の脱離を防ぐことができる。

【0055】

また、第2の下層下地絶縁膜112a、第2の上層ゲート絶縁膜115b、第3の層間絶縁膜117は、水素、水分、水素化物、または水酸化物等の不純物や、酸素に対するバリア性を有する絶縁層であることが好ましい。上記絶縁層にバリア性を有する材料を適用することで、外部からの不純物の混入を防ぐとともに、第2の酸化物半導体層113、第2の上層下地絶縁膜112b、第2の下層ゲート絶縁膜115aからの酸素の脱離を防ぐことができる。20

【0056】

基板101は、石英基板、又はガラス基板等を用いる。本実施の形態では、基板101としてガラス基板を用いる。

【0057】

第1の下地絶縁膜102のうち、第1の下層下地絶縁膜102aは、上述のように、水素、水分、水素化物、または水酸化物等の不純物や、酸素に対するバリア性を有する絶縁層であることが好ましい。このような絶縁層として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ハフニウム、酸化ガリウム、又はこれらの混合材料を用いて形成することができる。特に、酸化アルミニウムは、水素、水分、水素化物、または水酸化物等の不純物や、酸素に対するバリア性が高いので好適である。30

【0058】

なお、本明細書において、酸化窒化とは、その組成として、窒素よりも酸素の含有量が多いものを指し、窒化酸化とは、その組成として、酸素よりも窒素の含有量が多いものを指すものとする。ここで、酸素及び窒素の含有量は、ラザフォード後方散乱法（RBS：Rutherford Backscattering Spectrometry）または水素前方散乱法（HFS：Hydrogen Forward scattering Spectrometry）を用いて測定するものとする。40

【0059】

第1の下地絶縁膜102のうち、第1の上層下地絶縁膜102bは、上述のように、層中（バルク中）に少なくとも化学量論的組成比を超える量の酸素が存在する絶縁層であることが好ましい。第1の上層下地絶縁膜102bとして、プラズマCVD法又はスパッタリング法等により、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ハフニウム、酸化ガリウム、又はこれらの混合材料を用いて形成することができる。なお第1の上層下地絶縁膜102b50

及び第1の下層下地絶縁膜102aの材料が同じ場合であっても、第1の上層下地絶縁膜102bは、層中(バルク中)に少なくとも化学量論的組成比を超える量の酸素が存在することが好ましい。このような第1の上層下地絶縁膜102bを形成するために、例えば、絶縁層を成膜後、当該絶縁層に酸素を添加してもよい。本実施の形態では、第1の下地絶縁膜102として、膜厚300nmの酸化シリコン膜を用いる。

【0060】

第1の酸化物半導体層103に用いる酸化物半導体としては、少なくともインジウム(In)または亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。また、スタビライザーとしてジルコニウム(Zr)を有することが好ましい。

10

【0061】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジム(Pr)、ネオジム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種あるいは複数種を有してもよい。

20

【0062】

例えば、第1の酸化物半導体層103として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

30

【0063】

なお、ここで、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

40

【0064】

また、酸化物半導体として、 $InMO_3 (ZnO)_m$ ($m > 0$) で表記される材料を用いてもよい。なお、Mは、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $In_2SnO_5 (ZnO)_n$ ($n > 0$) で表記される材料を用いてもよい。

【0065】

例えば、 $In : Ga : Zn = 1 : 1 : 1$ (= 1 / 3 : 1 / 3 : 1 / 3)、 $In : Ga : Zn = 2 : 2 : 1$ (= 2 / 5 : 2 / 5 : 1 / 5)、あるいは $In : Ga : Zn = 3 : 1 : 2$ (= 1 / 2 : 1 / 6 : 1 / 3) の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $In : Sn : Zn = 1 : 1 : 1$ (= 1 / 3 : 1 / 3 : 1 / 3)、 $In : Sn : Zn = 2 : 1 : 3$ (= 1 / 3 : 1 / 6 : 1 / 2) あるいは

50

は In : Sn : Zn = 2 : 1 : 5 (= 1 / 4 : 1 / 8 : 5 / 8) の原子数比の In - Sn - Zn 系酸化物やその組成の近傍の酸化物を用いるとよい。

【0066】

本実施の形態に開示する酸化物半導体には、単結晶酸化物半導体、多結晶（ポリクリスタルともいう。）酸化物半導体、または非晶質酸化物半導体の他に、CAAC-O_S（CAxis Aligned Crystalline-Oxide Semiconductor）を用いることができる。

【0067】

CAAC-O_Sは、完全な単結晶ではなく、完全な非晶質でもない。CAAC-O_Sは、非晶質相に結晶部を有する結晶 - 非晶質混相構造の酸化物半導体である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡（TEM：Transmission Electron Microscope）による観察像では、CAAC-O_Sに含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-O_Sには粒界（グレインバウンダリーともいう）は確認できない。そのため、CAAC-O_Sは、粒界に起因する電子移動度の低下が抑制される。

10

【0068】

CAAC-O_Sに含まれる結晶部は、c軸がCAAC-O_Sの被形成面または表面に垂直な方向に揃い、かつab面に垂直な方向から見て三角形状または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸及びb軸の向きが異なっていてもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。

20

【0069】

なお、CAAC-O_Sにおいて、結晶部の分布が一様でなくてもよい。例えば、CAAC-O_Sの形成過程において、酸化物半導体層の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、CAAC-O_Sへ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

30

【0070】

CAAC-O_Sに含まれる結晶部のc軸は、CAAC-O_Sの被形成面または表面に垂直な方向に揃うため、CAAC-O_Sの形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-O_Sが形成されたときの被形成面または表面に垂直な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理等の結晶化処理を行うことにより形成される。

【0071】

CAAC-O_Sを用いたトランジスタは、可視光や紫外光の照射による電気特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

【0072】

なお、第1の酸化物半導体層103を構成する酸素の一部は窒素で置換されてもよい。

40

【0073】

また、CAAC-O_Sのように結晶部を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ（Ra）が1nm以下、好ましくは0.3nm以下、より好ましくは0.1nm以下の表面上に形成するとよい。

【0074】

なお、Raは、JIS B 0601で定義されている中心線平均粗さを面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現できる。また、Raは原子間力顕微鏡（AFM：Atomic Force

50

Microscope)にて評価可能である。

【0075】

本実施の形態では、第1の酸化物半導体層103として、膜厚10nmのIn-Ga-Zn系酸化物(IGZOとも表記する)膜を用いる。

【0076】

上述のように、本明細書では、酸化物半導体層中のソース電極と接する領域をソース領域といい、酸化物半導体層中のドレイン電極と接する領域をドレイン領域という。酸化物半導体層中のソース領域及びドレイン領域の間の領域で、ゲート電極と重畳する領域を、チャネル形成領域という。よって図1において、第1の酸化物半導体層103、並びに、第1のソース電極及び第1のドレイン電極である電極104a及び電極104bが接する領域が、第1のソース領域及び第1のドレイン領域となる。また図1において、第1のソース領域及び第1のドレイン領域の間の領域で、第1のゲート電極106と重畳する領域が第1のチャネル形成領域となる。

10

【0077】

第1のソース電極及び第1のドレイン電極である電極104a及び電極104bの材料として、例えば、アルミニウム(A1)、クロム(Cr)、銅(Cu)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、ネオジム(Nd)、スカンジウム(Sc)等から選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)等を用いることができる。また、アルミニウム(A1)、銅(Cu)等の低抵抗な金属膜の下側又は上側の一方または双方にチタン(Ti)、モリブデン(Mo)、タングステン(W)、タンタル(Ta)等の高融点金属膜またはそれらの金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)を積層させた構成としても良い。低抵抗な金属膜の下側又は上側の一方または双方に、高融点金属膜またはそれらの金属窒化物膜を積層すると、低抵抗な金属膜の金属の移動(拡散)を阻害できるので好適である。すなわち、電極104a及び電極104bのそれぞれを、第1の導電層、第2の導電層である金属膜、及び第3の導電層の積層とし、第2の導電層として低抵抗な導電層を用いる。第1の導電層及び第3の導電層の少なくとも一方に、第2の導電層の金属の移動を阻害できる材料を用いる。また、第2の導電層上の第3の導電層は、当該第2の導電層の端部を覆う構成にすると、第2の導電層の端部からの金属の移動を抑制することができるので好適である。

20

【0078】

例えば電極104a及び電極104bそれぞれとして、タングステン(W)、銅(Cu)、窒化タンタルを積層したものを用い、低抵抗な銅(Cu)を、銅の移動を阻害するタングステン(W)及び窒化タンタルで挟めばよい。

30

【0079】

また、電極104a及び電極104bそれぞれとしては、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム(In₂O₃)、酸化スズ(SnO₂)、酸化亜鉛(ZnO)、酸化インジウム酸化スズ(In₂O₃-SnO₂、ITOと略記する)、酸化インジウム酸化亜鉛(In₂O₃-ZnO)またはこれらの金属酸化物に酸化シリコンを含ませたものを用いることができる。

40

【0080】

本実施の形態では、電極104a及び電極104bとして、膜厚30nmのタングステン膜を用いる。

【0081】

第1のゲート絶縁膜105は、第1の酸化物半導体層103に近い方から、層中(バルク中)に少なくとも化学量論的組成比を超える量の酸素が存在する絶縁層、及び、水素、水分、水素化物、または水酸化物等の不純物や、酸素に対するバリア性を有する絶縁層の積層とする。すなわち、第1の下層ゲート絶縁膜105aは、層中(バルク中)に少なくとも化学量論的組成比を超える量の酸素が存在する絶縁層であり、第1の上層ゲート絶縁膜105bは、水素、水分、水素化物、または水酸化物等の不純物や、酸素に対するバリア

50

性を有する絶縁層である。第1のゲート絶縁膜105を、このような絶縁層の積層とすることで、第1の酸化物半導体層103に酸素を供給、かつ、第1の酸化物半導体層103からの酸素の脱離を抑制することができる。

【0082】

第1の下層ゲート絶縁膜105aの材料として、第1の上層下地絶縁膜102bと同様の材料を用いることができる。また第1の上層ゲート絶縁膜105bの材料として、第1の下層下地絶縁膜102aと同様の材料を用いることができる。

【0083】

本実施の形態では、第1のゲート絶縁膜105として、膜厚20nmの窒化酸化シリコン膜を用いる。

10

【0084】

第1のゲート電極106の材料として、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料、上述した元素を成分とする金属窒化物材料、または上述した元素を成分とする合金材料等を用いることができる。また、第1のゲート電極106として、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体層、ニッケルシリサイド等のシリサイド膜を用いてもよい。第1のゲート電極106は、単層構造としてもよいし、積層構造としてもよい。

【0085】

また、第1のゲート電極106の材料は、酸化インジウム酸化スズ、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、酸化インジウム酸化亜鉛、酸化ケイ素を添加したインジウム錫酸化物等の導電性材料を適用することもできる。また、上記導電性材料と、上記金属材料の積層構造とすることもできる。

20

【0086】

また、第1のゲート電極106の材料として、窒素を含む金属酸化物、具体的には、窒素を含むIn-Ga-Zn系金属酸化物や、窒素を含むIn-Sn系金属酸化物や、窒素を含むIn-Ga系金属酸化物や、窒素を含むIn-Zn系金属酸化物や、窒素を含む酸化錫や、窒素を含む酸化インジウムや、金属窒化膜(InN, SnN等)を用いることができる。これらの材料は5eV(電子ボルト)以上の仕事関数を有し、第1のゲート電極106として用いた場合、第1のトランジスタ100の電気特性のしきい値電圧をプラス方向にシフトさせることができる。

30

【0087】

本実施の形態において、第1のゲート電極106として、膜厚30nmの窒化タンタル膜及び膜厚135nmのタングステン膜を積層したものを用いる。

【0088】

第1の層間絶縁膜107は、水素、水分、水素化物、または水酸化物等の不純物や、酸素に対するバリア性を有する材料を用いることが好ましい。第1の層間絶縁膜107は、第1の上層下地絶縁膜102b及び第1の下層ゲート絶縁膜105aと同様の材料を用いることができる。

40

【0089】

第2の層間絶縁膜108は、これまで基板101上に形成された層により生じる凹凸を平坦化できる厚さで形成する。本実施の形態では、第2の層間絶縁膜108として酸化窒化シリコンを460nmの厚さで形成する。

【0090】

第2の層間絶縁膜108の形成後、第2の層間絶縁膜108に酸素を供給して第2の層間絶縁膜108を酸素過剰な状態とすると、第2の層間絶縁膜108から第1の酸化物半導体層103へ酸素を供給できるので好適である。

【0091】

本実施の形態では、第1の層間絶縁膜107として、膜厚70nmの酸化アルミニウムを用いる。また第2の層間絶縁膜108として、膜厚460nmの窒化酸化シリコン膜を用

50

いる。

【0092】

第2の層間絶縁膜108上には、第2の下層下地絶縁膜112a及び第2の上層下地絶縁膜112bが設けられている。第2の下層下地絶縁膜112a及び第2の上層下地絶縁膜112bは、それぞれ、第1の下層下地絶縁膜102a及び第1の上層下地絶縁膜102bと同様に設ければよい。

【0093】

なお、本実施の形態では、第1の層間絶縁膜107及び第2の層間絶縁膜108上に、第2の下地絶縁膜112(第2の下層下地絶縁膜112a及び第2の上層下地絶縁膜112b)を設ける構成について説明したが、これに限定されない。第1の層間絶縁膜107及び第2の層間絶縁膜108が、第2の下地絶縁膜112(第2の下層下地絶縁膜112a及び第2の上層下地絶縁膜112b)の機能を果たす場合は、第2の下地絶縁膜112を設けなくてもよい。10

【0094】

本実施の形態では、第2の下地絶縁膜112として、膜厚330nmの酸化シリコン膜を用いる。

【0095】

第2の酸化物半導体層113は、第1の酸化物半導体層103と同様に設ければよい。本実施の形態では、第2の酸化物半導体層113として、膜厚10nmのIn-Ga-Zn系酸化物(IGZOとも表記する)膜を用いる。20

【0096】

上述のように、本明細書では、酸化物半導体層中のソース電極と接する領域をソース領域といい、酸化物半導体層中のドレイン電極と接する領域をドレイン領域という。酸化物半導体層中のソース領域及びドレイン領域の間の領域で、ゲート電極と重畠する領域を、チャネル形成領域という。よって図1において、第2の酸化物半導体層113、並びに、第2のソース電極及び第2のドレイン電極である電極114a及び電極114bが接する領域が、第2のソース領域及び第2のドレイン領域となる。また図1において、第2のソース領域及び第2のドレイン領域の間の領域で、第2のゲート電極116と重畠する領域が第2のチャネル形成領域となる。

【0097】

第1のトランジスタ100のチャネル長L1は、第2のトランジスタ110のチャネル長L2よりも短い。詳細は後述するが、第1のトランジスタ100に行われる熱処理時間は、第2のトランジスタ110に行われる熱処理時間よりも長い。これにより、第1のトランジスタ100の第1の酸化物半導体層103に供給される酸素の量が、第2のトランジスタ110の第2の酸化物半導体層113よりも多くなる。そのため、第1のトランジスタ100のしきい値電圧のプラス方向へのシフト量は、第2のトランジスタ110よりも多くなる。このように、チャネル長が短い第1のトランジスタ100の熱処理時間を、チャネル長が長いトランジスタの熱処理時間よりも長くすることにより、第1のトランジスタ100及び第2のトランジスタ110のしきい値電圧を同様にすることができる。よって第1のトランジスタ100及び第2のトランジスタ110の電気的特性を均一化することが可能となる。30

【0098】

第2のゲート絶縁膜115は、第2の酸化物半導体層113に近い方から、層中(バルク中)に少なくとも化学量論的組成比を超える量の酸素が存在する絶縁層、及び、水素、水分、水素化物、または水酸化物等の不純物や、酸素に対するバリア性を有する絶縁層の積層とする。すなわち、第2の下層ゲート絶縁膜115aは、層中(バルク中)に少なくとも化学量論的組成比を超える量の酸素が存在する絶縁層であり、第2の上層ゲート絶縁膜115bは、水素、水分、水素化物、または水酸化物等の不純物や、酸素に対するバリア性を有する絶縁層である。第2のゲート絶縁膜115を、このような絶縁層の積層することで、第2の酸化物半導体層113に酸素を供給、かつ、第2の酸化物半導体層113

10

20

30

40

50

からの酸素の脱離を抑制することができる。

【0099】

第2の下層ゲート絶縁膜115aの材料として、第1の下層ゲート絶縁膜105aと同様の材料を用いることができる。また第2の上層ゲート絶縁膜115bの材料として、第1の上層ゲート絶縁膜105bと同様の材料を用いることができる。

【0100】

本実施の形態では、第2のゲート絶縁膜115として、膜厚20nmの窒化酸化シリコン膜を用いる。

【0101】

第2のゲート電極116の材料として、第1のゲート電極106と同様の材料を用いることができる。本実施の形態において、第2のゲート電極116として、膜厚30nmの窒化タンタル膜及び膜厚135nmのタングステン膜を積層したものを用いる。

【0102】

第3の層間絶縁膜117及び第4の層間絶縁膜118は、それぞれ、第1の層間絶縁膜107及び第2の層間絶縁膜108と同様の材料を用いて形成することができる。本実施の形態では、第3の層間絶縁膜117として、膜厚70nmの酸化アルミニウム膜、及び、第4の層間絶縁膜118として、膜厚460nmの窒化酸化シリコン膜を用いる。

【0103】

なお本実施の形態の第1のトランジスタ100及び第2のトランジスタ110において、活性層として機能する酸化物半導体層上に、酸化物半導体層に接してソース電極及びドレイン電極を設けているが、本実施の形態はこれに限定されない。当該ソース電極及びドレイン電極は、酸化物半導体層の下に、酸化物半導体層に接して設けられていてもよい。

【0104】

本実施の形態により、酸化物半導体トランジスタを三次元的に階層化して積層する半導体装置において、電気特性が均一な酸化物半導体トランジスタを得ることができる。

【0105】

[実施の形態2]

本実施の形態では、実施の形態1で述べた半導体装置の作製方法について述べる。

【0106】

まず、基板101上に、第1の下層下地絶縁膜102a及び第1の上層下地絶縁膜102bを有する第1の下地絶縁膜102を形成する(図2(A)参照)。

【0107】

第1の下地絶縁膜102(第1の下層下地絶縁膜102a及び第1の上層下地絶縁膜102b)は、上述の材料を用い、例えばプラズマCVD法又はスパッタリング法等により形成する。なお上述のように、第1の下層下地絶縁膜102aとして、熱酸化膜を用いる場合は、例えば、基板101として単結晶シリコン基板を用いて、酸素を含む雰囲気や水蒸気を含む雰囲気中で、900乃至1200で数時間の熱処理を行うことで、基板101の表面に熱酸化膜を形成することができる。

【0108】

第1の下地絶縁膜102形成時の温度は、基板101が耐えうる温度以下で、より高いほうが好ましい。例えば、基板101を25以上250以下の温度、好ましくは、50以上150以下に加熱しながら第1の下地絶縁膜102を形成する。なお、第1の下地絶縁膜102形成時の温度は一定であることが好ましい。例えば、第1の下地絶縁膜102の形成を、基板101を100に加熱して行う。

【0109】

また、第1の下地絶縁膜102の形成後、減圧下、窒素雰囲気下、希ガス雰囲気下、または超乾燥エア窒素雰囲気下において、加熱処理を行ってもよい。加熱処理により第1の下地絶縁膜102に含まれる水素、水分、水素化物、または水酸化物等の濃度を低減することができる。加熱処理度は、基板101が耐えうる温度以下で、より高い温度で行うことが好ましい。具体的には、第1の下地絶縁膜102の成膜温度以上、基板101の歪点以

10

20

30

40

50

下で行なうことが好ましい。

【0110】

なお、第1の下地絶縁膜102の水素濃度は、 5×10^{18} atoms/cm³未満、好ましくは 1×10^{18} atoms/cm³以下、より好ましくは 5×10^{17} atoms/cm³以下、更に好ましくは 1×10^{16} atoms/cm³以下とすることが望ましい。

【0111】

第1の上層下地絶縁膜102bの層中(バルク中)に少なくとも化学量論的組成比を超える量の酸素が存在するためには、第1の上層下地絶縁膜102bに酸素を供給してもよい。

10

【0112】

酸素の供給により、第1の上層下地絶縁膜102bを構成する元素と水素の間の結合、或いは該元素と水酸基の間の結合を切断するとともに、これらの水素または水酸基が酸素と反応することで水を生成するため、酸素の供給後に加熱処理を行うと、不純物である水素または水酸基が、水として脱離しやすくなる。このため、第1の上層下地絶縁膜102bへ酸素を供給した後に加熱処理を行ってもよい。その後、さらに第1の上層下地絶縁膜102bに酸素を供給し、第1の上層下地絶縁膜102bを酸素過剰な状態としてもよい。また、第1の上層下地絶縁膜102bへの酸素の供給と加熱処理は、それぞれを交互に複数回行ってもよい。また、加熱処理と酸素の供給を同時にに行ってもよい。

【0113】

次に、第1の下地絶縁膜102上に第1の酸化物半導体層123をスパッタリング法により形成する(図2(B)参照)。

20

【0114】

第1の酸化物半導体層123の形成工程において、第1の酸化物半導体層123に水素、又は水がなるべく含まれないようにするために、第1の酸化物半導体層123の成膜の前処理として、スパッタリング装置の予備加熱室で第1の下地絶縁膜102が形成された基板を予備加熱し、基板101及び第1の下地絶縁膜102に吸着した水素、水分等の不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。

【0115】

第1の下地絶縁膜102において第1の酸化物半導体層123が接して形成される領域に、平坦化処理を行ってもよい。平坦化処理としては、特に限定されないが、研磨処理(例えば、化学的機械研磨法)、ドライエッティング処理、プラズマ処理を用いることができる。

30

【0116】

プラズマ処理としては、例えば、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行うことができる。逆スパッタリングとは、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素等を用いてもよい。逆スパッタリングを行うと、第1の下地絶縁膜102の表面に付着している粉状物質(パーティクル、ごみともいう)を除去することができる。

40

【0117】

平坦化処理として、研磨処理、ドライエッティング処理、プラズマ処理は複数回行ってもよく、それらを組み合わせて行ってもよい。また、組み合わせて行う場合、工程順も特に限定されず、第1の下地絶縁膜102表面の凹凸状態に合わせて適宜設定すればよい。

【0118】

平坦化処理は、例えば、第1の下地絶縁膜102として用いる酸化シリコン層表面に化学的機械研磨法(Chemical Mechanical Polishing: CMP)により研磨処理(研磨条件:ポリウレタン系研磨布、シリカ系スラリー、スラリー温度室温、研磨圧0.001MPa、研磨時回転数(テーブル/スピンドル)60rpm/56

50

r p m、研磨時間0.5分)を行い、酸化シリコン層表面における平均面粗さ(Ra)を約0.15nmとすればよい。

【0119】

なお、第1の酸化物半導体層123を形成するためのスパッタリングガスは、希ガス(代表的にはアルゴン)雰囲気、酸素雰囲気、希ガス及び酸素の混合ガスを適宜用いる。また、スパッタリングガスには、水素、水、水酸基または水素化物等の不純物が除去された高純度ガスを用いることが好ましい。

【0120】

なお、第1の酸化物半導体層123は、酸素が多く含まれるような条件(例えば、酸素100%の雰囲気下でスパッタリング法により成膜を行う等)で形成して、酸素を多く含むまたは酸素が過飽和な状態(好ましくは酸化物半導体が結晶状態における化学量論的組成比に対し、酸素の含有量が過剰な領域が含まれている状態)とすることが好ましい。

10

【0121】

例えば、スパッタリング法を用いて第1の酸化物半導体層123を形成する場合、スパッタリングガスの酸素の占める割合が多い条件で行うことが好ましく、スパッタリングガスを酸素ガス100%として行うことが好ましい。

【0122】

第1の酸化物半導体層123は、銅、アルミニウム、塩素等の不純物がほとんど含まれない高純度化されたものであることが望ましい。トランジスタの製造工程において、これらの不純物が混入または酸化物半導体層表面に付着する恐れのない工程を適宜選択することが好ましい。具体的には、第1の酸化物半導体層123の銅濃度は 1×10^{18} atoms/cm³以下、好ましくは 1×10^{17} atoms/cm³以下とする。また、第1の酸化物半導体層123のアルミニウム濃度は 1×10^{18} atoms/cm³以下とする。また、第1の酸化物半導体層123の塩素濃度は 2×10^{18} atoms/cm³以下とする。

20

【0123】

また、第1の酸化物半導体層123中のナトリウム(Na)、リチウム(Li)、カリウム(K)等のアルカリ金属の濃度は、Naは 5×10^{16} cm⁻³以下、好ましくは 1×10^{16} cm⁻³以下、さらに好ましくは 1×10^{15} cm⁻³以下、Liは 5×10^{15} cm⁻³以下、好ましくは 1×10^{15} cm⁻³以下、Kは 5×10^{15} cm⁻³以下、好ましくは 1×10^{15} cm⁻³以下とすることが好ましい。

30

【0124】

本実施の形態においては、第1の酸化物半導体層123として、AC電源装置を有するスパッタリング装置を用いたスパッタリング法により、膜厚35nmのIn-Ga-Zn系酸化物(IGZO)を形成する。スパッタリング法で作製するためのターゲットとしては、組成比として、In:Ga:Zn = 3:1:2[原子数比]の金属酸化物ターゲットを用いる。

40

【0125】

また、金属酸化物ターゲットの相対密度(充填率)は90%以上100%以下、好ましくは95%以上99.9%以下である。相対密度の高い金属酸化物ターゲットを用いることにより、成膜した第1の酸化物半導体層123は緻密な膜とすることができる。

【0126】

第1の酸化物半導体層123を、成膜する際に用いるスパッタリングガスは水素、水、水酸基又は水素化物等の不純物が除去された高純度ガスを用いることが好ましい。

【0127】

まず、減圧状態に保持された成膜室内に基板を保持する。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板101に設けられた第1の下地絶縁膜102上に第1の酸化物半導体層123を成膜する。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排

50

気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水（H₂O）等水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該成膜室で成膜した第1の酸化物半導体層123に含まれる不純物の濃度を低減できる。

【0128】

また、第1の下地絶縁膜102と第1の酸化物半導体層123を大気に解放せずに連続的に形成してもよい。第1の下地絶縁膜102と第1の酸化物半導体層123とを大気に曝露せずに連続して形成すると、第1の下地絶縁膜102表面に水素や水分等の不純物が付着することを防止することができる。

【0129】

第1の酸化物半導体層123形成後に、第1の下地絶縁膜102（特に第1の上層下地絶縁膜102b）から第1の酸化物半導体層123へ酸素を供給するための熱処理を行う。熱処理において、加熱温度は150以上450以下、熱処理時間を熱処理時間T1とする。熱処理時間T1は、1時間以上15時間以下とする。

10

【0130】

酸素供給のための熱処理は、第1の酸化物半導体層123の形成後であれば、島状の第1の酸化物半導体層103の形成前に行ってもよく、形成後に行ってもよい。

【0131】

熱処理は大気雰囲気中、又は減圧雰囲気中等で行うことができる。例えば、熱処理装置の一つである電気炉に第1の下地絶縁膜102及び第1の酸化物半導体層123を形成した基板101を導入し、第1の酸化物半導体層123に対して大気雰囲気中200において1時間の加熱処理を行う。

20

【0132】

次いで、第1の酸化物半導体層123を島状に加工して、島状の第1の酸化物半導体層103を形成する。次いで、当該島状の第1の酸化物半導体層103及び第1の下地絶縁膜102を覆う第1の導電膜124を形成する（図2（C）参照）。

【0133】

第1の導電膜124として、上述の第1のソース電極及び第1のドレイン電極である電極104a及び電極104bの材料の膜を、スパッタリング法等で形成する。本実施の形態では、第1の導電膜124として、膜厚30nmのタンゲステン膜をスパッタリング法にて形成する。

30

【0134】

次いで、第1の導電膜124の一部を除去することにより、第1のソース電極及び第1のドレイン電極である電極104a及び電極104bを形成する（図2（D）参照）。より具体的には、第1の導電膜124上にレジストマスクを形成し、当該レジストマスクを用いて、第1の導電膜124の一部を選択的にエッチングする。第1の導電膜124の一部を選択的にエッチング後、当該レジストマスクを除去して、第1のソース電極及び第1のドレイン電極である電極104a及び電極104bを形成する。第1の導電膜124の一部を選択的にエッチングして形成される電極104a及び電極104b間の距離を、第1の距離D1とする。すなわち、第1のソース電極及び第1のドレイン電極である電極104a及び電極104bは、第1の距離D1離れて形成される。

40

【0135】

次いで、第1の酸化物半導体層103、第1のソース電極及び第1のドレイン電極である電極104a及び電極104bを覆って、第1のゲート絶縁膜105を形成する（図2（F）参照）。

【0136】

なお、第1のゲート絶縁膜105の被覆性を向上させるために、第1の酸化物半導体層103表面にも上記平坦化処理を行ってもよい。特に第1のゲート絶縁膜105として膜厚の薄い絶縁層を用いる場合、第1の酸化物半導体層103表面の平坦性が良好であることが好ましい。

50

【0137】

第1のゲート絶縁膜105の厚さは、1nm以上20nm以下とし、スパッタリング法、MBE法、CVD法、パルスレーザ堆積法、ALD法等を適宜用いて形成することができる。また、第1のゲート絶縁膜105は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置、所謂CPスパッタ装置を用いて成膜してもよい。

【0138】

なお、第1のゲート絶縁膜105として、酸化シリコン膜または、酸化窒化シリコンをCVD法で形成する際、グロー放電プラズマの生成は、3MHzから30MHz、代表的には13.56MHz、27.12MHzのHF帯の高周波電力、または30MHzより大きく300MHz程度までのVHF帯の高周波電力、代表的には、60MHzを印加することで行なうことが好ましい。また、1GHz以上のマイクロ波の高周波電力を印加することで行なうこともできる。なお、高周波電力がパルス状に印加されるパルス発振や、連続的に印加される連続発振とすることができる。1GHz以上のマイクロ波を用いて形成した酸化シリコン膜または、酸化窒化シリコンは、第1のゲート絶縁膜105の膜中および第1の酸化物半導体層103との界面の固定電荷が、通常のプラズマCVDで成膜した酸化シリコン膜、または酸化窒化シリコンより少ない。そのためトランジスタの閾値電圧等の電気特性の信頼を高くすることができる。

10

【0139】

また、第1のゲート絶縁膜105は、単層でも積層でもよいが、第1の酸化物半導体層103に近い方から順に、層中(バルク中)に少なくとも化学量論的組成比を超える量の酸素が存在する絶縁層(第1の下層ゲート絶縁膜105a)、及び、水素、水分、水素化物、または水酸化物等の不純物や、酸素に対するバリア性を有する絶縁層(第1の上層ゲート絶縁膜105b)の積層であると、第1の酸化物半導体層103に酸素を供給、かつ、第1の酸化物半導体層103からの酸素の脱離を抑制することができる所以好適である。本実施の形態では、第1のゲート絶縁膜105として、第1の下層ゲート絶縁膜105aと第1の上層ゲート絶縁膜105bの積層を用いる。

20

【0140】

また、第1のゲート絶縁膜105を形成する前に、酸素、一酸化二窒素、もしくは希ガス(代表的にはアルゴン)等を用いたプラズマ処理により、第1の酸化物半導体層103の表面に付着した水分や有機物等の不純物を除去することが好ましい。

30

【0141】

次に、第1のゲート絶縁膜105上に、第1のゲート電極106を形成するための第2の導電膜126を形成する(図2(F)参照)。本実施の形態では、第2の導電膜126として、膜厚20nmの窒化タンタル膜及び膜厚135nmのタンゲステン膜を積層する。

【0142】

次いで、フォトリソグラフィ工程により、第2の導電膜126の一部を選択的にエッチングして、第1のゲート幅G1を有する第1のゲート電極106を形成する(図3(A)参照)。

40

【0143】

なお、特段の説明が無い限り、本明細書で言うフォトリソグラフィ工程には、レジストマスクの形成工程と、導電層または絶縁層のエッチング工程と、レジストマスクの剥離工程が含まれているものとする。

【0144】

第2の導電膜126の一部を選択的にエッチングして、第1のゲート電極106を形成するためのレジストマスクは、印刷法やインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0145】

また、第1のゲート電極106を形成するためのエッチングは、ドライエッチング法でも

50

ウェットエッチング法でもよく、両方を用いてもよい。なお、微細なパターンを形成するためには、異方向エッチングが可能なドライエッチング法を用いることが好ましい。

【0146】

第2の導電膜126のエッチングをドライエッチング法で行う場合は、エッチングガスとしてハロゲン元素を含むガスを用いることができる。ハロゲン元素を含むガスの一例としては、塩素(Cl₂)、三塩化硼素(BCl₃)、四塩化珪素(SiCl₄)もしくは四塩化炭素(CCl₄)等を代表とする塩素系ガス、四フッ化炭素(CF₄)、六フッ化硫黄(SF₆)、三フッ化窒素(NF₃)もしくはトリフルオロメタン(CHF₃)等を代表とするフッ素系ガス、臭化水素(HBr)または酸素を適宜用いることができる。また用いるエッチング用ガスに不活性ガスを添加してもよい。また、ドライエッチング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節する。

10

【0147】

次に、第1のゲート絶縁膜105及び第1のゲート電極106を覆って、第1の層間絶縁膜107及び第2の層間絶縁膜108を形成する(図3(B)参照)。以上のようにして、第1のトランジスタ100が作製される。

20

【0148】

図3(B)に示す第1のトランジスタ100では、第1のソース電極及び第1のドレイン電極のある電極104a及び電極104bとの距離である第1の距離D1は、第1のゲート電極106のゲート幅G1よりも短い。そのため、第1のトランジスタ100において、第1のチャネル形成領域の長さL1(チャネル長L1)は、第1のソース電極及び第1のドレイン電極ある電極104a及び電極104bの距離である第1の距離D1と同等である。

30

【0149】

第1の層間絶縁膜107は、第1の上層ゲート絶縁膜105b、第1の下層下地絶縁膜102aと同様の材料及び方法で形成することができる。第1の層間絶縁膜107は、酸化アルミニウム等の、水素、水分、水素化物、または水酸化物等の不純物や、酸素に対するバリア性を有する材料を用いることが好ましい。本実施の形態では、第1の層間絶縁膜107としてスパッタリング法により酸化アルミニウム膜を膜厚70nmの厚さで形成する。さらに、酸化アルミニウムを高密度(密度3.2g/cm³以上、好ましくは3.6g/cm³以上)とすることによって、第1のトランジスタ100に安定な電気特性を付与することができる。膜密度はラザフォード後方散乱法(RBS:Rutherford Backscattering Spectrometry)や、X線反射率測定法(XRR:X-Ray Reflection)によって測定することができる。

30

【0150】

また、第2の層間絶縁膜108は、これまで基板101上に形成された層により生じる凹凸を平坦化できる厚さで形成する。本実施の形態では、第2の層間絶縁膜108としてCVD法により酸化窒化シリコン膜を膜厚460nmの厚さで形成する。

40

【0151】

第2の層間絶縁膜108の形成後、第2の層間絶縁膜108に酸素を供給して第2の層間絶縁膜108を酸素過剰な状態とすると、第2の層間絶縁膜108から第1の酸化物半導体層103へ酸素を供給できるので好適である。

【0152】

第1の層間絶縁膜107及び第2の層間絶縁膜108を形成後、第1の下地絶縁膜102と同様の材料及び同様の工程にて、第2の下地絶縁膜112(第2の下層下地絶縁膜112a及び第2の上層下地絶縁膜112b)を形成する。ただし、上述のように、第1の層間絶縁膜107及び第2の層間絶縁膜108が、第2の下地絶縁膜112(第2の下層下

50

地絶縁膜 112a 及び第 2 の上層下地絶縁膜 112b) として機能するのであれば、第 2 の下地絶縁膜 112 は形成しなくてよい。

【 0153 】

第 2 の下地絶縁膜 112 上に、又は、第 2 の下地絶縁膜 112 を形成しない場合は、第 2 の層間絶縁膜 108 上に、第 2 の酸化物半導体層 133 を形成する(図 3 (B) 参照)。第 2 の酸化物半導体層 133 は、第 1 の酸化物半導体層 123 と同様の材料及び同様の工程で形成すればよい。

【 0154 】

第 2 の酸化物半導体層 133 形成後に、第 2 の下地絶縁膜 112 (特に第 2 の上層下地絶縁膜 112b) から第 2 の酸化物半導体層 133 へ酸素を供給するための熱処理を行う。
10 熱処理において、熱処理温度は 150 以上 450 以下、熱処理時間を熱処理時間 T2 とする。熱処理時間 T2 は、1 時間以上 15 時間以下とする。

【 0155 】

第 1 の酸化物半導体層 123 又は島状の第 1 の酸化物半導体層 103 の熱処理時間は、熱処理時間 T1 及び熱処理時間 T2 の和である。一方、第 2 の酸化物半導体層 133 又は後の工程で形成される島状の第 2 の酸化物半導体層 113 の熱処理時間は、熱処理時間 T2 である。すなわち、第 1 の酸化物半導体層 123 又は島状の第 1 の酸化物半導体層 103 の方が、第 2 の酸化物半導体層 133 又は島状の第 2 の酸化物半導体層 113 よりも熱処理時間が長い。熱処理時間が長いと、層中(バルク中)に少なくとも化学量論的組成比を超える量の酸素が存在する絶縁層(第 1 の酸化物半導体層 123 の場合は第 1 の上層下地絶縁膜 102b 、第 2 の酸化物半導体層 133 の場合は第 2 の上層下地絶縁膜 112b) から供給される酸素の量が増大する。よって、第 1 の酸化物半導体層 123 又は島状の第 1 の酸化物半導体層 103 に供給される酸素の量は、第 2 の酸化物半導体層 133 又は島状の第 2 の酸化物半導体層 113 に供給される酸素の量が多い。トランジスタの活性層として機能する酸化物半導体層に供給される酸素の量が多いと、トランジスタのしきい値電圧のプラス方向へのシフト量が多くなる。これにより、第 1 のトランジスタ 100 のしきい値電圧のプラス方向へのシフト量は、第 2 のトランジスタ 110 よりも多くなる。
20

【 0156 】

酸素供給のための加熱処理は、第 2 の酸化物半導体層 133 の形成後であれば、島状の第 2 の酸化物半導体層 113 の形成前に行つてもよく、形成後に行つてもよい。

【 0157 】

加熱処理は大気雰囲気中、又は減圧雰囲気中等で行うことができる。例えば、加熱処理装置の一つである電気炉に第 2 の酸化物半導体層 133 までの積層構造を形成した基板 101 を導入し、第 2 の酸化物半導体層 133 に対して大気雰囲気中 200 において 5 時間の加熱処理を行う。

【 0158 】

次いで、第 2 の酸化物半導体層 133 を島状に加工して、島状の第 2 の酸化物半導体層 113 を形成する。次いで、当該島状の第 2 の酸化物半導体層 113 に接して第 3 の導電膜 134 を形成する(図 3 (D) 参照)。第 3 の導電膜 134 は、第 1 の導電膜 124 と同様の材料及び同様の工程で形成すればよい。

【 0159 】

次いで、第 3 の導電膜 134 の一部を除去することにより、第 2 のソース電極及び第 2 のドレイン電極である電極 114a 及び電極 114b を形成する(図 4 (A) 参照)。第 3 の導電膜 134 の一部を除去して第 2 のソース電極及び第 2 のドレイン電極である電極 114a 及び電極 114b を形成する方法については、第 1 のソース電極及び第 1 のドレイン電極である電極 104a 及び電極 104b と同様に形成すればよい。第 3 の導電膜 134 の一部を選択的にエッチングして形成される電極 114a 及び電極 114b 間の距離を、第 2 の距離 D2 とする。すなわち、第 2 のソース電極及び第 2 のドレイン電極である電極 114a 及び電極 114b は、第 2 の距離 D2 離れて形成される。

【 0160 】

10

20

30

40

50

次いで、第2の酸化物半導体層113、第2のソース電極及び第2のドレイン電極である電極114a及び電極114bを覆って、第2のゲート絶縁膜115を形成する(図4(B)参照)。第2のゲート絶縁膜115は、第1のゲート絶縁膜105と同様の材料及び同様の工程で形成すればよい。

【0161】

次に、第2のゲート絶縁膜115上に、第2のゲート電極116を形成するための第4の導電膜136を形成する(図4(C)参照)。第4の導電膜136は、第2の導電膜126と同様の材料及び同様の工程で形成すればよい。

【0162】

次いで、フォトリソグラフィ工程により、第4の導電膜136の一部を選択的にエッチングして、第2のゲート幅G2を有する第2のゲート電極116を形成する(図5(A)参照)。第4の導電膜136の一部を選択的にエッチングして、第2のゲート電極116を形成する方法については、第1のゲート電極106と同様の方法で形成すればよい。

10

【0163】

次に、第2のゲート絶縁膜115及び第2のゲート電極116を覆って、第3の層間絶縁膜117及び第4の層間絶縁膜118を形成する(図5(B)参照)。第3の層間絶縁膜117及び第4の層間絶縁膜118は、第1の層間絶縁膜107及び第2の層間絶縁膜108と同様に形成すればよい。以上のようにして、第2のトランジスタ110が作製される。

20

【0164】

図5(B)に示す第2のトランジスタ110では、第2のソース電極及び第2のドレイン電極である電極114a及び電極114bとの距離である第2の距離D2は、第2のゲート電極116のゲート幅G2よりも短い。そのため、第2のトランジスタ110において、第2のチャネル形成領域の長さL2(チャネル長L2)は、第2のソース電極及び第2のドレイン電極である電極114a及び電極114bの距離である第2の距離D2と同等である。

20

【0165】

上述のように第1のトランジスタ100に行われる熱処理時間は、第2のトランジスタ110に行われる熱処理時間よりも長い。これにより、第1のトランジスタ100の第1の酸化物半導体層103に供給される酸素の量が、第2のトランジスタ110の第2の酸化物半導体層113よりも多くなる。そのため、第1のトランジスタ100のしきい値電圧のプラス方向へのシフト量は、第2のトランジスタ110よりも多くなる。一方、第1のトランジスタ100のチャネル長L1は、第2のトランジスタ110のチャネル長L2よりも短い。トランジスタのチャネル長が短くなるほど、トランジスタのしきい値電圧がマイナス方向にシフトする。

30

【0166】

本実施の形態では、熱処理時間が長い第1のトランジスタ100のチャネル長L1を、熱処理時間が短い第2のトランジスタ110のチャネル長L2よりも短くなるように作製する。これにより、第1のトランジスタ100及び第2のトランジスタ110のしきい値電圧を同様にすることができる。よって第1のトランジスタ100及び第2のトランジスタ110の電気的特性を均一化することが可能となる。

40

【0167】

第4の層間絶縁膜118を形成後、第1の層間絶縁膜107、第2の層間絶縁膜108、第2の下地絶縁膜112、第2のゲート絶縁膜115、第3の層間絶縁膜117、及び、第4の層間絶縁膜118それぞれの一部を除去して、第1のゲート電極106に達する開口部を形成する(図示せず)。第4の層間絶縁膜118上に導電膜を形成し、当該導電膜の一部をエッチング等で除去することにより、第4の層間絶縁膜118上に、当該開口部を介して第1のゲート電極106に達する電極109を形成することができる(図1参照)。なお、必要であれば、第4の層間絶縁膜118上に、他の電極と電気的に接続する配線層を設けてもよい。

50

【0168】

なお本実施の形態の第1のトランジスタ100及び第2のトランジスタ110の作製方法において、活性層として機能する酸化物半導体層形成後に、酸化物半導体層に接してソース電極及びドレイン電極を形成するが、本実施の形態はこれに限定されない。当該ソース電極及びドレイン電極を形成後、当該ソース電極及びドレイン電極に接して、当該酸化物半導体層を形成してもよい。

【0169】

さらに階層化を進め3階層以上の多階層の半導体装置を作製する場合には、第4の層間絶縁膜118を形成後、さらに下地絶縁膜を形成し、同様の手順で多階層の半導体装置を作製すればよい。

10

【0170】

本実施の形態により、酸化物半導体トランジスタを三次元的に階層化して積層する半導体装置において、電気特性が均一な酸化物半導体トランジスタを得ることができる。

【0171】

[実施の形態3]

本実施の形態では、実施の形態1及び実施の形態2で述べた半導体装置とは異なる構成を有する半導体装置について述べる。

【0172】

本実施の形態1及び実施の形態2に示す酸化物半導体トランジスタは、ゲート絶縁膜を介して酸化物半導体層の片側にだけ存在するゲート電極を少なくとも有していればよいが、本実施の形態の酸化物半導体トランジスタでは、酸化物半導体層を間に挟んで存在する一对のゲート電極を有していてもよい。酸化物半導体トランジスタが、酸化物半導体層を間に挟んで存在する一对のゲート電極を有している場合、一方のゲート電極には信号線が接続され、他方のゲート電極（バックゲートともいう）は、電気的に絶縁しているフローティングの状態であっても良いし、電位が他から与えられている状態であっても良い。後者の場合、一对の電極に、同じ高さの電位が与えられていてもよいし、バックゲートにのみ接地電位等の固定の電位が与えられていてもよい。バックゲートに与える電位の高さを制御することで、酸化物半導体トランジスタのしきい値電圧を制御することができる。酸化物半導体トランジスタのしきい値電圧を制御することにより、酸化物半導体トランジスタをノーマリオフに維持することが容易となる。

20

【0173】

図6に、図1とは異なる構成を有する半導体装置の断面を示す。図6に示される半導体装置において、第1のトランジスタ120は、図1に示す第1のトランジスタ100に、第1の酸化物半導体層103を挟んで第1のゲート電極106の反対側（基板101側）に別のゲート電極（第1のバックゲート121）を設けたものである。第1のバックゲート121を設けることにより、第1のトランジスタ100のしきい値電圧を制御することがより容易となる。また第1のバックゲート121を設けた場合、第1の下地絶縁膜102（第1の下層下地絶縁膜102a及び第1の上層下地絶縁膜102b）は、ゲート絶縁膜としても機能する。

30

【0174】

また図6に示される半導体装置において、第2のトランジスタ130は、図1に示す第2のトランジスタ110に、第2の酸化物半導体層113を挟んで第2のゲート電極116の反対側（第2の層間絶縁膜108側）に別のゲート電極（第2のバックゲート131）を設けたものである。第2のバックゲート131を設けることにより、第2のトランジスタ130のしきい値電圧を制御することがより容易となる。また第2のバックゲート131を設けた場合、第2の下地絶縁膜112（第2の下層下地絶縁膜112a及び第2の上層下地絶縁膜112b）は、ゲート絶縁膜としても機能する。

40

【0175】

本実施の形態により、酸化物半導体トランジスタを三次元的に階層化して積層する半導体装置において、電気特性が均一な酸化物半導体トランジスタを得ることができる。

50

【0176】

[実施の形態4]

本実施の形態では、実施の形態1乃至実施の形態3とは異なる構成を有する半導体装置について述べる。

【0177】

図7に、図1及び図6とは異なる構成の半導体装置の断面を示す。図1及び図6に示す酸化物半導体トランジスタは、ソース電極及びドレイン電極の距離が、ゲート電極のゲート幅よりも短いので、チャネル形成領域の長さ（チャネル長）は、ソース電極及びドレイン電極間の距離がチャネル長と等しい。一方、図7に示す酸化物半導体トランジスタでは、ゲート電極のゲート幅がソース電極及びドレイン電極の距離よりも短いので、ゲート電極のゲート幅がチャネル長と等しくなる。10

【0178】

上述のように、本明細書中において、酸化物半導体層中のソース電極と接する領域であるソース領域、及び、酸化物半導体層中のドレイン電極と接する領域であるドレイン領域との間の領域で、ゲート電極と重畠する領域を、チャネル形成領域という。本実施の形態において、チャネル形成領域の長さ（チャネル長）とは、ソース電極及びドレイン電極の距離、並びに、ゲート電極のゲート幅のうち、どちらか短い方となる。

【0179】

図7(A)に示す半導体装置において、第1のトランジスタ125は、ゲート幅が第1のソース電極及び第1のドレイン電極である電極104a及び電極104b間の距離よりも短い第1のゲート電極146を有している。第1のトランジスタ125において、チャネル形成領域のチャネル長L3は、第1のゲート電極146のゲート幅と同等である。20

【0180】

また図7(A)に示す半導体装置において、第2のトランジスタ135は、ゲート幅が第2のソース電極及び第2のドレイン電極である電極114a及び電極114b間の距離よりも短い第2のゲート電極156を有している。第2のトランジスタ135において、チャネル形成領域のチャネル長L4は、第2のゲート電極156のゲート幅と同等である。

【0181】

図1に示す第1のトランジスタ100及び第2のトランジスタ110と同様に、図7(A)に示される第1のトランジスタ125のチャネル長L3は、第2のトランジスタ135のチャネル長よりも短い。しかしながら、先に作製される第1のトランジスタ125の熱処理時間は、後に作製される第2のトランジスタ135の熱処理時間よりも長い。これにより、第1のトランジスタ125の第1の酸化物半導体層103に供給される酸素の量が、第2のトランジスタ135の第2の酸化物半導体層113よりも多くなる。そのため、第1のトランジスタ125のしきい値電圧のプラス方向へのシフト量は、第2のトランジスタ135よりも多くなる。これにより、第1のトランジスタ125及び第2のトランジスタ135のしきい値電圧を同様にすることができる。よって第1のトランジスタ125及び第2のトランジスタ135の電気的特性を均一化することが可能となる。30

【0182】

図7(B)に示す第1のトランジスタ127及び第2のトランジスタ137は、それぞれ、図7(A)に示す第1のトランジスタ125及び第2のトランジスタ135にバックゲートを設けた例である。

【0183】

図7(B)に示す第1のトランジスタ127は、第1の酸化物半導体層103を挟んで第1のゲート電極146の反対側（基板101側）に別のゲート電極（第1のバックゲート122）を設けたものである。第1のバックゲート122を設けることにより、第1のトランジスタ127のしきい値電圧を制御することがより容易となる。また第1のバックゲート122を設けた場合、第1の下地絶縁膜102（第1の下層下地絶縁膜102a及び第1の上層下地絶縁膜102b）は、ゲート絶縁膜としても機能する。

【0184】

10

20

30

40

50

図7(B)に示す第2のトランジスタ137は、第2の酸化物半導体層113を挟んで第2のゲート電極156の反対側(第2の層間絶縁膜108側)に別のゲート電極(第2のバックゲート132)を設けたものである。第2のバックゲート132を設けることにより、第2のトランジスタ137のしきい値電圧を制御することがより容易となる。また第2のバックゲート132を設けた場合、第2の下地絶縁膜112(第2の下層下地絶縁膜112a及び第2の上層下地絶縁膜112b)は、ゲート絶縁膜としても機能する。

【0185】

なお、図7(A)及び図7(B)に示す第1の酸化物半導体層103及び第2の酸化物半導体層113それにおいて、チャネル形成領域とソース領域の間の領域、及び、チャネル形成領域とドレイン領域の間の領域をオフセット領域という。

10

【0186】

図7(A)に示す第1のトランジスタ125及び第2のトランジスタ135のそれぞれ、並びに、図7(B)に示す第1のトランジスタ127及び第2のトランジスタ137のそれぞれにおいて、上述のオフセット領域を設けることにより、ゲート電極とソース電極間に生じる寄生容量を低減することができる。また、ゲート電極とドレイン電極間に生じる寄生容量を低減することができる。

【0187】

また、第1の酸化物半導体層103及び第2の酸化物半導体層113それに、第1のゲート電極106及び第2のゲート電極116それをマスクとして、酸化物半導体の導電性を変化させる不純物元素が添加される場合は、ソース領域及びチャネル形成領域との間のオフセット領域、並びに、ドレイン領域及びチャネル形成領域との間のオフセット領域に、自己整合的に低抵抗領域が形成される。当該低抵抗領域が形成されると、第1のトランジスタ125及び第2のトランジスタ135のそれぞれ、並びに、第1のトランジスタ127及び第2のトランジスタ137のそれぞれのオン抵抗を低減し、動作速度を向上させることができる。

20

【0188】

なお本実施の形態では、第1のトランジスタ及び第2のトランジスタと、2つの酸化物半導体トランジスタを積層(集積化)した例について説明したが、酸化物半導体トランジスタの数はこれに限定されない。酸化物半導体トランジスタを3つ以上積層して、多階層の半導体装置を作製する場合は、上階層に設けられる酸化物半導体トランジスタほどチャネル長が長くなるように作製すればよい。

30

【0189】

本実施の形態により、酸化物半導体トランジスタを三次元的に階層化して積層する半導体装置において、電気特性が均一な酸化物半導体トランジスタを得ることができる。

【0190】

[実施の形態5]

本実施の形態では、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限の無い半導体装置(記憶装置)について説明する。

【0191】

図8及び図9に、酸化物半導体とは異なる禁制帯幅を持つ半導体を用いたトランジスタ、及び、酸化物半導体トランジスタを三次元的に階層化して積層する半導体装置の構成を示す。図8に、当該半導体装置の断面図を、図9(A)に当該半導体装置の平面図を、図9(B)に当該半導体装置の回路図をそれぞれ示す。ここで、図8は、図9(A)のA-B及びC-Dにおける断面に相当する。なお、図9(A)においては、図8に示す半導体装置の一部の構成要素の記載を省略している。

40

【0192】

図8に示す半導体装置は、下から順に、酸化物半導体とは異なる禁制帯幅を持つ半導体を用いたトランジスタ(第3のトランジスタ660とする)、酸化物半導体層を用いた第1のトランジスタ100、第3のトランジスタ660と同様の構造を有する第4のトランジスタ670、酸化物半導体層を用い、第1のトランジスタ100よりチャネル長の長い第

50

2 のトランジスタ 110 を積層（集積化）した半導体装置である。

【0193】

図8では、図1に示す第1のトランジスタ100及び第2のトランジスタ110を用いたが、第1のトランジスタ100及び第2のトランジスタ110の代わりに、図6に示す第1のトランジスタ120及び第2のトランジスタ130、図7(A)に示す第1のトランジスタ125及び第2のトランジスタ135、又は、図7(B)に示す第1のトランジスタ127及び第2のトランジスタ137を用いてもよいのは言うでもない。

【0194】

ここで、第3のトランジスタ660の半導体層は、酸化物半導体とは異なる禁制帯幅を持つ半導体で形成される層である。このような半導体として、例えば、シリコンが挙げられる。酸化物半導体層以外の半導体層を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体層を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

【0195】

なお、上記トランジスタは、いずれもnチャネル型トランジスタであるものとして説明するが、pチャネル型トランジスタを用いることができるのではない。また、半導体装置に用いられる材料や半導体装置の構造等、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0196】

図8における第3のトランジスタ660は、酸化物半導体層とは異なる禁制帯幅を持つ半導体層（例えば、シリコン等）を含む基板600に設けられたチャネル形成領域616と、チャネル形成領域616を挟むように設けられた不純物領域620と、チャネル形成領域616上に設けられたゲート絶縁膜608と、ゲート絶縁膜608上に設けられたゲート電極610と、を有する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極との記載には、ソース領域が含まれうる。

【0197】

基板600上には第3のトランジスタ660を囲むように素子分離絶縁層606が設けられており、第3のトランジスタ660を覆うように絶縁層630が設けられている。なお、第3のトランジスタ660において、ゲート電極610の側面に側壁絶縁層（サイドウォール絶縁層）を設け、不純物濃度が異なる領域を含む不純物領域620としてもよい。なお、素子分離絶縁層606は、LOCOS (Local Oxidation of Silicon) や、STI (Shallow Trench Isolation) 等の素子分離技術を用いて形成することができる。

【0198】

単結晶半導体基板を用いた第3のトランジスタ660は、高速動作が可能である。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報（データ）の読み出しを高速に行うことができる。第3のトランジスタ660を覆うように絶縁層を2層形成し、第1のトランジスタ100及び容量素子664の形成前の処理として、該絶縁層2層にCMP処理を施して、平坦化した絶縁層630を形成し、同時にゲート電極610の上面を露出させる。

【0199】

絶縁層630は、代表的には酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化シリコン、窒化酸化アルミニウム等の無機絶縁材料を用いることができる。絶縁層630は、プラズマCVD法又はスパッタリング法等を用いて形成することができる。

【0200】

また、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、等の有機材料を用いるこ

10

20

30

40

50

とができる。また上記有機材料の他に、低誘電率材料（low-k材料）等を用いることができる。有機材料を用いる場合、スピンドルコート法、印刷法等の湿式法によって絶縁層630を形成してもよい。

【0201】

なお、本実施の形態において、絶縁層630として酸化シリコン膜を用いる。

【0202】

絶縁層630表面において、酸化物半導体層644形成領域に、平坦化処理を行うことが好ましい。本実施の形態では、研磨処理（例えばCMP処理）により十分に平坦化した（好ましくは絶縁層630表面の平均面粗さは0.15nm以下）絶縁層630上に酸化物半導体層644を形成する。

10

【0203】

なお不純物領域620は、絶縁層630、後述する第1の下層下地絶縁膜102a、及び、第1の上層下地絶縁膜102bに設けられた開口部を介して、第1の上層下地絶縁膜102b上に設けられた電極653と電気的に接続されている。電極653は、電極104a及び電極104bと同様の材料及び同様の工程にて形成される。

【0204】

第1のトランジスタ100の電極104aと第3のトランジスタ660のゲート電極610は、第1の下層下地絶縁膜102a及び第1の上層下地絶縁膜102bに設けられた開口部を介して電気的に接続されている。

20

【0205】

また、第1の下層ゲート絶縁膜105a、第1の上層ゲート絶縁膜105b、第1の層間絶縁膜107、及び第2の層間絶縁膜108を介して、第1のトランジスタ100の電極104aと重畳する領域には、配線654が設けられており、電極104a、第1の下層ゲート絶縁膜105a、第1の上層ゲート絶縁膜105b、第1の層間絶縁膜107、及び第2の層間絶縁膜108、配線654とによって、容量素子664が構成される。すなわち、第1のトランジスタ100の電極104aは、容量素子664の一方の電極として機能し、配線654は、容量素子664の他方の電極として機能する。なお、容量素子664を設けない構成とすることもできる。

【0206】

第1のトランジスタ100及び容量素子664の上には、第2の酸化物半導体層113を活性層とする第2のトランジスタ110が設けられている。第2のトランジスタ110の電極114bは、第1の下層ゲート絶縁膜105a、第1の上層ゲート絶縁膜105b、第1の層間絶縁膜107、第2の層間絶縁膜108、第2の下層下地絶縁膜112a、及び、第2の上層下地絶縁膜112bに設けられた開口部を介して、第3のトランジスタ660と同様の構造を有する第4のトランジスタ670のゲート電極610と電気的に接続されている。なお、第4のトランジスタ670の構造は第3のトランジスタ660の構造と同様のため、詳細な説明は省略する。

30

【0207】

また、第2の下層ゲート絶縁膜115a、第2の上層ゲート絶縁膜115b、第3の層間絶縁膜117、及び第4の層間絶縁膜118を介して、第2のトランジスタ110の電極114bと重畳する領域には、配線674が設けられており、電極114b、第2の下層ゲート絶縁膜115a、第2の上層ゲート絶縁膜115b、第3の層間絶縁膜117、及び第4の層間絶縁膜118と、配線674とによって、容量素子684が構成される。すなわち、第2のトランジスタ110の電極114bは、容量素子684の一方の電極として機能し、配線674は、容量素子684の他方の電極として機能する。なお、容量素子684を設けない構成とすることもできる。

40

【0208】

また第2のトランジスタ110及び容量素子684上には、絶縁層652が設けられている。また絶縁層652上に必要に応じて配線を設けてよい。

【0209】

50

図8及び図9(A)において、第1のトランジスタ100及び第3のトランジスタ660、並びに、第2のトランジスタ110及び第4のトランジスタ670は、それぞれ、少なくとも一部が重畠するように設けられている。例えば、第3のトランジスタ660のソース領域またはドレイン領域と、第1のトランジスタ100の第1の酸化物半導体層103の一部が重畠するように設けられているのが好ましい。また、例えば、第1のトランジスタ100及び容量素子664が、第3のトランジスタ660の少なくとも一部と重畠するように設けられている。例えば、容量素子664の配線654は、第3のトランジスタ660のゲート電極610と少なくとも一部が重畠して設けられている。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

10

【0210】

以上のような構成とすることで、高速動作性能を有する、酸化物半導体とは異なる禁制帯幅を用いたトランジスタ、及び、オフ電流が極めて小さい、酸化物半導体層を用いたトランジスタとを三次元的に階層化した、低消費電力化が可能な高速動作の半導体装置(記憶装置)を得ることができる。

【0211】

次に、図8及び図9(A)に対応する回路構成の一例を図9(B)に示す。

【0212】

図9(B)において、第1の配線(1st Line)と第3のトランジスタ660のソース電極とは、電気的に接続され、第2の配線(2nd Line)と第3のトランジスタ660のドレイン電極とは、電気的に接続されている。また、第3の配線(3rd Line)と第1のトランジスタ100のソース電極またはドレイン電極の一方とは、電気的に接続され、第4の配線(4th Line)と、第1のトランジスタ100のゲート電極とは、電気的に接続されている。そして、第3のトランジスタ660のゲート電極と、第1のトランジスタ100のソース電極またはドレイン電極の一方は、容量素子664の電極の他方と電気的に接続され、第5の配線(5th Line)と、容量素子664の電極の他方は電気的に接続されている。

20

【0213】

図9(B)に示す半導体装置では、第3のトランジスタ660のゲート電極の電位が保持可能という特徴を生かすことで、次のように、データの書き込み、保持、読み出しが可能である。

30

【0214】

データの書き込み及び保持について説明する。まず、第4の配線の電位を、第1のトランジスタ100がオン状態となる電位にして、第1のトランジスタ100をオン状態とする。これにより、第3の配線の電位が、第3のトランジスタ660のゲート電極、及び容量素子664に与えられる。すなわち、第3のトランジスタ660のゲート電極には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という)のいずれかが与えられるものとする。その後、第4の配線の電位を、第1のトランジスタ100がオフ状態となる電位にして、第1のトランジスタ100をオフ状態とすることにより、第3のトランジスタ660のゲート電極に与えられた電荷が保持される(保持)。

40

【0215】

第1のトランジスタ100のオフ電流は極めて小さいため、第3のトランジスタ660のゲート電極の電荷は長時間にわたって保持される。

【0216】

次にデータの読み出しについて説明する。第1の配線に所定の電位(定電位)を与えた状態で、第5の配線に適切な電位(読み出し電位)を与えると、第3のトランジスタ660のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、第3のトランジスタ660をnチャネル型とすると、第3のトランジスタ660のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値電圧 V_{th_H} は、第

50

3のトランジスタ660のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値電圧 $V_{t h_L}$ より低くなるためである。ここで、見かけのしきい値電圧とは、第3のトランジスタ660を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を $V_{t h_H}$ と $V_{t h_L}$ の中間の電位 V_0 とすることにより、第3のトランジスタ660のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が V_0 ($> V_{t h_H}$)となれば、第3のトランジスタ660は「オン状態」となる。 Low レベル電荷が与えられていた場合には、第5の配線の電位が V_0 ($< V_{t h_L}$)となつても、第3のトランジスタ660は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されているデータを読み出すことができる。

10

【0217】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルのデータのみを読み出せることが必要になる。このようにデータを読み出さない場合には、ゲート電極の状態にかかわらず第3のトランジスタ660が「オフ状態」となるような電位、つまり、 $V_{t h_H}$ より小さい電位を第5の配線に与えればよい。または、ゲート電極の状態にかかわらず第3のトランジスタ660が「オン状態」となるような電位、つまり、 $V_{t h_L}$ より大きい電位を第5の配線に与えればよい。

【0218】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたりデータを保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であつても、長期にわたってデータを保持することが可能である。

20

【0219】

また、本実施の形態に示す半導体装置では、情報（データ）の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報（データ）の書き込みが行われるため、高速な動作も容易に実現しうる。

30

【0220】

上述のように、酸化物半導体トランジスタは、オフ電流が極めて小さいという特徴を有している。このため、酸化物半導体トランジスタをオフ状態とすることで、酸化物半導体トランジスタのソースまたはドレインの一方と電気的に接続されたノードの電荷（データ）を長時間にわたって保持することが可能となる。

【0221】

以上、本実施の形態に示す構成、方法等は、他の実施の形態に示す構成、方法等を適宜組み合わせて用いることができる。

40

【0222】

[実施の形態6]

本実施の形態では、実施の形態5で述べた半導体装置を有するCPU(Central Processing Unit)について、以下に説明する。

【0223】

図11(A)は、CPUの具体的な構成を示すブロック図である。図11(A)に示すCPUは、基板1190上に、ALU1191(ALU: Arithmetic logic unit、演算回路)、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198(Bus

50

I / F)、書き換え可能なROM1199、及びROMインターフェース1189(ROM I / F)を有している。基板1190は、半導体基板、SOI基板、ガラス基板等を用いる。ROM1199及びROMインターフェース1189は、別チップに設けてよい。もちろん、図11(A)に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。

【0224】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

10

【0225】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

【0226】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、及びレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、内部クロック信号CLK2を上記各種回路に供給する。

20

【0227】

図11(A)に示すCPUでは、レジスタ1196に、複数のメモリセルが設けられている。レジスタ1196の複数のメモリセルのそれぞれとして、図9(B)に示した半導体装置を用いることができる。

30

【0228】

図11(A)に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。すなわち、レジスタ1196が有するメモリセルにおいて、位相反転素子によるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。位相反転素子によるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。

【0229】

電源停止に関しては、図11(B)または図11(C)に示すように、メモリセル群と、電源電位VDDまたは電源電位VSSの与えられているノード間に、スイッチング素子を設けることにより行なうことができる。以下に図11(B)及び図11(C)の回路の説明を行う。

40

【0230】

図11(B)に示す半導体装置は、スイッチング素子1141と、メモリセル1142を複数有するメモリセル群1143とを有している。具体的に、各メモリセル1142には、図9(B)に示す半導体装置を用いることができる。メモリセル群1143が有する各メモリセル1142には、スイッチング素子1141を介して、ハイレベルの電源電位VDDが供給されている。さらに、メモリセル群1143が有する各メモリセル1142には、信号INの電位と、ローレベルの電源電位VSSの電位が与えられている。

【0231】

50

図11(B)では、スイッチング素子1141として、酸化物半導体トランジスタを用いており、該トランジスタは、そのゲート電極に与えられる信号S i g Aによりスイッチングが制御される。当該酸化物半導体トランジスタとして、図1に示す第1のトランジスタ100、図1に示す第2のトランジスタ110、図6に示す第1のトランジスタ120、図6に示す第2のトランジスタ130、図7(A)に示す第1のトランジスタ125、図7(A)に示す第2のトランジスタ135、図7(B)に示す第1のトランジスタ127、又は、図7(B)に示す第2のトランジスタ137を用いてもよい。

【0232】

なお、図11(B)では、スイッチング素子1141がトランジスタを一つだけ有する構成を示しているが、特に限定されず、トランジスタを複数有していてもよい。スイッチング素子1141が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていてもよいし、直列に接続されていてもよいし、直列と並列が組み合わされて接続されていてもよい。

10

【0233】

また、図11(B)では、スイッチング素子1141により、メモリセル群1143が有する各メモリセル1142への、ハイレベルの電源電位V D Dの供給が制御されているが、スイッチング素子1141により、ローレベルの電源電位V S Sの供給が制御されてもよい。

20

【0234】

また、図11(C)には、メモリセル群1143が有する各メモリセル1142に、スイッチング素子1141を介して、ローレベルの電源電位V S Sが供給されている、半導体装置の一例を示す。スイッチング素子1141により、メモリセル群1143が有する各メモリセル1142への、ローレベルの電源電位V S Sの供給を制御することができる。

30

【0235】

メモリセル群と、電源電位V D Dまたは電源電位V S Sの与えられているノード間に、スイッチング素子を設け、一時的にC P Uの動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。具体的には、例えば、パーソナルコンピュータのユーザーが、キーボード等の入力装置への情報の入力を停止している間でも、C P Uの動作を停止することができ、それにより消費電力を低減することができる。

30

【0236】

ここでは、C P Uを例に挙げて説明したが、D S P (D i g i t a l S i g n a l P r o c e s s o r)、カスタムL S I、F P G A (F i e l d P r o g r a m m a b l e G a t e A r r a y)等のL S Iにも応用可能である。

40

【0237】

ところで、不揮発性のランダムアクセスメモリとして磁気トンネル接合素子(M T J 素子)が知られている。M T J 素子は、絶縁膜を介して上下に配置している膜中のスピニの向きが平行であれば低抵抗状態、反平行であれば高抵抗状態となることで情報を記憶する素子である。したがって、本実施の形態で示す酸化物半導体等のワイドバンドギャップ半導体を用いたメモリとは原理が全く異なっている。表1はM T J 素子と、本実施の形態に係る半導体装置との対比を示す。

【0238】

【表1】

	スピントロニクス(MTJ素子)	OS/Si	
1) 耐熱性	キュリー温度	プロセス温度500°C (信頼性150°C)	
2) 駆動方式	電流駆動	電圧駆動	
3) 書き込み原理	磁性体の спинの向きを変える	FETのオン／オフ	
4) Si LSI	バイポーラLSI向き (バイポーラは高集積化には不向きなため、高集積化回路ではMOSの方が好ましい。ただし、Wが大きくなる。)	MOSLSI向き	10
5) オーバーヘッド	大きい (ジュール熱が大きいため)	2~3桁以上小さい (寄生容量の充放電)	
6) 不揮発性	スピンを利用	オフ電流が小さいことを利用	
7) 読み出し回数	無制限	無制限	
8) 集積化度(F^2)	$4F^2 \sim 15F^2$	3D化の積層数で決まる (上層OSFET工程のプロセス耐熱性の確保が必要)	
9) 材料	磁性を有する希土類	OS材料	
10) ビットコスト	高い	低い (OSを構成する材料によっては(Inなど)、多少コスト高の可能性有り)	
11) 磁界耐性	弱い	強い	
12) 書き込み電力量	250fJ/bit	0.6fJ/bit	20

【0239】

MTJ素子は磁性材料を使用するためキュリー温度以上にすると磁性が失われてしまうという欠点がある。また、MTJ素子は電流駆動であるため、シリコンのバイポーラデバイスと相性が良いが、バイポーラデバイスは集積化に不向きである。そして、MTJ素子は書き込み電流が微小とはいえ、メモリの大容量化によって消費電力が増大してしまうといった問題がある。

【0240】

原理的にMTJ素子は磁界耐性に弱く強磁界にさらされるとスピンの向きが狂いやすい。また、MTJ素子に用いる磁性体のナノスケール化によって生じる磁化揺らぎを制御する必要がある。

【0241】

さらに、MTJ素子はビット当たりの材料コストから見ても高価である。

【0242】

一方、上述の酸化物半導体等のワイドバンドギャップ半導体を用いたトランジスタは、チャネルを形成する半導体が金属酸化物であること以外は、素子構造や動作原理がシリコンMOSFETと同様である。また、酸化物半導体を用いたトランジスタは磁界の影響を受けず、ソフトエラーも生じ得ないといった特質を有する。このことからシリコン集積回路と非常に整合性が良いといえる。

【0243】

また、上述の酸化物半導体等のワイドバンドギャップ半導体を用いたトランジスタとシリコンを用いたトランジスタを組み合わせるメモリは、表1に示したように、スピントロニクスデバイスに比べて、耐熱性、3D化(三層以上の積層構造化)、磁界耐性、書き込み電力量多くの点で有利である。なお、表1にあるオーバーヘッドの電力とは、複数のプロセッサが一つのロックについてスピンする時に、これらのプロセッサは、ロックについて競い、バスおよびシステム相互接続上で過剰なトラフィックを生成することによってシステム性能を低下させる、所謂オーバーヘッドに消費される電力のことである。

【0244】

このように、スピントロニクスデバイスに比べて有利な点の多い酸化物半導体を用いた半導体装置を利用することで、半導体装置の省電力化が実現可能となる。

10

20

30

40

50

【0245】

以上、本実施の形態に示す構成、方法等は、他の実施の形態に示す構成、方法等を適宜組み合わせて用いることができる。

【0246】**[実施の形態7]**

実施の形態6ではCPUを例に挙げて説明したが、DSP(Digital Signal Processor)、カスタムLSI、FPGA(Field Programmable Gate Array)等のLSIにも応用可能である。本実施の形態においては、トランジスタの階層構造を用いたFPGAに代表されるプログラマブル論理デバイス(Programmable Logic Device:PLD)について説明する。

10

【0247】

PLDは、製造後に購入者や設計者が構成を設定(コンフィギュレーション)することができる集積回路であり、出荷後に部分的に設計を再構築することができる。プログラム可能な論理コンポーネントである論理ブロックを複数有し、これらを相互接続する再構築が可能な配線層を有する。これにより複数の論理ブロックを組み合わせて複雑な論理回路を構成することができ、また再構成することができる。

【0248】

論理ブロックは、例えば、ルックアップテーブル(LUT)等を用いて構成されている。ルックアップテーブルは、入力信号に対して、設定データに応じた演算処理を行い出力信号とする。ここで、設定データは、各論理ブロックに対応して設けられた記憶回路に記憶される。つまり、当該記憶回路に記憶されたデータに応じて、ルックアップテーブルは異なる演算処理を行うことができる。そのため、論理ブロックの機能は、当該記憶回路に特定の設定データを記憶させることで特定することができる。

20

【0249】

上記の当該ルックアップテーブルの設定データ等をコンフィギュレーションデータと呼ぶ。また、各論理ブロックに対応して設けられ、コンフィギュレーションデータを記憶する記憶回路をコンフィギュレーションメモリと呼ぶ。更に、コンフィギュレーションデータをコンフィギュレーションメモリに記憶させることをコンフィギュレーションと呼ぶ。特に、コンフィギュレーションメモリに記憶されたコンフィギュレーションデータを書き換える(更新)することをリコンフィギュレーションとよぶ。PLDをユーザの目的に応じた回路構成に変更することは、所望のコンフィギュレーションデータを作成(プログラム)し、コンフィギュレーションを行うことで実現できる。

30

【0250】

PLDは、一般には、PLDを有する半導体装置の動作を停止した状態でコンフィギュレーションを行う(静的コンフィギュレーション)。一方、PLDの特徴をより活かすため、半導体装置の動作中にコンフィギュレーションを行う(動的コンフィギュレーション)こともできる。

【0251】

PLDは、バグの修正や設計仕様の変更を現場で行うことが可能であり、開発期間や製造期間を短縮することができ、低コストで製造することができる。

40

【0252】

従来のPLD9800は、図12(A)に示すように、格子状に配置された複数の論理ブロック9801、複数の論理ブロック9801間に設けられた縦横に延びる複数の配線9804、及び配線9804の交点に設けられた複数のスイッチ9805とを有する。

【0253】

論理ブロック9801は、基本回路として、例えば図12(B)のような構成を有する。PLDの論理を構成するルックアップテーブル(LUT)9806はSRAM9802を有する。図12(B)に示すルックアップテーブルは4入力1出力の例であり、4ビットの入力から1ビットの出力を得る任意の論理回路を構成することができる。フリップフロ

50

ップ9807は、順序回路を構成し、セレクタ9808は、順序回路動作と組み合わせ回路動作を切り換える。

【0254】

スイッチ9805はトランスマルチプレクタ（アナログスイッチ）等により形成され、論理ブロック9801におけるS R A M 9802のルックアップテーブルによってオン又はオフが決定され、論理ブロック9801の任意の接続を実現する。

【0255】

本実施の形態においては、ルックアップテーブルに用いるS R A M 9802の代わりに、実施の形態5で説明した酸化物半導体トランジスタを用いた記憶装置で構成する。これにより、三次元的に階層化して積層されたP L Dを実現できる。

10

【0256】

従来構造においては、図12（A）に示すように論理ブロックは二次元的に配列していた。このため、論理回路や配線を形成する領域が限られ、論理ブロックに形成することができる機能が制限されていた。このため、より高度な論理回路を論理ブロック内に構成するためには、素子や配線等のさらなる微細化が求められ、コスト増につながっていた。

【0257】

しかし、上述したように、例えばルックアップテーブルに用いるS R A M を酸化物半導体トランジスタに代え、該酸化物半導体トランジスタを上階層に形成すると、その分下階層の領域に付加的な回路構成を配置することが可能になる。

20

【0258】

また、平面的に配置が困難な電気回路を上階層と合わせて作り込むことで、より各階層の回路配置が簡素化され、高密度な集積化を図ることができる。

【0259】

特に、開示される発明の一態様で示すトランジスタの階層構造をP L Dに用いる場合、実施の形態5において説明したような、高速動作性能を有し、酸化物半導体とは異なる禁制帯幅を持つ半導体を用いたトランジスタ、及び、オフ電流が極めて小さい、酸化物半導体を用いたトランジスタとを組み合わせることが好ましい。酸化物半導体膜を用いたトランジスタを2階層以上の多階層構造とすることで、高密度に集積化した論理ブロックを形成することができる。

30

【0260】

以上、本実施の形態に示す構成、方法等は、他の実施の形態に示す構成、方法等を適宜組み合わせて用いることができる。

【0261】

[実施の形態8]

先の実施の形態で説明された半導体装置は、さまざまな電気機器（遊技機も含む）に適用することができる。電気機器としては、テレビ、モニタ等の表示装置、照明装置、デスクトップ型或いはノート型のパーソナルコンピュータ、ワードプロセッサ、D V D (D i g i t a l V e r s a t i l e D i s c) 等の記録媒体に記憶された静止画又は動画を再生する画像再生装置、ポータブルC D プレーヤ、ラジオ、テープレコーダ、ヘッドホンステレオ、ステレオ、コードレス電話子機、トランシーバ、携帯無線機、携帯電話、自動車電話、携帯型ゲーム機、電卓、携帯情報端末、電子手帳、電子書籍、電子翻訳機、音声入力機器、ビデオカメラ、デジタルスチルカメラ、電気シェーバ、電子レンジ等の高周波加熱装置、電気炊飯器、電気洗濯機、電気掃除機、エアコンディショナー等の空調設備、食器洗い器、食器乾燥器、衣類乾燥器、布団乾燥器、電気冷蔵庫、電気冷凍庫、電気冷蔵冷蔵庫、D N A 保存用冷凍庫、煙感知器、放射線測定器、透析装置等の医療機器、等が挙げられる。さらに、誘導灯、信号機、ベルトコンベア、エレベーター、エスカレーター、産業用ロボット、電力貯蔵システム等の産業機器も挙げられる。また、石油を用いたエンジンや、非水系二次電池からの電力を用いて電動機により推進する移動体等も、電気機器の範疇に含まれるものとする。上記移動体として、例えば、電気自動車（E V ）、内燃機関と電動機を併せ持ったハイブリッド車（H E V ）、プラグインハイブリッド車（P H E V ）

40

50

、これらのタイヤ車輪を無限軌道に変えた装軌車両、電動アシスト自転車を含む原動機付自転車、自動二輪車、電動車椅子、ゴルフ用カート、小型又は大型船舶、潜水艦、ヘリコプター、航空機、ロケット、人工衛星、宇宙探査機や惑星探査機、宇宙船が挙げられる。これらの電気機器の具体例を図13に示す。

【0262】

図13(A)は、表示部を有するテーブル9000を示している。テーブル9000は、筐体9001に表示部9003が組み込まれており、表示部9003により映像を表示することが可能である。なお、4本の脚部9002により筐体9001を支持した構成を示している。また、電力供給のための電源コード9005を筐体9001に有している。先の実施の形態に示した多階層の半導体装置は、表示部9003の駆動回路等に適用することができる。

10

【0263】

表示部9003は、タッチ入力機能を有しており、テーブル9000の表示部9003に表示された表示ボタン9004を指等で触ることで、画面操作や、情報を入力することができ、また他の家電製品との通信を可能とする、又は制御を可能とすることで、画面操作により他の家電製品をコントロールする制御装置としてもよい。例えば、イメージセンサ機能を有する半導体装置を用いれば、表示部9003にタッチ入力機能を持たせることができる。

【0264】

また、筐体9001に設けられたヒンジによって、表示部9003の画面を床に対して垂直に立てることもでき、テレビジョン装置としても利用できる。狭い部屋においては、大きな画面のテレビジョン装置は設置すると自由な空間が狭くなってしまうが、テーブルに表示部が内蔵されれば、部屋の空間を有效地に利用することができる。

20

【0265】

図13(B)は、携帯音楽プレーヤであり、本体3021には表示部3023と、耳に装着するための固定部3022と、スピーカ、操作ボタン3024、外部メモリスロット3025等が設けられている。先の実施の形態に示した多階層の半導体装置は、本体3021に内蔵されているメモリやCPU等に適用することができる。

【0266】

さらに、図13(B)に示す携帯音楽プレーヤにアンテナやマイク機能や無線機能を持たせ、携帯電話と連携させれば、乗用車等を運転しながらワイヤレスによるハンズフリーでの会話も可能である。

30

【0267】

図13(C)はコンピュータであり、CPUを含む本体9201、筐体9202、表示部9203、キーボード9204、外部接続ポート9205、ポインティングデバイス9206等を含む。コンピュータは、先の実施の形態に示した多階層の半導体装置は、CPU等に用いることにより作製される。あるいは、本体9201に含まれるメモリ等に、先の実施の形態に示した多階層の半導体装置を適用することができる。

【0268】

図14(A)及び図14(B)は2つ折り可能なタブレット型端末である。図14(A)は、開いた状態であり、タブレット型端末は、筐体9630、表示部9631a、表示部9631b、表示モード切り替えスイッチ9034、電源スイッチ9035、省電力モード切り替えスイッチ9036、留め具9033、操作スイッチ9038、を有する。

40

【0269】

図14(A)及び図14(B)に示すような携帯機器においては、画像データの一時記憶等にメモリとしてSRAMまたはDRAMが使用されている。当該メモリに、先の実施の形態に示した多階層の半導体装置を適用することができる。

【0270】

また、表示部9631aは、一部をタッチパネルの領域9632aとすることができます、表示された操作キー9638にふれることでデータ入力をすることができる。なお、表示部

50

9631aにおいては、一例として半分の領域が表示のみの機能を有する構成、もう半分の領域がタッチパネルの機能を有する構成を示しているが該構成に限定されない。表示部9631aの全ての領域がタッチパネルの機能を有する構成としてもよい。例えば、表示部9631aの全面をキーボードボタン表示させてタッチパネルとし、表示部9631bを表示画面として用いることができる。

【0271】

また、表示部9631bにおいても表示部9631aと同様に、表示部9631bの一部をタッチパネルの領域9632bとすることができる。また、タッチパネルのキーボード表示切り替えボタン9639が表示されている位置に指やスタイラス等でふれることで表示部9631bにキーボードボタン表示することができる。

10

【0272】

また、タッチパネルの領域9632aとタッチパネルの領域9632bに対して同時にタッチ入力することもできる。

【0273】

また、表示モード切り替えスイッチ9034は、縦表示又は横表示等の表示の向きを切り替え、白黒表示やカラー表示の切り替え等を選択できる。省電力モード切り替えスイッチ9036は、タブレット型端末に内蔵している光センサで検出される使用時の外光の光量に応じて表示の輝度を最適なものとすることができる。タブレット型端末は光センサだけでなく、ジャイロ、加速度センサ等の傾きを検出するセンサ等の他の検出装置を内蔵させてもよい。

20

【0274】

また、図14(A)では表示部9631bと表示部9631aの表示面積が同じ例を示しているが特に限定されず、一方のサイズともう一方のサイズが異なっていてもよく、表示の品質も異なっていてもよい。例えば一方が他方よりも高精細な表示を行える表示パネルとしてもよい。

【0275】

図14(B)は、閉じた状態であり、タブレット型端末は、筐体9630、太陽電池9633、充放電制御回路9634、バッテリ9635、DCDCコンバータ9636を有する。なお、図14(B)では充放電制御回路9634の一例としてバッテリ9635、DCDCコンバータ9636を有する構成について示している。

30

【0276】

なお、タブレット型端末は2つ折り可能なため、未使用時に筐体9630を閉じた状態にすることができる。従って、表示部9631a、表示部9631bを保護できるため、耐久性に優れ、長期使用の観点からも信頼性の優れたタブレット型端末を提供できる。

【0277】

また、この他にも図14(A)及び図14(B)に示したタブレット型端末は、様々な情報(静止画、動画、テキスト画像等)を表示する機能、カレンダー、日付又は時刻等を表示部に表示する機能、表示部に表示した情報をタッチ入力操作又は編集するタッチ入力機能、様々なソフトウェア(プログラム)によって処理を制御する機能、等を有することができる。

40

【0278】

タブレット型端末の表面に装着された太陽電池9633によって、電力をタッチパネル、表示部、又は映像信号処理部等に供給することができる。なお、太陽電池9633は、筐体9630の一面又は二面に効率的なバッテリ9635の充電を行う構成とすることができるため好適である。なおバッテリ9635としては、リチウム二次電池を用いると、小型化を図れる等の利点がある。

【0279】

また、図14(B)に示す充放電制御回路9634の構成、及び動作について図14(C)にブロック図を示し説明する。図14(C)には、太陽電池9633、バッテリ9635、DCDCコンバータ9636、コンバータ9637、スイッチSW1乃至SW3、表

50

示部 9 6 3 1 について示しており、バッテリ 9 6 3 5 、 D C D C コンバータ 9 6 3 6 、コンバータ 9 6 3 7 、スイッチ SW 1 乃至 SW 3 が、図 14 (B) に示す充放電制御回路 9 6 3 4 に対応する箇所となる。

【 0 2 8 0 】

まず外光により太陽電池 9 6 3 3 により発電がされる場合の動作の例について説明する。太陽電池で発電した電力は、バッテリ 9 6 3 5 を充電するための電圧となるよう D C D C コンバータ 9 6 3 6 で昇圧又は降圧がなされる。そして、表示部 9 6 3 1 の動作に太陽電池 9 6 3 3 からの電力が用いられる際にはスイッチ SW 1 をオンにし、コンバータ 9 6 3 7 で表示部 9 6 3 1 に必要な電圧に昇圧又は降圧をすることとなる。また、表示部 9 6 3 1 での表示を行わない際には、SW 1 をオフにし、SW 2 をオンにしてバッテリ 9 6 3 5 の充電を行う構成とすればよい。

10

【 0 2 8 1 】

なお太陽電池 9 6 3 3 については、発電手段の一例として示したが、特に限定されず、圧電素子（ピエゾ素子）や熱電変換素子（ペルティイ工素子）等の他の発電手段によるバッテリ 9 6 3 5 の充電を行う構成であってもよい。例えば、無線（非接触）で電力を送受信して充電する無接点電力電送モジュールや、また他の充電手段を組み合わせて行う構成としてもよい。

【 0 2 8 2 】

図 15 (A) において、テレビジョン装置 8 0 0 0 は、筐体 8 0 0 1 に表示部 8 0 0 2 が組み込まれており、表示部 8 0 0 2 により映像を表示し、スピーカ部 8 0 0 3 から音声を出力することが可能である。先の実施の形態に示した多階層の半導体装置を、情報通信を行うための C P U やメモリに適用することが可能である。図 15 (A) では、先の実施の形態に示した多階層の半導体装置を C P U 8 0 0 4 に適用する例を示している。

20

【 0 2 8 3 】

表示部 8 0 0 2 は、液晶表示装置、有機 E L 素子等の発光素子を各画素に備えた発光装置、電気泳動表示装置、D M D (D i g i t a l M i c r o m i r r o r D e v i c e) 、P D P (P l a s m a D i s p l a y P a n e l) 等の、半導体表示装置を用いることができる。

【 0 2 8 4 】

テレビジョン装置 8 0 0 0 は、受信機やモデム等を備えていてもよい。テレビジョン装置 8 0 0 0 は、受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線又は無線による通信ネットワークに接続することにより、一方向（送信者から受信者）又は双方向（送信者と受信者間、あるいは受信者間同士等）の情報通信を行うことも可能である。

30

【 0 2 8 5 】

図 15 (A) において、室内機 8 2 0 0 及び室外機 8 2 0 4 を有するエアコンディショナーは、先の実施の形態に示した C P U を用いた電気機器の一例である。具体的に、室内機 8 2 0 0 は、筐体 8 2 0 1 、送風口 8 2 0 2 、C P U 8 2 0 3 等を有する。図 15 (A) において、C P U 8 2 0 3 が、室内機 8 2 0 0 に設けられている場合を例示しているが、C P U 8 2 0 3 は室外機 8 2 0 4 に設けられていてもよい。あるいは、室内機 8 2 0 0 と室外機 8 2 0 4 の両方に、C P U 8 2 0 3 が設けられていてもよい。先の実施の形態に示した C P U は、酸化物半導体を用いた C P U であるため、耐熱性に優れており、信頼性の高いエアコンディショナーを実現できる。

40

【 0 2 8 6 】

図 15 (A) において、電気冷凍冷蔵庫 8 3 0 0 は、酸化物半導体を用いた C P U を備える電気機器の一例である。具体的に、電気冷凍冷蔵庫 8 3 0 0 は、筐体 8 3 0 1 、冷蔵室用扉 8 3 0 2 、冷凍室用扉 8 3 0 3 、C P U 8 3 0 4 等を有する。図 15 (A) では、C P U 8 3 0 4 が、筐体 8 3 0 1 の内部に設けられている。

【 0 2 8 7 】

図 15 (B) において、電気機器の一例である電気自動車の例を示す。電気自動車 9 7 0

50

0には、二次電池9701が搭載されている。二次電池9701の電力は、制御回路9702により出力が調整されて、駆動装置9703に供給される。制御回路9702は、図示しないROM、RAM、CPU等を有する処理装置9704によって制御される。先の実施の形態に示したCPUを電気自動車9700のCPUに用いることができる。

【0288】

駆動装置9703は、直流電動機若しくは交流電動機単体、又は電動機と内燃機関と、を組み合わせて構成される。処理装置9704は、電気自動車9700の運転者の操作情報（加速、減速、停止等）や走行時の情報（上り坂や下り坂等の情報、駆動輪にかかる負荷情報等）の入力情報に基づき、制御回路9702に制御信号を出力する。制御回路9702は、処理装置9704の制御信号により、二次電池9701から供給される電気エネルギーを調整して駆動装置9703の出力を制御する。交流電動機を搭載している場合は、図示していないが、直流を交流に変換するインバータも内蔵される。

10

【0289】

以上、本実施の形態に示す構成、方法等は、他の実施の形態に示す構成、方法等を適宜組み合わせて用いることができる。

【実施例】

【0290】

図10(A)及び図10(B)に、チャネル長が長い酸化物半導体トランジスタ及びチャネル長の短い酸化物半導体トランジスタにおいて、ゲート電極に印加されるゲート電位Vg及びドレイン電流Idとの関係（以下「Vg - Id特性」という）を示す。

20

【0291】

図10(A)は、チャネル長9.9μm、チャネル形成領域の幅（チャネル幅）10μmの酸化物半導体トランジスタのVg - Id特性を示している。一方、図10(B)は、チャネル長0.25μm、チャネル幅10μmの酸化物半導体トランジスタのVg - Id特性を示している。

20

【0292】

図10(A)で用いた、チャネル長が長い(9.9μm)酸化物半導体トランジスタは、ゲート電位Vgが0Vの時オフ状態であるノーマリオフのトランジスタである。一方、図10(B)で用いた、チャネル長が短い(0.25μm)酸化物半導体トランジスタは、ゲート電位Vgが0Vの時オン状態であるノーマリオンのトランジスタとなる。このように、チャネル長が短くなるほど、しきい値電圧が低くなる。

30

【0293】

以上本実施例により、チャネル長の短いトランジスタは、より低いしきい値電圧を有し、チャネル長の長いトランジスタは、より高いしきい値電圧を有することが確認された。

【符号の説明】

【0294】

100 第1のトランジスタ

101 基板

102 第1の下地絶縁膜

102a 第1の下層下地絶縁膜

40

102b 第1の上層下地絶縁膜

103 第1の酸化物半導体層

104a 電極

104b 電極

105 第1のゲート絶縁膜

105a 第1の下層ゲート絶縁膜

105b 第1の上層ゲート絶縁膜

106 第1のゲート電極

107 第1の層間絶縁膜

108 第2の層間絶縁膜

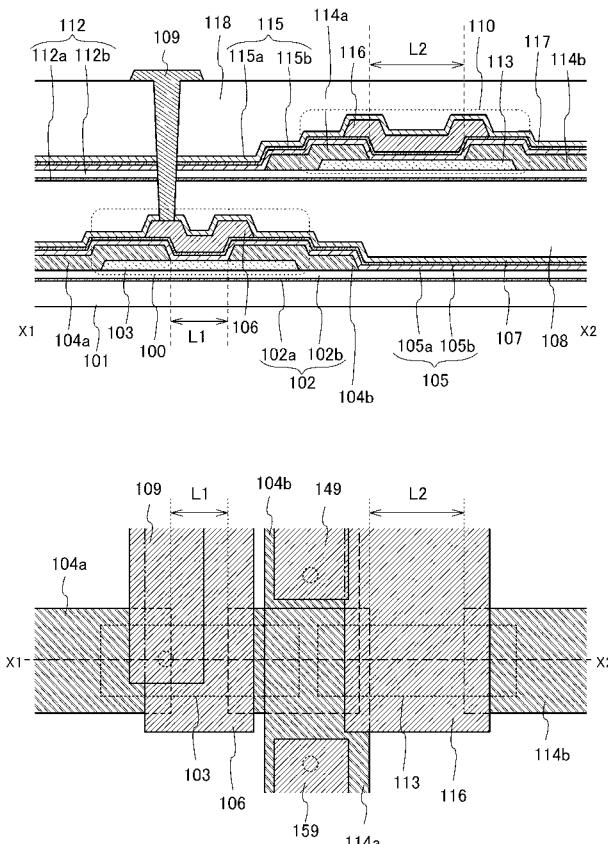
50

1 0 9	電極	
1 1 0	第 2 のトランジスタ	
1 1 2	第 2 の下地絶縁膜	
1 1 2 a	第 2 の下層下地絶縁膜	
1 1 2 b	第 2 の上層下地絶縁膜	
1 1 3	第 2 の酸化物半導体層	
1 1 4 a	電極	
1 1 4 b	電極	
1 1 5	第 2 のゲート絶縁膜	10
1 1 5 a	第 2 の下層ゲート絶縁膜	
1 1 5 b	第 2 の上層ゲート絶縁膜	
1 1 6	第 2 のゲート電極	
1 1 7	第 3 の層間絶縁膜	
1 1 8	第 4 の層間絶縁膜	
1 2 0	第 1 のトランジスタ	
1 2 1	第 1 のバックゲート	
1 2 2	第 1 のバックゲート	
1 2 3	第 1 の酸化物半導体層	
1 2 4	第 1 の導電膜	
1 2 5	第 1 のトランジスタ	20
1 2 6	第 2 の導電膜	
1 2 7	第 1 のトランジスタ	
1 3 0	第 2 のトランジスタ	
1 3 1	第 2 のバックゲート	
1 3 2	第 2 のバックゲート	
1 3 3	第 2 の酸化物半導体層	
1 3 4	第 3 の導電膜	
1 3 5	第 2 のトランジスタ	
1 3 6	第 4 の導電膜	
1 3 7	第 2 のトランジスタ	30
1 4 6	第 1 のゲート電極	
1 4 9	電極	
1 5 6	第 2 のゲート電極	
1 5 9	電極	
6 0 0	基板	
6 0 6	素子分離絶縁層	
6 0 8	ゲート絶縁膜	
6 1 0	ゲート電極	
6 1 6	チャネル形成領域	
6 2 0	不純物領域	40
6 3 0	絶縁層	
6 5 2	絶縁層	
6 5 3	電極	
6 5 4	配線	
6 6 0	第 3 のトランジスタ	
6 6 4	容量素子	
6 7 0	第 4 のトランジスタ	
6 7 4	配線	
6 8 4	容量素子	
1 1 4 1	スイッチング素子	50

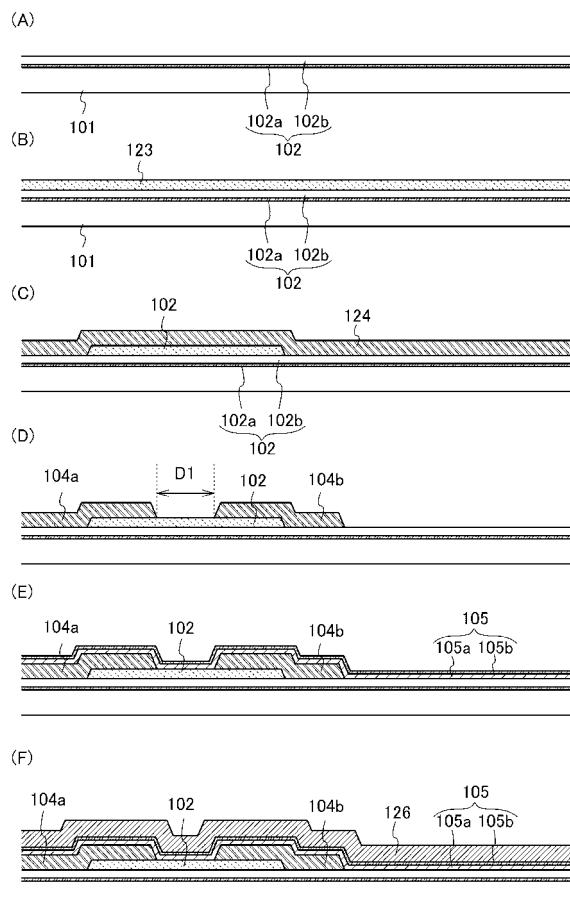
1 1 4 2	メモリセル	
1 1 4 3	メモリセル群	
1 1 8 9	R O M インターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L U コントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタープトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	10
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	R O M	
3 0 2 1	本体	
3 0 2 2	固定部	
3 0 2 3	表示部	
3 0 2 4	操作ボタン	
3 0 2 5	外部メモリスロット	
8 0 0 0	テレビジョン装置	
8 0 0 1	筐体	20
8 0 0 2	表示部	
8 0 0 3	スピーカ部	
8 0 0 4	C P U	
8 2 0 0	室内機	
8 2 0 1	筐体	
8 2 0 2	送風口	
8 2 0 3	C P U	
8 2 0 4	室外機	
8 3 0 0	電気冷凍冷蔵庫	
8 3 0 1	筐体	30
8 3 0 2	冷蔵室用扉	
8 3 0 3	冷凍室用扉	
8 3 0 4	C P U	
9 0 0 0	テーブル	
9 0 0 1	筐体	
9 0 0 2	脚部	
9 0 0 3	表示部	
9 0 0 4	表示ボタン	
9 0 0 5	電源コード	
9 0 3 3	留め具	40
9 0 3 4	表示モード切り替えスイッチ	
9 0 3 5	電源スイッチ	
9 0 3 6	省電力モード切り替えスイッチ	
9 0 3 8	操作スイッチ	
9 2 0 1	本体	
9 2 0 2	筐体	
9 2 0 3	表示部	
9 2 0 4	キー ボード	
9 2 0 5	外部接続ポート	
9 2 0 6	ポインティングデバイス	50

9 6 3 0	筐体	
9 6 3 1	表示部	
9 6 3 1 a	表示部	
9 6 3 1 b	表示部	
9 6 3 2 a	領域	
9 6 3 2 b	領域	
9 6 3 3	太陽電池	
9 6 3 4	充放電制御回路	
9 6 3 5	バッテリ	
9 6 3 6	D C D C コンバータ	10
9 6 3 7	コンバータ	
9 6 3 8	操作キー	
9 6 3 9	キー ボード表示切り替えボタン	
9 7 0 0	電気自動車	
9 7 0 1	二次電池	
9 7 0 2	制御回路	
9 7 0 3	駆動装置	
9 7 0 4	処理装置	
9 8 0 0	P L D	
9 8 0 1	論理ブロック	20
9 8 0 2	S R A M	
9 8 0 4	配線	
9 8 0 5	スイッチ	
9 8 0 6	L U T	
9 8 0 7	フリップフロップ	
9 8 0 8	セレクタ	

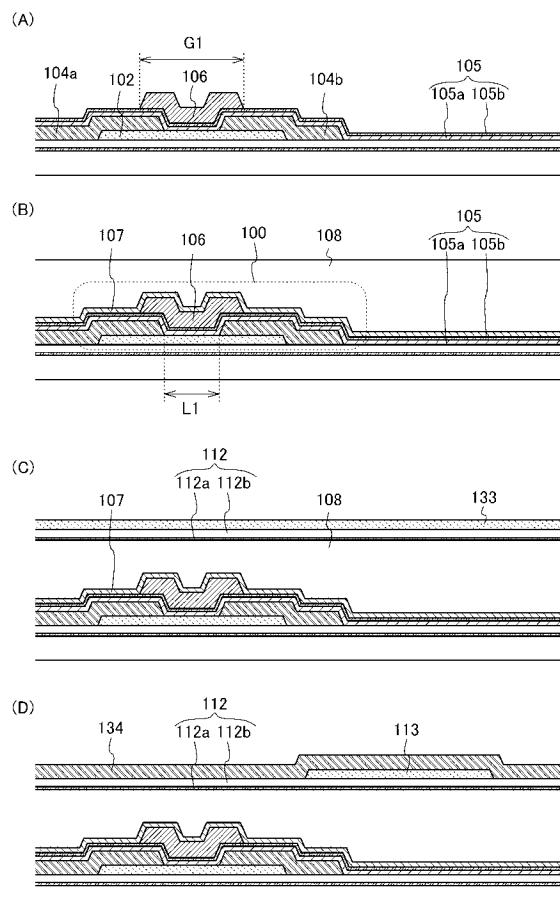
【図1】



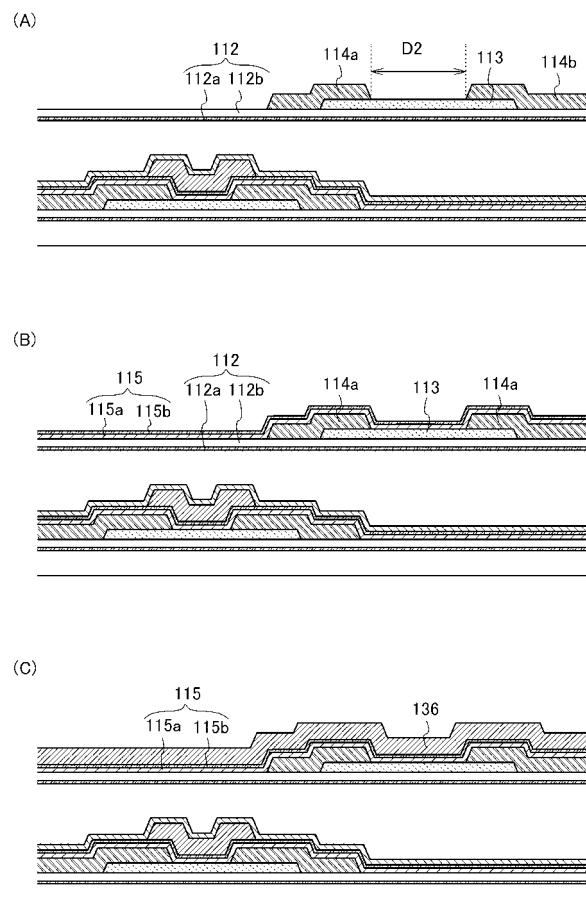
【図2】



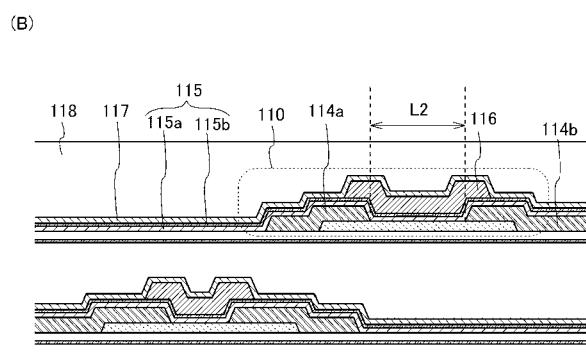
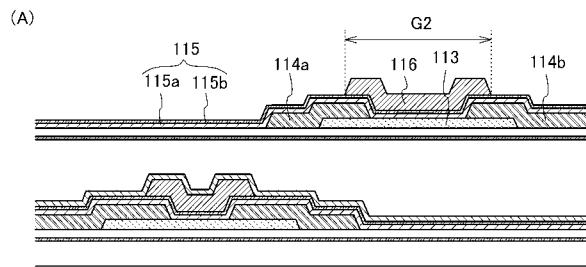
【図3】



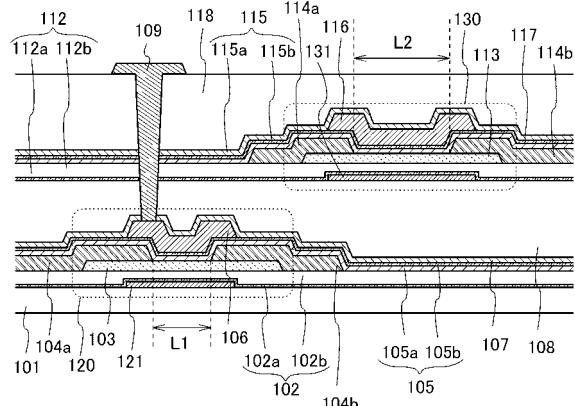
【図4】



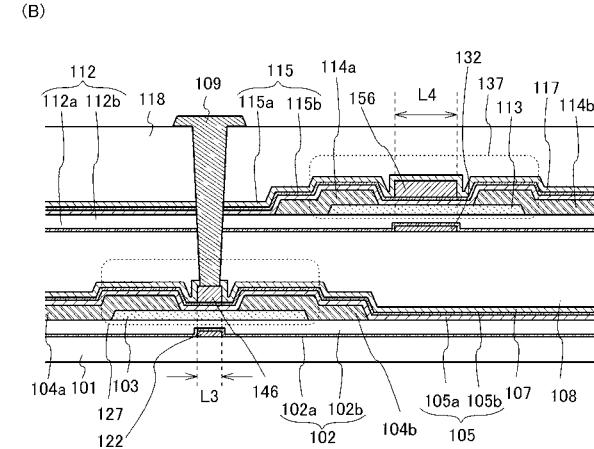
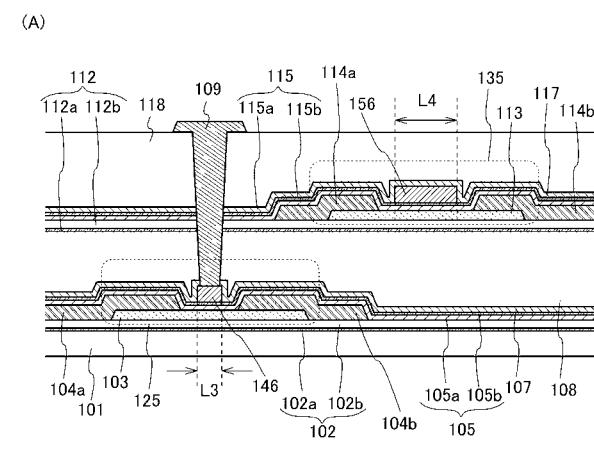
【 义 5 】



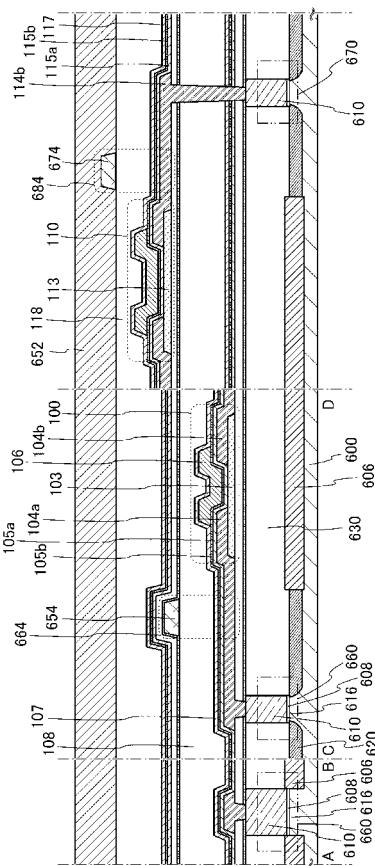
【図6】



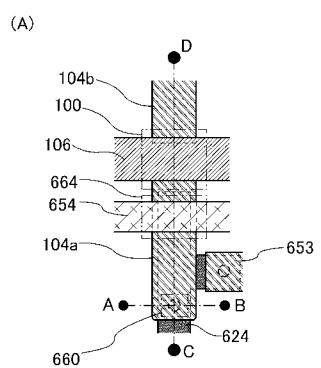
【 図 7 】



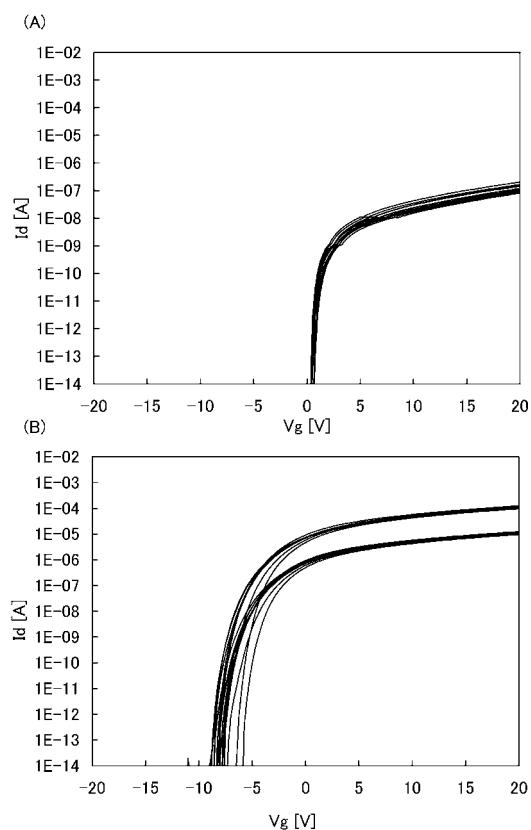
【 四 8 】



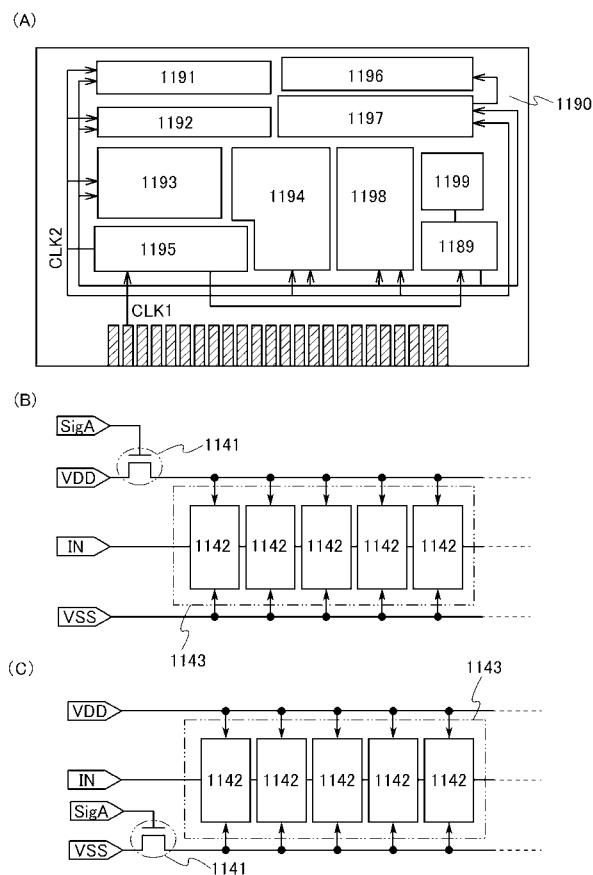
【図9】



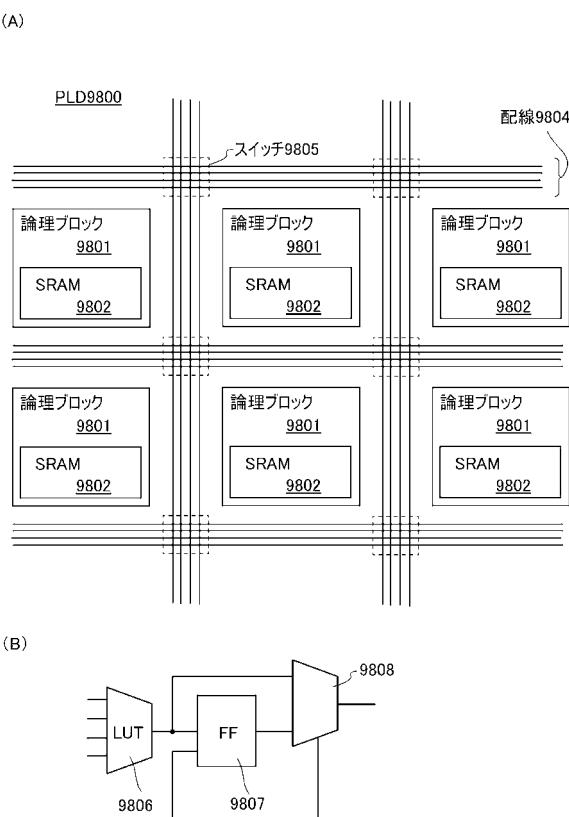
【図10】



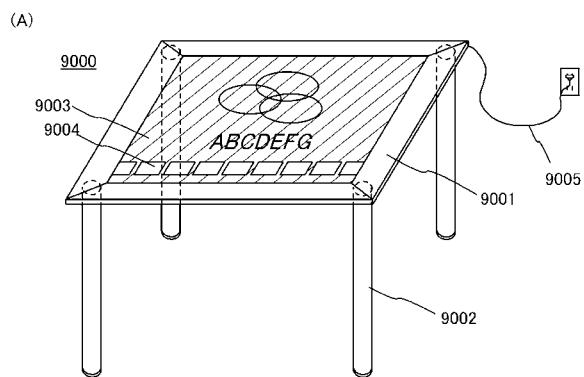
【図11】



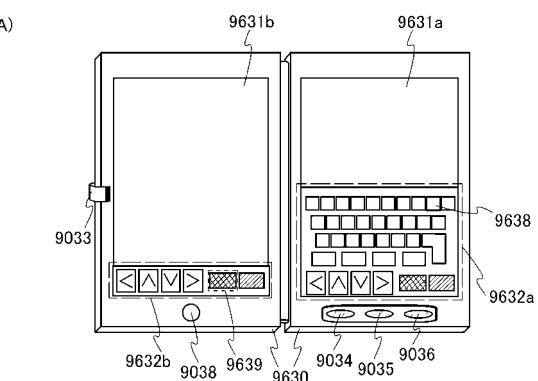
【図12】



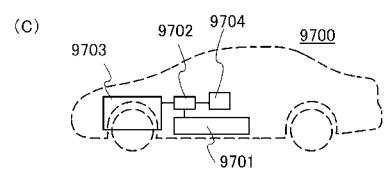
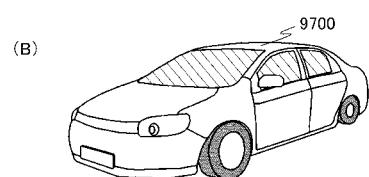
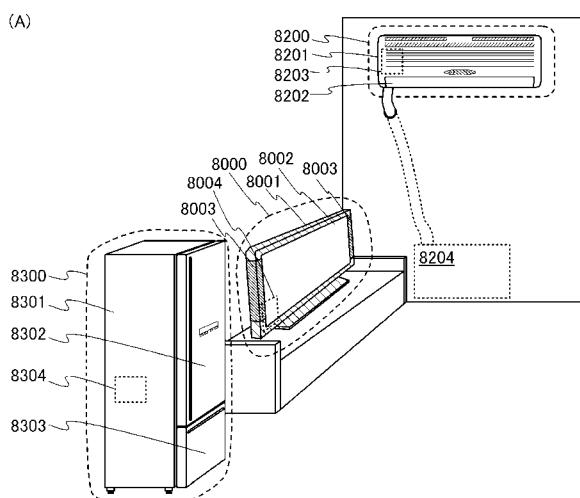
【図13】



【図14】



【図15】



フロントページの続き

(51) Int.CI.	F I	テーマコード(参考)
H 0 1 L 27/115 (2006.01)	H 0 1 L 29/78	3 7 1
H 0 1 L 29/788 (2006.01)		
H 0 1 L 29/792 (2006.01)		

F ターム(参考) 5F110 AA08 BB05 BB11 CC01 CC02 DD05 DD06 DD12 DD13 DD15
DD17 DD25 EE01 EE02 EE03 EE04 EE05 EE06 EE07 EE08
EE09 EE14 EE30 EE38 FF02 FF04 FF09 FF27 FF28 FF29
FF35 GG01 GG02 GG12 GG13 GG15 GG17 GG25 GG28 GG29
GG33 GG34 GG43 GG57 GG58 HK01 HK02 HK03 HK04 HK07
HK21 HK22 HK33 HL06 HM14 NN03 NN04 NN22 NN23 NN27
NN28 NN33 NN34 NN35 NN36 NN40 NN62 NN65 NN66 NN72
NN74 NN78 QQ09 QQ19