

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92134753

※申請日期：92.12.9

※IPC 分類：H01L 29/76

壹、發明名稱：(中文/英文)

(2006.01)

改良橫向雙層散佈金屬氧化物半導體設計之積體電路結構

INTEGRATED CIRCUIT STRUCTURE WITH IMPROVED LDMOS DESIGN

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商菲爾恰爾半導體公司

FAIRCHILD SEMICONDUCTOR CORPORATION

代表人：(中文/英文)

保羅 D. 戴爾瓦 PAUL D. DELVA

住居所或營業所地址：(中文/英文)

美國緬因州南波特蘭市 MS 35-4E 朗西路 82 號

82 RUNNING HILL ROAD, MS 35-4E, SOUTH PORTLAND, ME
04106, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

參、發明人：(共 1 人)

姓名：(中文/英文)

蔡軍 JUN CAI

住居所地址：(中文/英文)

美國緬因州史加伯羅市隆米多路 20 號

20 LONGMEADOW ROAD, SCARBOROUGH, MAINE 04074,
U.S.A.

國籍：(中文/英文)

中國 P.R.C.

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☒ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2002年12月10日；10/315,517

2.

3.

4.

5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本項發明乃有關半導體電路，更詳細地說，是整合數位與功率功能和方式，以製造這類裝置的電路。

【先前技術】

裝置整合的標準繼續升高且積體電路上功率裝置的性能需求也更高了。當數位電路零件變得更精巧時，有必要縮小橫向功率裝置的整體尺寸，但是，當尺寸變小時，很難維持電壓操作幅度及公差來反轉偏斜的狀況。

這些問題尤其是與消費者手提電子產品市場有關，對性能要求需要越來越多的周邊功能，最常見的是包括顯示器驅動程式、RF 連繫裝置，以及電池操作。要符合持續增加的消費者需求，手提式設計必須更有效率地進行電能管理以及功率轉換功能。

功率積體電路，例如用於攜帶式電源供應器，特色為併入高電壓電晶體及低電壓電路以有效地管理電池使用與電能轉換，由於功率裝置的性能需求（例如，迅速切換速度、低導通電阻以及在切換操作期間低功率損耗），許多功率積體電路選擇的功率裝置是橫向雙層散佈金屬氧化物半導體電晶體，在比較兩極電晶體裝置時，橫向雙層散佈金屬氧化物半導體電晶體可提供相當低的導通電阻及高耐電壓，但是，為了要進一步縮小裝置尺寸並改良操作效率，還是要用具限制性的裝置來維持或改良這些裝置特性。

藉由增強橫向雙層散佈金屬氧化物半導體電晶體導電路徑

內摻雜雜質的等級，例如漂流區域，或縮短漂流區域的長度，可進一步減少導通電阻，但這類方法已折衷對其他裝置性能方面的衝擊，舉例而言，可達到較高摻雜物濃度的低電阻可降低裝置耐電壓特性，漂流區域長度的縮短可能導致近閘極處磁場濃度較高並導致耐電壓較低。

由於當前消費者市場對積體電路的需求結合了增加的裝置密度以及較低的功率損耗，例如，同時延長電池壽命並降低整體成本，較精細的線幾何改良代表了一項技術挑戰，以發展設計導通電阻與耐電壓裝置內在限制周邊的技術，一般而言，在降低功率消散時，有必要在本件發明技術中改良這類裝置的安全操作範圍。

【發明內容】

根據本件發明，一半導體裝置包含一對半導體層，在半導體層表面有一對分隔場效性閘極結構，每個閘極結構包含一面向另一閘極結構的第一端，第一導電類型之第一與第二分隔源極區在閘極結構間的半導體夾層中形成，第一端之間表面的特色為第一區尺寸，每一源極區與第一端自動對準，第二導電類型之輕摻雜的本體區在半導體層內形成，並從源極區下延伸至閘極結構下，第二導電類型的加重摻雜區延伸到第一端之間的表面內，該區沿著表面有一小於第一區尺寸的區域尺寸。

另有一半導體積體電路，包含一橫向雙層散佈金屬氧化物半導體電晶體裝置結構，包括一半導體層，在半導體層上有一對分隔場效性閘極結構，第一導電類型之第一與第二

分隔源極區在閘極結構間的半導體夾層中形成，其中形成一第二導電類型的第一區，第二導電類型之輕摻雜本體區在半導體層中形成，從源極區向下延伸至閘極結構下，並延伸一可變深度至半導體層內，本體區特色為在第一區下延伸的主體區的深度有彎曲。

根據本件發明，形成一半導體裝置之一種方法包括在半導體層表面上形成一對分隔場效性閘極結構的第一遮罩層，每一閘極結構包括面向另一閘極結構的第一端，含有第二遮罩層的第一導電類型之第一與第二分隔源極區在閘極結構間的半導體夾層中形成，在第一與第二分隔源極區間的表面範圍有一第一區尺寸，在半導體中會形成一個第二導電類型的輕摻雜主體區，在源極區下方擴張，第二導電類型的加重摻雜區在半導體層內形成之表面，有第一區尺寸，與加重摻雜區相對應的部份有一表面，區域尺寸小於第一區尺寸。

【實施方式】

在下列說明中所述之尺寸等同於相關圖式，在截面圖中，寬度或橫向尺寸被用於表示圖式的水平尺寸，而高度或深度則表示圖式的垂直尺寸，為了將本件發明明具體實施例與先前已知設計互相比較，可假設所有被圖解的裝置均以相同的光刻性能組裝，附隨的具體實施例被設定一特定尺寸，例如，直線寬度幾何 0.35 微米。

在此佈值摻雜雜質或擴散，以便與一特徵或相關結構裝置自動對準，該佈值或擴散乃使用該結構作為遮罩元件，舉例而言，佈值的摻雜雜質，不論在熱活化擴散前後，將顯

示出與結構或相關特徵有關的特色，雖未在此特別敘述，要注意與本件發明相關的摻雜雜質在製造期間能承受各種熱活化擴散以獲得可預測的擴散後外觀特性，另外要注意當一半導體層被敘述或圖解為位於另一半導體層之上時，可能有同樣相關的另一中間層（未圖示）或是本件發明兩種以上具體實施例之一。

一種傳統常見的先前技術橫向裝置設計，如第 1 圖所示，係在半導體材料的 N-上層內形成，該圖說明一對分隔的閘極 2，各別在一熱氧化層 4 上形成，而且是在 N-層的表面，在兩個閘極間的間隔超過 3 微米，透過 N-層的表面並介於閘電極之間藉由佈值而形成一個 P-型本體 6，隔離用側護壁元件在每個閘極 2 的側邊上形成，有一對汲極閘極裝置側護壁 7 如圖所示，一對源極側護壁（未圖示）在不同的閘極 2 的對側形成，因此高摻雜雜質濃度源極區 8 以與閘極 2 互補的關係被佈值。

與形成源極區 8 的佈值同時發生，N+汲極裝置 10 被界定為與閘極 2 為分隔關係且透過仿造的光阻通道。要降低源極阻抗，源極側護壁通常會被移開（如圖所示）並降低濃度 N-型佈值物，建立與閘極 2 自動對準的輕摻雜源極延伸區，同時，留著汲極閘極裝置側護壁 7，N-型佈值物降低每個漂流區域內的電阻率，舉例而言，以每個閘極 2 間 N-上層的量及一個相關的汲極 10，材料電阻率的這項修正有助於在橫跨漂流區域的電場內建立更大的一致性（舉例而言，從閘極到汲極裝置的電流路徑）。

佈值第 1 圖裝置內的區域稍後由圖 1A 中所示三個個別的接點接觸，注意 N+源極區不在側護壁的限制之內，為了接觸兩個 N+源極區與 P+本體繫結，先前技術裝置使用三個個別接點，每個接點範圍有一個受程序參數所限的最小尺寸，每個接點的接觸範圍必須夠寬以便為隔離材料做準備，例如矽二氧化物，會將接點相互隔離，如此一來，先前技術之裝置在閘極的相對側護壁間有至少三個最小接點，該裝置 N 源極範圍下的來源接點範圍與汲極裝置及 P 本體阻抗極大。

本件發明克服了先前技術的缺點，方法是將來源與本體繫結的接點數從三個減到一個，這樣會縮小閘極結構間的間隔，縮小源極區的尺寸並因而縮小下面的汲極裝置與 p 本體阻抗，因此，使用本件發明的裝置有一個較大的安全操作範圍。

根據本件發明的一項具體實施例中之一對橫向雙層散佈金屬氧化物半導體電晶體 20，如第 2A 圖至第 2F 圖中積體電路結構 25 的部份截面圖中所示，該實施例相繼說明 N-場通道橫向雙層散佈金屬氧化物半導體電晶體之相關步驟，以 0.35 微米直線寬度幾何為基礎，以 P-型半導體層 30 開始，有一上表面 32，在上表面內形成眾多 N-井區 34，本圖解預期一個互補性金屬氧化物半導體積體電路同時具有 N-場通道與 P-場通道橫向雙層散佈金屬氧化物半導體電晶體裝置，沿著表面 32 形成，但為了說明，這對 N-場通道裝置 20 的結構在 N-井區中形成，P-場通道裝置在半

導體層 30 的 P-型區內形成，半導體層 30 可在下底層基質上進行磊晶成長（未圖示）。

當在 N-型井區 34 內形成標準的橫向雙層散佈金屬氧化物半導體電晶體，圖示中只顯示相關的 N-井區部份，參考圖 2A 與 2B，一對分隔閘極 38 通常在表面 32 上形成，每個閘極 38 包括一面對其他閘極 38 的末端 40a，且每個電極尚包括一遙遙相對其他閘極 38 的末端 40b，請參考第 2B 圖，在末端 40a 間較佳的寬度大約是 1 微米。

在半導體層 30 的表面 32 上放置及模組樣式化光阻 44 的佈值物遮罩層，在圖解的閘極 38 的末端 40a 間有一個元件 48，以製造兩個分隔開口 52，寬度各約 0.3 微米，適合接收源極佈值物，阻抗元件 48，寬 0.4 微米較好，被用於將開口 52 之間的表面 32 的充分區 50 與接收佈值隔離，以確保在橫向分佈後摻雜區之分離，將光阻 44 放在適當位置，沿著表面 32 進行一個異質摻雜佈值以提供一個淺的 N-型源極摻雜，以及在 N-井區中提供一個較深的 P-型摻雜以形成本體區，然後光阻 44 即被移除，請參照第 2B 圖，在擴散之後，形成源極 56 與及本體區，較佳的情況是，源極佈值是以 $3 \times 10^{15} \text{cm}^{-2}$ (砷) 在 30 KeV 進行，而本體區佈值是以 $5 \times 10^{13} \text{cm}^{-2}$ 到 $1 \times 10^{14} \text{cm}^{-2}$ (硼) 在 60 KeV 進行，傳統常見的 N-型汲極裝置 60，形成個別的光罩以及佈值步驟，亦如圖所示，汲極 60 可與其他互補性金屬氧化物半導體裝置沿著表面 32 的其他部份共同形成。

在異質摻雜步驟以建立源極與本體區佈值後，側護壁元件

64 在閘極末端 40a 上形成，而且，可能如圖 2C 中所示，也在閘極末端 40b 上形成，在各異性蝕刻之後側護壁元件 64 可藉由堆積隔離材料來形成，例如矽氧化物或矽氮化物。

讓側護壁元件 64 靠著每個閘極末端 40a，從閘極末端 40b 延伸到汲極裝置 60 的表面區域由模組樣式化光阻 66 加以防護，請參照圖 2D，其中表面 32 暴露的部份在 80 KeV， $1 \times 10^{15} \text{cm}^{-2}$ to $3 \times 10^{15} \text{cm}^{-2}$ (硼 or BF₂) 上接收 P+ 佈值物 68，以形成一本體繫結 70，本體繫結延伸過源極區並與鄰接的側護壁元件 64 自動對準，也就是說，本體繫結在被源極佔據的表面 32 下的區域內套疊，根據本件發明，本項安置允許有關本體繫結佈值物的源極佈值橫向互補，例如使源極 56 與本體繫結 70 互補，在這種結構中（在擴散後），當本體繫結與每個鄰接側護壁元件 64 自動對準時，每個源極與鄰接閘極末端 40a 自動對準，較佳的情況是，佈值物 68 被用於同時形成積體電路結構 25 上數位電路的互補性金屬氧化物半導體 P+源極/汲極裝置散佈。

如圖 2D 中所示，完全成形的本體繫結 70 進到半導體層 30 內，例如，進到井區 34 與本體 58 內，在源極區 56 下。這個結構的特徵是每個源極 56 的顯著部份位於覆蓋的閘極側護壁元件 64 下，當套疊的主體繫結也是電阻率低且橫向尺寸小時，維持一個極為加重的淨摻雜濃度，在除去光阻遮罩 66 後，金屬如鎢、或鈦、或鈷等金屬，均被置入並起反應而形成閘極矽化物 74 以及源極/本體繫結矽化

物 76，第 2E 圖說明了矽化過程後的結構 25。

一個改良橫向雙層散佈金屬氧化物半導體電晶體裝置已如上說明，產生的裝置已改良導通電阻及安全的操作範圍，本件發明的一項特徵是第 2A 圖與第 2B 圖的異質摻雜佈置物，以一個遮罩層提供源極區 56 與本體區 58，因此減少為了形成具改良性能特性之橫向雙層散佈金屬氧化物半導體電晶體所需的遮罩數。尤其，異質摻雜特性導致分隔源極區 56 的結合，大約是區域 50 及在區域 50 下的本體區深度的曲折 76，這兩種特徵均可歸因於異質摻雜過程中遮罩元件 48 的存在，因此，在閘極下進到半導體層的本體區的深度較第一區下的深度為深。

本件發明的另一個特徵是源極區，特色是介於第二導電類型重摻雜區與鄰接閘極結構下方半導體層之間有一相當持續的橫向摻雜，例如，電極 38，也就是說，源極區可能由一純導電類型的單一摻雜佈置物形成，然而，在過去，源極結構已要求重摻雜區（例如，第 1 圖的區域 8）與加重摻雜區（例如，第 1 圖的延伸區 14）的組合以有效降低裝置導通電阻，根據本件發明所架構裝置之特定低導通電阻，來自於縮小的裝置單元尺寸，例如，如圖式所示因可自動對準而可達成。一個安全操作範圍可因下列幾點而改良：縮小本體阻抗、源極空間範圍變小、源極接合點較淺以及主體區的逆增式摻雜分佈，例如，區域 58。

要有效地使尺寸縮小以改良操作性能，閘極側護壁元件，例如，鄰接閘極末端 40a 與 40b 的閘極側護壁 64，提供

一個完善的直線幾何遮罩以使源極範圍變小，此外，自動對準矽化(矽化物)方法能使接點阻抗變低，因為在重要接點範圍如主體繫結區與源極區沒有重摻雜互補，本體繫結 70 與相關矽化物層 76 均與源極區 56 自動對準，本件發明確認 N+源極佈值物不必是相同大小及汲極佈值物。

本件發明在閘極上使用閘極側護壁以從 P+繫結佈值物來做為 N+源極佈值物之遮罩，就本件發明而言，N+源極佈值在閘極側護壁前完成，本件發明方法使用一種佈值 N+源極與 P-本體的遮罩步驟，本件發明排除先前技術所需分隔 P-本體遮罩步驟，本件發明提供一個單一的矽化物接點，自動對準兩個 N+來源、P+本體繫結、重疊的 N+源極與 P+本體繫結，接點數從三個（先前技術）減少到一個，兩閘極之間的單一接點提供一個密集裝置且該裝置有一個較寬的安全操作範圍，因為它的小源極已減少洩漏且其下的 p-本體阻抗比先前技術裝置較大的源極來的小。

改良的半導體裝置的一種構造與方法已說明如上，標準具體實施例已被揭露，而本件發明其他具體實施例，包含不同的半導體組成的結構，隔離與導電材料將顯而易見。此外，雖然本件發明也僅被用於說明一組導電類型裝置，本件發明也可以由反向導電裝置加以思考，由於本件發明可能以各種方式進行，本件發明範圍僅限於以下所聲明的申請專利範圍。

【圖式簡單說明】

在圖式中看到下列敘述時，將能更充份地了解本項發明，其中：

第 1 圖表示先前技術的半導體裝置局部圖；

第 1A 圖表示先前技術的裝置接點的進一步圖面；以及

第 2A 圖到第 2E 圖提供局部圖，以截面圖方式，根據本件發明各種階段構造的半導體裝置。

根據一般常規，圖式中各種圖解並未照比例繪製，只是用於強調與本件發明相關的特徵，此外，各層實際上的大小與厚度可能與標示的比例不符，但圖式與本文中之參考元件符號均一致。

元件符號說明表

2	閘極
4	熱氧化層
6	P-型本體
7	閘極側護壁
8	源極區
10	N-汲極裝置
20	橫向雙層散佈金屬氧化物半導體電晶體；N-場通道裝置
25	積體電路結構
30	半導體層
32	半導體層上表面
34	N-型井區
38	閘極；電極
40a	閘極的末端
40b	閘極的末端
44	光阻

- 48 阻 抗 元 件 ； 遮 罩 元 件
- 50 充 分 區
- 52 開 口
- 56 源 極 區
- 58 本 體 區
- 60 汲 極 裝 置
- 64 閘 極 側 護 壁 元 件
- 66 模 組 樣 式 化 光 阻 ； 光 阻 遮 罩
- 68 佈 植 物
- 70 本 體 繫 結
- 74 閘 極 矽 化 物
- 76 本 體 繫 結 矽 化 物 ； 曲 折

伍、中文發明摘要：

一種半導體積體電路，包括一橫向雙層散佈金屬氧化物半導體電晶體設計裝置結構，包括一半導體層，在半導體層的上表面之上有一對分隔場效閘極結構，第一導電類型的第一與第二分隔源極區在閘極結構間的半導體層內形成，第二導電類型的第一區在其間形成，第二導電類型之一輕摻雜本體區在半導體層內形成，從源極區下延伸到閘極結構之下，並延伸一可變深度進入半導體層內，該本體區的特色為本體區深度彎曲延伸到第一區下。

陸、英文發明摘要：

A semiconductor integrated circuit including an LDMOS device structure comprises a semiconductor layer with a pair of spaced-apart field effect gate structures over an upper surface of the semiconductor layer. First and second spaced-apart source regions of a first conductivity type are formed in a portion of the layer between the pair of gate structures with a first region of a second conductivity type formed there between. A lightly doped body region of a second conductivity type is formed in the semiconductor layer, extending from below the source regions to below the gate structures and extending a variable depth into the semiconductor layer. This body region is characterized by an inflection in depth in that portion of the body region extending below the first region.

拾、申請專利範圍：

1. 一種改良橫向雙層散佈金屬氧化物半導體電晶體設計之積體電路結構裝置，包括：

一半導體層；

在半導體層表面上一對分隔場效性閘極結構，每個閘極結構包含一個面向其他閘極結構的第一端；

在該對閘極結構間的半導體夾層內，第一導電類型的第一與第二端區隔源極區，有一個第一區尺寸的第一端間的表面，且每個源極區與第一端其中之一自動對準；

各位於不同之一源極區域上的第一與第二閘極側護壁，該第一與第二側閘極側護壁貼著一不同之該端部位以蓋住靠近該側護壁之該源極區域，界定在側壁之間之一本體繫結區；

半導體層內第二導電類型之一輕摻雜的本體區，從源極區下延伸到閘極結構之下；而且

第二導電類型之一加重摻雜區的本體繫結區，延伸到第一端間的表面，並且延著表面有一區域尺寸，較第一區尺寸為小，並位於隔開之該第一與第二源極區域之間，又與該場效性閘極結構側向隔開，重摻雜質之第一型導電性的第一與第二汲極區；

輕摻雜質之第一型導電性的第一與第二漂流區域，位於汲極區域與本體區域之間以提供自第一與第二源極至第一與第二汲極間，經過第一與第二漂流區域及在輕摻雜質之本體區域內誘發之通道的串聯電流路徑。

2. 如申請專利範圍第 1 項所述之裝置，該裝置中之第一與第二源極區各在一個不同的閘極結構端下延伸。
3. 如申請專利範圍第 1 項所述之裝置，該裝置中之源極區藉由在一對源極區之間的表面放置一遮罩層元件而相互隔開。
4. 如申請專利範圍第 1 項所述之裝置，該裝置中尚包含第一與第二閘極側護壁，各自放在一個不同源極區上，並靠著一個不同的第一端。
5. 如申請專利範圍第 4 項所述之裝置，該裝置中之第二導電類型輕摻雜的本體區是與第一和第二閘極側護壁自動對準的。
6. 如申請專利範圍第 4 項所述之裝置，該裝置中之第一與第二側閘極護壁間半導體層間之上的表面包含矽化物。
7. 如申請專利範圍第 1 項所述之裝置，該裝置中之第二導電類型輕摻雜的本體區之設置作用如同本體繫結。
8. 如申請專利範圍第 5 項所述之裝置，該裝置中之第二導電類型輕摻雜的本體區之設置作用如同本體繫結。
9. 如申請專利範圍第 1 項所述之裝置，該裝置中之表面至少有些部份具有一第一區尺寸包括矽化物。
10. 如申請專利範圍第 1 項所述之裝置，該裝置中之源極區是 N-型的導電率。
11. 如申請專利範圍第 1 項所述之裝置，該裝置中之第一與第二源極區係由佈值一單一摻雜物所形成。
12. 如申請專利範圍第 1 項所述之裝置，該裝置中之每一源

極區特色為介於第二導電類型的重摻雜區之間有一連續不斷的橫向摻雜雜質，且半導體層在鄰接的閘極結構下。

13. 如申請專利範圍第 1 項所述之裝置，該裝置中之第一與第二分隔源極區與輕摻雜的本體區形成一使用同一光罩的異質摻雜佈值。

14. 如申請專利範圍第 8 項所述之裝置，該裝置中之輕摻雜本體區被佈值的電能較源極區多。

15. 如申請專利範圍第 1 項所述之裝置，該裝置中之閘極結構間的距離是 1 微米或更少。

16. 如申請專利範圍第 1 項所述之裝置，該裝置尚包括在形成源極區的對側上的每個閘極結構側，同一導電類型的汲極區與源極區相同。

17. 一種形成改良橫向雙層散佈金屬氧化物半導體電晶體設計之積體電路結構裝置的方法，包括：

提供一半導體材料層；

在一半導體層表面形成一對分隔場效性閘極結構的第一遮罩層，每個結構包含一面向另一閘極結構的第一端；

在半導體層內形成第一導電類型的第二遮罩層及第一與第二分隔源極區，且介於第一與第二分隔源極區之間在一對閘極結構間有一具第一區尺寸的表面產生區；

在半導體夾層中亦形成第二導電類型的第二遮罩層輕摻雜本體區，並在源極區下延伸；

在各源極區域上，並貼著該第一端部位之一形成一閘極側護壁，且

在有第一區尺寸表面的半導體層內形成第二導電類型的加重摻雜區，該部份的表面尺寸小於第一區尺寸。

18. 如申請專利範圍第 17 項所述之方法，該方法中之源極區由第一導電類型的一個單一佈值步驟形成。
19. 如申請專利範圍第 17 項所述之方法，該方法中之每個源極區會與不同閘極結構端自動對準而形成。
20. 如申請專利範圍第 19 項所述之方法，該方法中之源極區藉由介於源極區之間的半導體層表面放置遮罩元件使彼此形成分隔。
21. 如申請專利範圍第 17 項所述之方法，該方法中之源極區各自在閘極結構端之下延伸。
22. 申請專利範圍第 17 項之方法，尚包含：在該加重摻雜質區域形成前，貼著各該第一端部位且蓋住各源極區域形成一閘極側護壁，故該加重摻雜質區域之形成自行對齊該閘極側護壁。
23. 一種包含橫向雙層散佈金屬氧化物半導體電晶體設計之積體電路結構裝置，包括：
 - 一半導體層；
 - 在半導體層上表面上有一對分隔場效性閘極結構；
 - 在閘極結構間之半導體層內之第一導電類型的第一與第二分隔源極區，其中有一第二導電類型的第一區；而且
 - 在半導體層中有一第二導電類型的輕摻雜本體區，從源極區下延伸至閘極結構下，並延伸一可變深度到半導體層內，特色為延伸第一區下的本體區的本體深度的彎

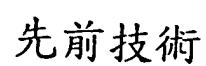
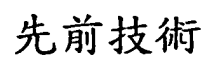
曲；

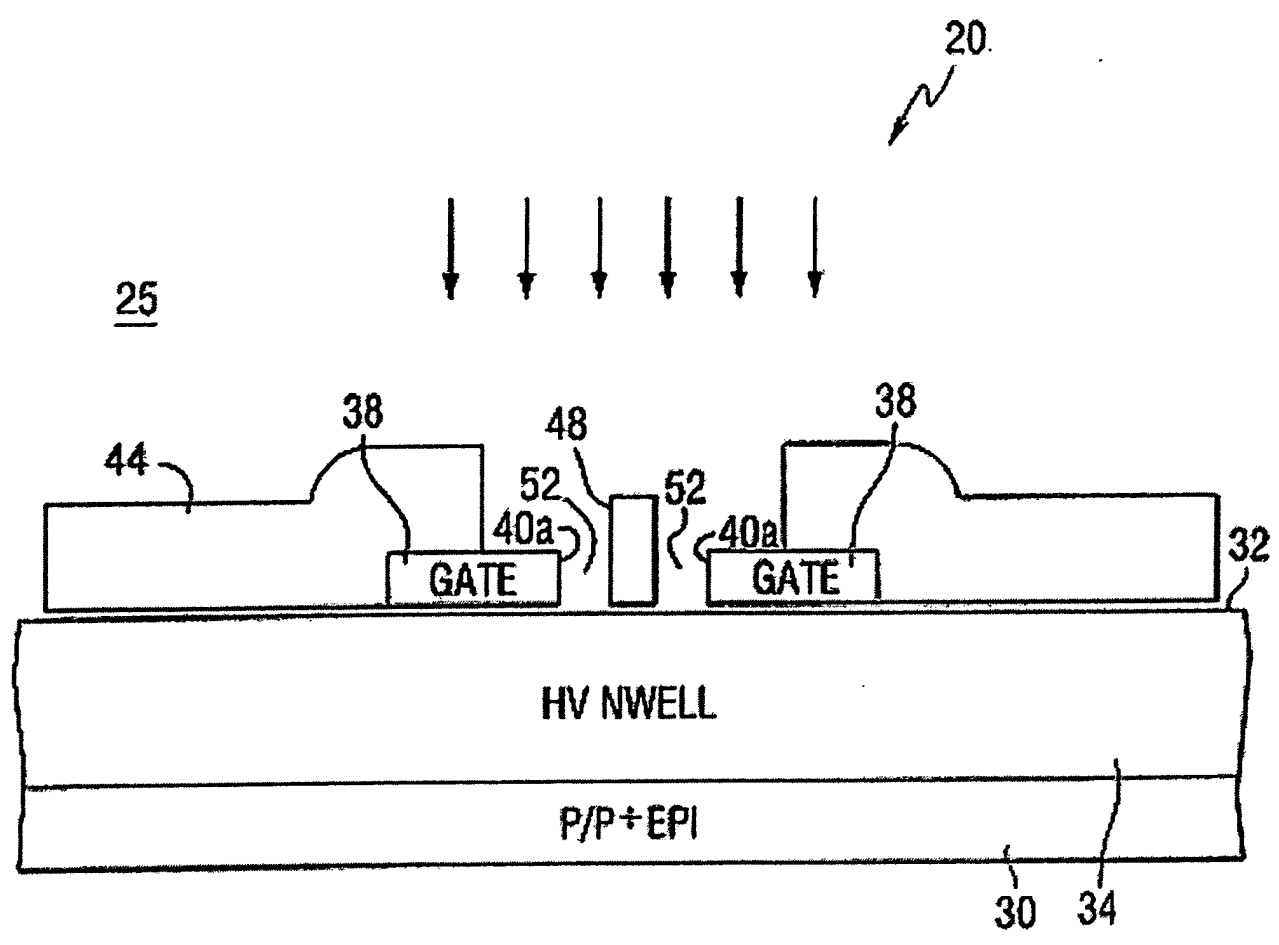
在半導體層中有一第二導電類型的輕摻雜本體區，從源極區下延伸至閘極結構下，並延伸一可變深度到半導體層內，特色為延伸第一區下的本體區的本體深度的彎曲；

與該場效性閘極結構側向隔開之第一型導電性之重摻雜汲極區；

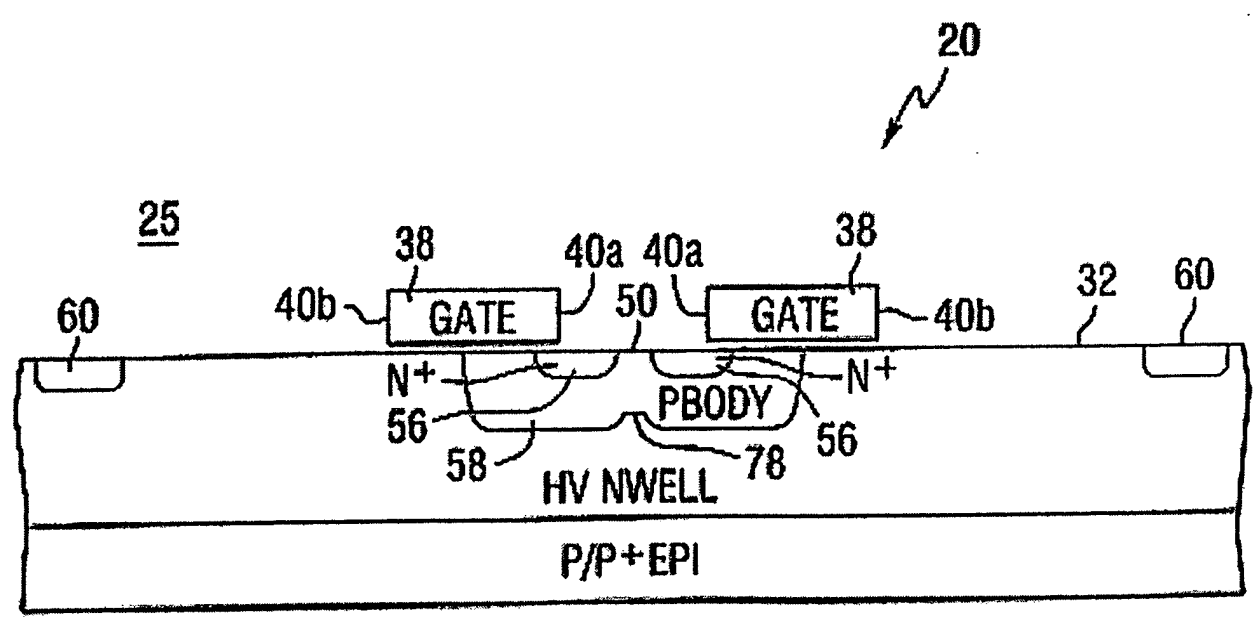
在該汲極區域與該本體區域之間的第一型導電性之輕摻雜質漂流區域。

24. 如申請專利範圍第 23 項所述之裝置，該裝置中進到半導體層的本體區的深度與第一區下的深度比較時，在閘極結構下是相當的深。
25. 如申請專利範圍第 23 項所述之裝置，該裝置中尚包括一第二導電類型之重摻雜區，延伸入介於閘極結構間的半導體層。
26. 申請專利範圍第 23 項之裝置，尚包含：
一與重摻雜源極區及本體繫結區共同接觸的矽化物接點。

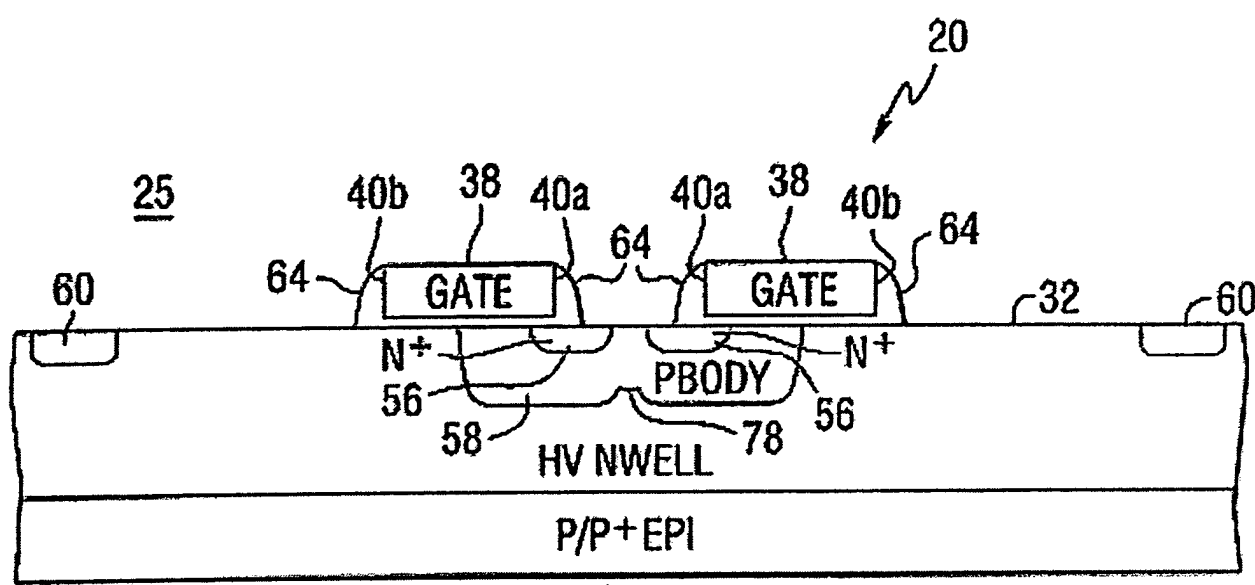




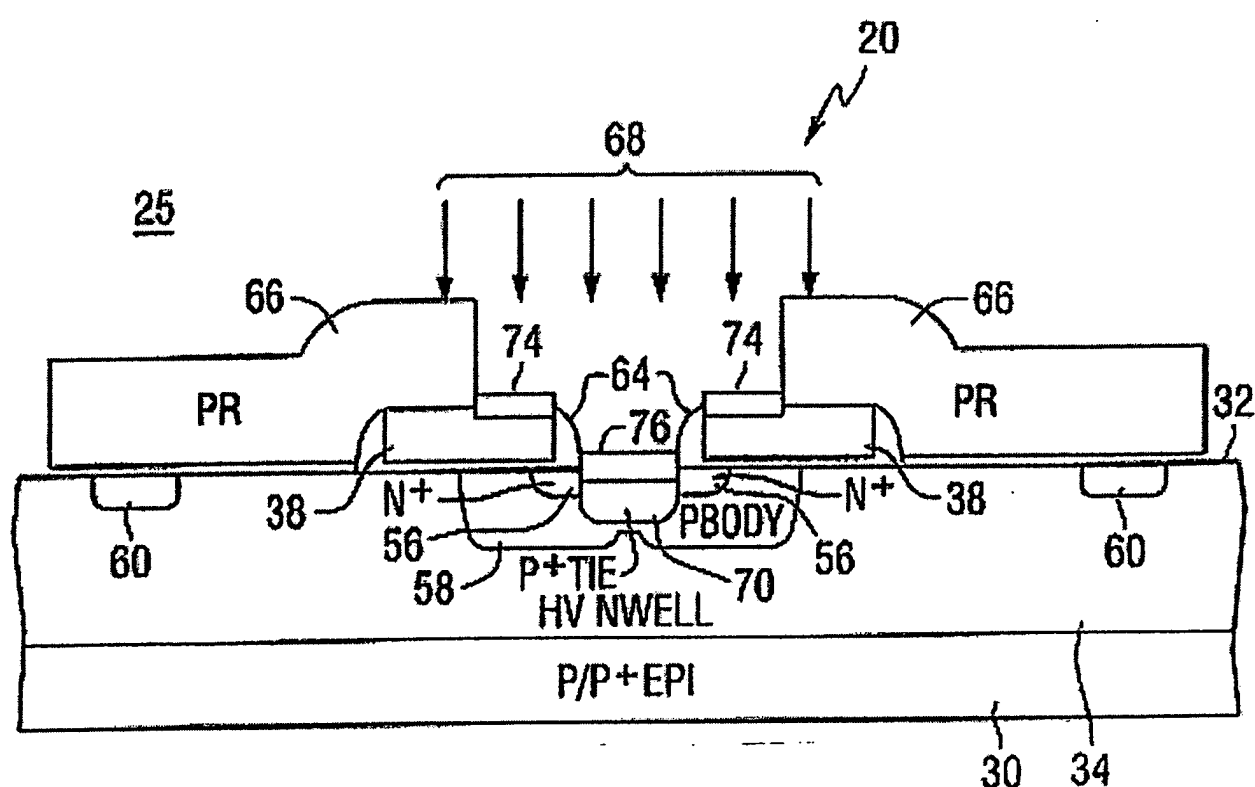
第 2A 圖



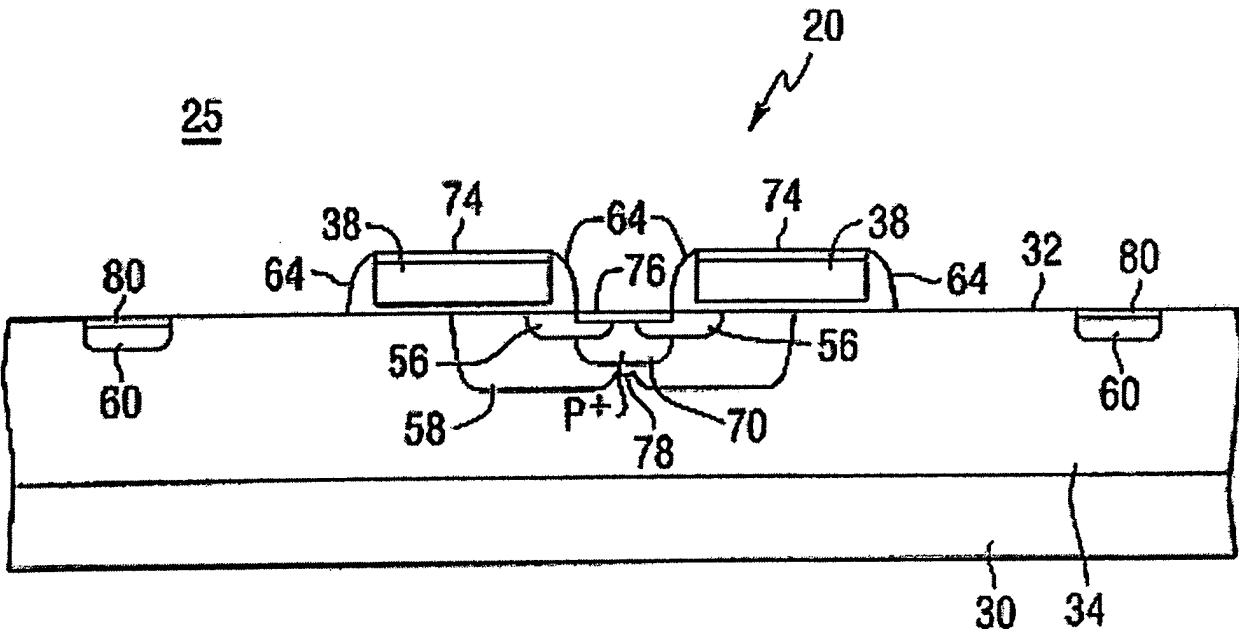
第 2B 圖



第 2C 圖



第 2D 圖



第 2E 圖

4P

柒、指定代表圖：

(一)本案指定代表圖為：第(2A)圖。

(二)本代表圖之元件代表符號簡單說明：

20 橫向雙層散佈金屬氧化物半導體電晶體

25 積體電路結構

30 半導體層

32 半導體層上表面

34 N-型井區

38 閘極

40a 閘極的末端

44 光阻

48 阻抗元件

52 開口

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：