

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5926996号
(P5926996)

(45) 発行日 平成28年5月25日(2016.5.25)

(24) 登録日 平成28年4月28日(2016.4.28)

(51) Int.Cl.

F 1

H01L 21/336	(2006.01)	H01L	29/78	619A
H01L 29/786	(2006.01)	H01L	29/78	618B
H01L 21/8242	(2006.01)	H01L	29/78	617T
H01L 27/108	(2006.01)	H01L	29/78	617U
H01L 21/8247	(2006.01)	H01L	29/78	627F

請求項の数 4 (全 50 頁) 最終頁に続く

(21) 出願番号

特願2012-70515(P2012-70515)

(22) 出願日

平成24年3月27日(2012.3.27)

(65) 公開番号

特開2012-216806(P2012-216806A)

(43) 公開日

平成24年11月8日(2012.11.8)

審査請求日

平成27年2月26日(2015.2.26)

(31) 優先権主張番号

特願2011-81859(P2011-81859)

(32) 優先日

平成23年4月1日(2011.4.1)

(33) 優先権主張国

日本国(JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

審査官 岩本 勉

最終頁に続く

(54) 【発明の名称】半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

ゲート電極を形成し、

第1の酸化アルミニウム膜(AlO_{x_1} ($x_1 > 3/2$))および前記第1の酸化アルミニウム膜上の酸化シリコン膜(SiO_y ($y > 2$))よりなるゲート絶縁膜を形成し、酸化物半導体膜を形成し、

ソース電極層およびドレイン電極層を形成し、

第2の酸化アルミニウム膜(AlO_{x_2} ($x_2 > 3/2$))を前記酸化物半導体膜上に形成し、

前記ゲート絶縁膜と前記酸化物半導体膜を第1のインライン装置にて大気暴露させることなく連続的に形成した後、前記第1のインライン装置にて第1の熱処理および加酸素化処理を行い、

前記第2の酸化アルミニウム膜を第2のインライン装置にて大気暴露されることなく形成した後、前記第2のインライン装置にて第2の熱処理を行うことを特徴とする半導体装置の作製方法。

【請求項 2】

ゲート電極を形成し、

第1の酸化アルミニウム膜(AlO_{x_1} ($x_1 > 3/2$))と前記第1の酸化アルミニウム膜上の第1の酸化シリコン膜(SiO_{y_1} ($y_1 > 2$))よりなるゲート絶縁膜を形成し、

10

20

酸化物半導体膜を形成し、

ソース電極層とドレイン電極層を形成し、

第2の酸化シリコン膜(SiO_{y_2} ($y_2 > 2$))と前記第2の酸化シリコン膜上の第2の酸化アルミニウム膜(AlO_{x_2} ($x_2 > 3/2$))よりなる保護層を前記酸化物半導体膜上に形成し、

前記ゲート絶縁膜と前記酸化物半導体膜を第1のインライン装置にて大気暴露させることなく連続的に形成した後、前記第1のインライン装置にて第1の熱処理および加酸素化処理を行い、

前記保護層を第2のインライン装置にて大気暴露されることなく連続的に形成した後、
前記第2のインライン装置にて第2の熱処理を行うことを特徴とする半導体装置の作製方法。 10

【請求項3】

ゲート電極を形成し、

第1の酸化アルミニウム膜(AlO_{x_1} ($x_1 > 3/2$))と前記第1の酸化アルミニウム膜上の第1の酸化シリコン膜(SiO_{y_1} ($y_1 > 2$))よりなるゲート絶縁膜を形成し、

酸化物半導体膜を形成し、

ソース電極層とドレイン電極層を形成し、

第2の酸化シリコン膜(SiO_{y_2} ($y_2 > 2$))と、前記第2の酸化シリコン膜上の有機物と金属酸化物の混合膜または透明導電酸化膜または窒素を含む酸化物半導体膜である薄膜Xと、薄膜X上の第2の酸化アルミニウム膜(AlO_{x_2} ($x_2 > 3/2$))による保護層を前記酸化物半導体膜上に形成し、 20

前記ゲート絶縁膜と前記酸化物半導体膜を第1のインライン装置にて大気暴露させることなく連続的に形成した後、前記第1のインライン装置にて第1の熱処理および加酸素化処理を行い、

前記保護層を第2のインライン装置にて大気暴露されることなく連続的に形成した後、
前記第2のインライン装置にて第2の熱処理を行うことを特徴とする半導体装置の作製方法。

【請求項4】

請求項1乃至請求項3において、 30

前記第2の熱処理を275以上325以下にて行うことを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

半導体装置および半導体装置の作製方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用して機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路(IGC)や画像表示装置(表示装置)のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0004】

例えば、トランジスタの活性層として、電子キャリア濃度が $10^{18}/\text{cm}^3$ 未満であるインジウム(Indium)、ガリウム(Gallium)、および亜鉛(Zinc)を含む非晶質酸化物を用いたトランジスタが開示されている(特許文献1参照)。 50

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2006-165528号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかし、酸化物半導体を有する半導体デバイスにおいて、該酸化物半導体が酸素欠損や水分、水素などを有すると、その電気伝導度が変化する恐れがある。このような現象は、酸化物半導体を用いたトランジスタにとって電気的特性の変動要因となる。

10

【0007】

このような問題に鑑み、酸化物半導体を用いた半導体装置に安定した電気的特性を付与し、信頼性の高い半導体装置を提供することを目的の一とする。また、酸化物半導体を有する半導体デバイスのオフ電流が極めて低い(ヨクトアンペア(yA)レベル)という特性を利用し、新しいエレクトロニクスの分野として、ヨクトロニクス(Yoctoronics(Yocto Ampere Electronics))、ヨクトアンペアの電流を扱うエレクトロニクス)というものを確立し、提供することを目的の一とする。

【課題を解決するための手段】

【0008】

酸化物半導体層を含むトランジスタの作製工程において、酸化物半導体層を酸化アルミニウム膜で挟み込むことで、酸化物半導体層からの酸素の離脱を抑制する。また、酸化物半導体膜への熱処理によって水素原子を含む不純物(例えば、水素や水分など)を除去することも可能である。さらには、タクトの速いインライン装置によって当該トランジスタの積層膜を連続的に形成することにより、各層の界面における不純物濃度を極めて低く抑えることが可能になる。これにより、さらに特性の安定したトランジスタを得ることができる。より具体的には、例えば、以下の作製方法とすることができます。

20

【0009】

本発明の一態様は、ゲート電極を形成する工程と、第1の酸化アルミニウム膜($Al_{x_1}(x_1 > 3/2)$)と第1の酸化アルミニウム膜上の酸化シリコン膜($SiO_y(y > 2)$)よりなるゲート絶縁膜を形成する工程と、ゲート電極と重なるゲート絶縁膜上に酸化物半導体膜を形成する工程と、酸化物半導体膜に電気的に接続されたソース電極層およびドレイン電極層を形成する工程と、第2の酸化アルミニウム膜($Al_{x_2}(x_2 > 3/2)$)を酸化物半導体膜上に形成する工程を有し、ゲート絶縁膜と酸化物半導体膜は、第1のインライン装置にて大気暴露させることなく連続的に形成後、第1のインライン装置にて第1の熱処理および加酸素化処理が行われることを特徴とする。

30

【0010】

また、本発明の他の一態様は、ゲート電極を形成する工程と、第1の酸化アルミニウム膜($Al_{x_1}(x_1 > 3/2)$)と第1の酸化アルミニウム膜上の第1の酸化シリコン膜($SiO_{y_1}(y_1 > 2)$)よりなるゲート絶縁膜をゲート電極上に形成する工程と、ゲート電極と重なるゲート絶縁膜上に酸化物半導体膜を形成する工程と、酸化物半導体膜に電気的に接続されたソース電極層およびドレイン電極層を形成する工程と、第2の酸化シリコン膜($SiO_{y_2}(y_2 > 2)$)と第2の酸化シリコン膜上の第2の酸化アルミニウム膜($Al_{x_2}(x_2 > 3/2)$)よりなる保護層を酸化物半導体膜上に形成する工程を有し、ゲート絶縁膜と酸化物半導体膜は、第1のインライン装置にて大気暴露させることなく連続的に形成後、第1のインライン装置にて第1の熱処理および加酸素化処理が行われ、保護層は第2のインライン装置にて大気暴露されることなく連続的に形成後、第2のインライン装置にて第2の熱処理が行われることを特徴とする。

40

【0011】

また、本発明の他の一態様は、ゲート電極を形成する工程と、第1の酸化アルミニウム膜($Al_{x_1}(x_1 > 3/2)$)と第1の酸化アルミニウム膜上の第1の酸化シリコン

50

膜 (SiO_{y_1} ($y_1 > 2$)) よりなるゲート絶縁膜をゲート電極上に形成する工程と、ゲート電極と重なるゲート絶縁膜上に酸化物半導体膜を形成する工程と、酸化物半導体膜に電気的に接続されたソース電極層およびドレイン電極層を形成する工程と、第2の酸化シリコン膜 (SiO_{y_2} ($y_2 > 2$)) と第2の酸化シリコン膜上の有機物と金属酸化物の混合膜または透明導電酸化膜または窒素を含む酸化物半導体膜である薄膜Xと、薄膜X上の第2の酸化アルミニウム膜 (AlO_{x_2} ($x_2 > 3/2$)) よりなる保護層を酸化物半導体膜上に形成する工程を有し、ゲート絶縁膜と酸化物半導体膜は、第1のインライン装置にて大気暴露させることなく連続的に形成後、第1のインライン装置にて第1の熱処理および加酸素化処理が行われ、保護層は第2のインライン装置にて大気暴露されることなく連続的に形成後、第2のインライン装置にて第2の熱処理が行われることを特徴とする。10

【0012】

上記第2の熱処理は、275以上325以下にて行われると酸素が離脱しにくい。

【0013】

また、上記の半導体装置の作製方法の加酸素化処理において、酸化物半導体膜に追加で添加される酸素の深さ方向の濃度のピークを $1 \times 10^{18} / \text{cm}^3$ 以上 $3 \times 10^{21} / \text{cm}^3$ 以下とするのが好ましい。

【0014】

酸化物半導体層を有するトランジスタの作製工程において、酸化物半導体層に対して加酸素化処理（酸素添加処理）を行い、その後、酸化物半導体への水（水素を含む）の侵入防止機能および酸化物半導体からの酸素の脱離防止機能を有する酸化アルミニウム膜を酸化物半導体層上に設けた状態で熱処理を行うことによって、酸化物半導体層内部（バルク中）または、ゲート絶縁膜と酸化物半導体層の界面において、少なくとも一部に、化学量論比をこえる酸素が存在する領域（酸素過剰領域とも表記する）を設けることができる。なお、加酸素化処理によって添加された酸素は、酸化物半導体の格子間に存在する場合もある。20

【0015】

また、酸化物半導体には熱処理による脱水化または脱水素化処理を行い、酸化物半導体内部の水素原子または水などの水素原子を含む不純物を除去し、酸化物半導体層を高純度化するのが好ましい。30

【0016】

開示する発明の一態様である上述の構成の効果は、次のように考えると理解が容易である。ただし、以下の説明は、あくまでも一考察に過ぎないことを付記する。

【0017】

一般に、酸化物半導体中に含まれる酸素は下記の式（1）で示すような酸化物半導体中の金属元素との結合と脱離の反応を動的に繰り返す。酸素が脱離した金属元素は未結合手を有するため、酸化物半導体内部において、酸素が脱離した箇所では酸素欠損が存在する。

【0018】

【数1】



【0019】

開示する発明の一態様に係る酸化物半導体層は、隣接する膜中に過剰の酸素（好ましくは化学量論比より過剰の酸素）を含有することで、当該酸化物半導体層の酸素欠損を直ちに補填することができる。よって、当該酸化物半導体層に存在する酸素欠損に起因するDOS (density of state) を減少させることが可能となる。例えば、酸化物半導体層が化学量論比に一致した量の酸素を含有する場合の DOS の平均密度が 10^{18} cm^{-3} 以上 10^{19} cm^{-3} 以下程度である場合、化学量論比より過剰な酸素を含50

む酸化物半導体におけるDOSの平均密度は 10^{15} cm $^{-3}$ 以上 10^{16} cm $^{-3}$ 以下程度となりうる。

【0020】

なお、酸化物半導体層を厚くする程、トランジスタのしきい値電圧のばらつきが大きくなる傾向が確認されている。これは、酸化物半導体層の酸素欠陥がしきい値電圧の変動の一因であり、それが厚くなるほど酸素欠陥が増加するためと推測できる。上述のように、開示する発明の一態様に係るトランジスタは、酸化物半導体層と隣接する膜への酸素添加処理によって、酸化物半導体層とその周辺の膜の酸素含有量を増大させているため、上記式(1)の動的な反応によって生じる当該酸化物半導体層の酸素欠陥を直ちに補填することが可能である。よって、開示する発明の一態様に係るトランジスタは、酸素欠陥に起因するドナー準位が形成される時間を短くし、実質的にドナー準位をなくすことができるため、しきい値電圧のばらつきを抑制することができる。10

【発明の効果】

【0021】

酸化物半導体層やそれに隣接する膜に酸素を過剰に含ませるようにして、該酸素が放出されないように酸化アルミニウム膜を酸化物半導体層の上下に設けることにより、酸化物半導体中およびその上下で接する層との界面で欠陥が生成され、また、欠陥が増加することを防ぐことができる。すなわち、酸化物半導体層とそれに隣接する膜に含ませた過剰な酸素が、酸素空孔欠陥を埋めるように作用し、かつ、酸素や水素、水分に対するバリア性の高い酸化アルミニウム膜で酸化物半導体層を挟んでいるので、安定した電気特性を有する信頼性の高い半導体装置を提供することができる。また、インライン装置により、酸化シリコン膜や酸化アルミニウム膜、酸化物半導体膜などを大気暴露することなく連続的に形成できるため、膜界面における不純物(水分や水素など)の濃度を著しく低下させることができ可能となる。これにより、安定した電気特性を有する信頼性の高い半導体装置を提供することができる。20

【図面の簡単な説明】

【0022】

【図1】半導体装置の一形態を説明する平面図および断面図。

【図2】半導体装置の作製方法の一形態を説明する図。

【図3】半導体装置の一形態を説明する平面図および断面図。

30

【図4】本発明に係る、半導体装置の成膜装置のブロック図。

【図5】本発明に係る、半導体装置の成膜装置を説明する図。

【図6】本発明に係る、半導体装置の成膜装置を説明する図。

【図7】半導体装置の一形態を説明する図。

【図8】半導体装置の一形態を説明する図。

【図9】半導体装置の一形態を説明する図。

【図10】半導体装置の一形態を説明する図。

【図11】半導体装置の一形態を説明する図。

【図12】半導体装置の一形態を説明する図。

【図13】電子機器を示す図。

40

【図14】SIMSの測定結果を示す図。

【図15】SIMSの測定結果を示す図。

【図16】TDSの測定結果を示す図。

【図17】TDSの測定結果を示す図。

【発明を実施するための形態】

【0023】

以下では、本明細書に開示する発明の実施の形態について図面を用いて詳細に説明する。ただし、本明細書に開示する発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本明細書に開示する発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。50

【0024】

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【0025】

(実施の形態1)

本実施の形態では、半導体装置および半導体装置の作製方法の一形態を、図1乃至図3を用いて説明する。本実施の形態では、半導体装置の一例として酸化物半導体層を有するトランジスタを示す。

【0026】

10

図1に、半導体装置の例として、ボトムゲート型のトランジスタ410の平面図および断面図を示す。図1(A)は平面図であり、図1(B)および図1(C)は、図1(A)におけるA-B断面およびC-D断面に係る断面図である。なお、図1(A)では、煩雑になることを避けるため、トランジスタ410の構成要素の一部(例えば、酸化シリコン膜407a、酸化アルミニウム膜407bなど)を省略している。

【0027】

図1に示すトランジスタ410は、絶縁表面を有する基板400上に、ゲート電極層401、ゲート絶縁膜である酸化アルミニウム膜402aおよび酸化シリコン膜402b、酸化物半導体層403、ソース電極層405a、ドレイン電極層405bおよび絶縁膜である酸化シリコン膜407aおよび酸化アルミニウム膜407bを含む。

20

【0028】

図1に示すトランジスタ410において、ゲート絶縁膜は、酸素を過剰に含む酸化アルミニウム膜402a($\text{AlO}_x (x > 3/2)$)と、酸素を過剰に含む酸化シリコン膜402b($\text{SiO}_x (x > 2)$)の積層である。酸化物半導体層403は、酸素添加処理が行われてあり、酸素過剰領域を有する。酸素添加処理を行うことにより、酸化物半導体層403に化学量論比より過剰に酸素を含有させることができるので、トランジスタ410の信頼性が高められる。また、酸化アルミニウム膜402aは、当該酸素過剰領域からの酸素脱離を抑制する効果を有する。

【0029】

30

また、トランジスタ410は、酸素を過剰に含む酸化シリコン膜407a($\text{SiO}_x (x > 2)$)と、酸素を過剰に含む酸化アルミニウム膜407b($\text{AlO}_x (x > 3/2)$)の積層を有する。酸化アルミニウムは、水分、酸素、その他の不純物を透過させにくいというバリア機能を有しているため、デバイス完成後に水分等の不純物が外部より侵入するのを防ぐことができる。また、酸化物半導体層403より酸素が放出されるのを防ぐことができる。この効果は、酸化アルミニウム膜402aおよび酸化アルミニウム膜407bで酸化物半導体層403を挟み込むことでより顕著になる。なお、酸化シリコン膜407aは設けなくてもよい。

【0030】

40

また、ゲート絶縁膜もまた、酸素過剰領域を有するのが好ましい。ゲート絶縁膜が酸素過剰領域を有していると、酸化物半導体層403からゲート絶縁膜への酸素の移動を防ぐことができ、かつ、酸化シリコン膜402bから酸化物半導体層403への酸素の供給を行うこともできるためである。

【0031】

なお、トランジスタ410上には、さらに絶縁膜が設けられていても良い。また、ソース電極層405aやドレイン電極層405bと配線とを電気的に接続させるために、酸化シリコン膜407a、酸化アルミニウム膜407bなどには開口が形成されていても良い。また、酸化物半導体層403の上方に、さらに、第2のゲート電極を有していても良い。

【0032】

図2(A)乃至図2(D)にトランジスタ410の作製方法の一例を示す。

50

【0033】

まず、絶縁表面を有する基板400上に導電膜を形成した後、フォトリソグラフィ工程によりゲート電極層401を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを削減できる。

【0034】

絶縁表面を有する基板400に使用することができる基板に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、バリウムホウケイ酸ガラスやアルミニノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することもでき、これらの基板上に半導体素子が設けられたものを基板400として用いてもよい。10

【0035】

また、基板400として、可撓性基板を用いてもよい。可撓性基板を用いる場合、可撓性基板上に酸化物半導体を含むトランジスタを直接形成してもよいし、他の基板に剥離層を設けて剥離層の上にトランジスタ等を形成した後、形成したトランジスタを剥離層を用いて剥離し、可撓性基板に転置してもよい。

【0036】

下地膜となる絶縁膜を基板400とゲート電極層401との間に設けてもよい。下地膜は、基板400からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、または酸化窒化シリコン膜から選ばれた一または複数の膜による積層構造により形成することができる。20

【0037】

また、ゲート電極層401は、プラズマCVD法またはスパッタリング法等により、モリブデン、チタン、タンタル、タンクステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて、単層または積層して形成することができる。

【0038】

次いで、ゲート電極層401上に酸化アルミニウム膜402aをプラズマCVD法またはスパッタリング法等により形成する。続いて、酸化アルミニウム膜402a上に酸化シリコン膜402bをプラズマCVD法またはスパッタリング法等により形成する。さらに、酸化シリコン膜402b上に酸化物半導体膜を形成し、フォトリソ工程などにより島状に加工して酸化物半導体層403とする。酸化アルミニウム膜402aから酸化物半導体膜の形成までは連続的に処理すると好ましい。また、酸化物半導体膜形成後、熱処理と酸素添加処理を順に行うとより好ましい(図2(A)参照)。これにより、各膜中の水分や水素の脱離と酸化物半導体層403への酸素添加を行うことができる。30

【0039】

また、成膜後の熱処理によって、膜質、酸化物半導体との界面特性が改質される絶縁膜をゲート絶縁膜として用いても良い。いずれにしても、ゲート絶縁膜としての膜質が良好であることは勿論のこと、酸化物半導体との界面準位密度を低減し、良好な界面を形成できるものであれば良い。40

【0040】

なお、ゲート絶縁膜は酸素過剰領域を有すると、酸化物半導体層403の酸素欠損を補填することが可能であるため好ましい。

【0041】

酸化物半導体層403は、膜厚2nm以上200nm以下、好ましくは5nm以上30nm以下で形成する。酸化物半導体層403は、非単結晶または非晶質であって、以下で示す酸化物を用いることができる。

【0042】

10

20

30

40

50

酸化物半導体には、In、Ga、ZnおよびSnから選ばれた2種以上を含む金属酸化物材料を用いればよい。例えば、四元系金属酸化物であるIn-Sn-Ga-Zn-O系の材料や、三元系金属酸化物であるIn-Ga-Zn-O系の材料、In-Sn-Zn-O系の材料、In-Al-Zn-O系の材料、Sn-Ga-Zn-O系の材料、Al-Ga-Zn-O系の材料、Sn-Al-Zn-O系の材料や、二元系金属酸化物であるIn-Zn-O系の材料、Sn-Zn-O系の材料、Al-Zn-O系の材料、Zn-Mg-O系の材料、Sn-Mg-O系の材料、In-Mg-O系の材料、In-Ga-O系の材料や、単元系金属酸化物であるIn-O系の材料、Sn-O系の材料、Zn-O系の材料などを用いればよい。また、上記酸化物半導体にInとGaとSnとZn以外のもの、例えばSiO₂を含ませてもよい。

10

【0043】

ここで、例えば、In-Ga-Zn-O系の酸化物半導体とは、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)を有する酸化物半導体、という意味であり、その組成比は問わない。

【0044】

また、酸化物半導体には、化学式InMO₃(ZnO)_m(m>0)で表記される材料を用いることができる。ここで、Mは、Zn、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素を示す。例えば、Mとして、Ga、GaおよびAl、GaおよびMn、またはGaおよびCoなどがある。

20

【0045】

なお、酸化物半導体としてIn-Zn-O系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、In:Zn=50:1~1:2(モル比に換算するとIn₂O₃:ZnO=25:1~1:4)、好ましくはIn:Zn=20:1~1:1(モル比に換算するとIn₂O₃:ZnO=10:1~1:2)、さらに好ましくはIn:Zn=15:1~1.5:1(モル比に換算するとIn₂O₃:ZnO=15:2~3:4)とする。例えば、In-Zn-O系の酸化物半導体の形成に用いるターゲットは、原子数比がIn:Zn:O=X:Y:Zのとき、Z>1.5X+Yとする。

【0046】

また、酸化物半導体は、単結晶、多結晶(ポリクリスタルともいう。)または非晶質などの状態をとる。

30

【0047】

好ましくは、酸化物半導体膜は、CAAC-OS(C Axis Aligned C crystalline Oxide Semiconductor)膜とする。

【0048】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部および非晶質部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型顕微鏡(TEM:Transmission Electron Microscope)による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界(グレインバウンダリーともいう。)は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

40

【0049】

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつ、ab面に垂直な方向から見て三角形状または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なっていてもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上5°以下の範囲も含まれることとする。

50

【0050】

なお、C A A C - O S 膜において、結晶部の分布が一様でなくともよい。例えば、C A A C - O S 膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し、表面の近傍では結晶部の占める割合が高くなることがある。また、C A A C - O S 膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0051】

C A A C - O S 膜に含まれる結晶部のc軸は、C A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、C A A C - O S 膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。
なお、結晶部のc軸の方向は、C A A C - O S 膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に熱処理などの結晶化処理を行うことにより形成される。

10

【0052】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

【0053】

酸化物半導体膜は、スパッタリング法、分子線エピタキシー法、原子層堆積法またはパルスレーザー蒸着法により形成する。ここでは、スパッタリング法により形成することができる。

20

【0054】

酸化物半導体膜をC A A C - O S 膜とする際には、基板400を加熱しながら酸化物半導体膜を形成すればよく、基板400を加熱する温度としては、150以上450以下とすればよく、好ましくは基板温度が200以上350以下とする。なお、酸化物半導体膜の形成時に、基板を加熱する温度を高くすることで、非晶質な部分に対して結晶部分の占める割合の多いC A A C - O S 膜とすることができます。

【0055】

スパッタリング法により酸化物半導体膜を形成する際、できる限り酸化物半導体膜に含まれる水素濃度を低減させることが好ましい。水素濃度を低減させるには、スパッタリング装置の処理室内に供給する雰囲気ガスとして、水素、水、水酸基または水素化物などの不純物が除去された高純度の希ガス（代表的にはアルゴン）、酸素、および希ガスと酸素との混合ガスを適宜用いる。このときの酸素分圧は高いほうが好ましく、雰囲気ガスを全て酸素にしてもよい。さらには、該処理室の排気は、水の排気能力の高いクライオポンプまたは水素の排気能力の高いスパッタイオンポンプを用いればよい。

30

【0056】

また、ゲート絶縁膜および酸化物半導体膜は、大気解放することなく連続的に形成する。ゲート絶縁膜を形成する面またはゲート絶縁膜表面は、できるだけ平坦であることが好ましい。これにより、酸化物半導体膜のC A A C - O S 膜化を容易にできる。このような面の平坦度は、算術平均粗さ（R a）で1 nm以下、好ましくは0.5 nm以下とすればよい。例えば、基板400上に設けられたゲート電極層401の表面に付着した水素を含む不純物を、熱処理またはプラズマ処理で除去した後、大気に解放することなくゲート絶縁膜を形成し、続けて大気に解放することなく酸化物半導体膜を形成する。このようにすることで、ゲート電極層401の表面に付着した水素を含む不純物を低減し、また、ゲート電極層401と酸化アルミニウム膜402aとの界面、および、酸化シリコン膜402bと酸化物半導体膜との界面に、大気成分が付着することを抑制できる。その結果、電気特性が良好で、信頼性の高いトランジスタ410を作製することができる。

40

【0057】

酸化物半導体膜を形成後、熱処理（第1の熱処理）を行うことが望ましい。この第1の熱処理によって酸化物半導体膜中の、過剰な水素（水や水酸基を含む）を除去し、酸化物半導体膜の構造を整え、エネルギー・ギャップ中の欠陥準位を低減することができる。第1

50

の熱処理の温度は、250以上700以下、好ましくは450以上600以下、かつ、基板の歪み点未満とする。

【0058】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450、1時間の条件で行うことができる。この間、酸化物半導体膜は大気に触れさせず、水や水素の混入が生じないようにする。

【0059】

熱処理装置は電気炉に限らず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いても良い。例えば、LRTA (Lamp Rapid Thermal Anneal) 装置、GRTA (Gas Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。¹⁰ LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。

【0060】

例えば、第1の熱処理として、熱せられた不活性ガス雰囲気中に被処理物を投入し、数分間熱した後、当該不活性ガス雰囲気から被処理物を取り出すGRTA処理を行ってもよい。²⁰ GRTA処理を用いると短時間での高温熱処理が可能となる。また、被処理物の耐熱温度を超える温度条件であっても適用が可能となる。

【0061】

なお、不活性ガス雰囲気としては、窒素、または希ガス(ヘリウム、ネオン、アルゴン等)を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.9999%)以上(すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下)とする。

【0062】

ところで、上述の熱処理(第1の熱処理)には水素や水などを除去する効果があるから、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。このような脱水化処理、脱水素化処理は、一回に限らず複数回行っても良い。なお、第1の熱処理中に、不活性ガスを酸素を含むガスに切り替えても良い。酸素を含む雰囲気において第1の熱処理を行うことで、酸素欠損に起因するエネルギーギャップ中の欠陥準位を低減することができ、酸化物半導体層をよりi型化または実質的にi型化にすることができる。³⁰

【0063】

次に、酸化物半導体層403に酸素421の添加処理を行い、酸素過剰領域を形成する(図2(A)参照)。酸素添加処理を行うことにより、酸素421を酸化物半導体膜に供給して、酸化シリコン膜402b中、酸化シリコン膜402bと酸化物半導体層403との界面、酸化物半導体層403中、または酸化物半導体層403と後に形成する酸化シリコン膜407aとの界面の少なくとも一部に酸素過剰領域を形成する。酸化物半導体層403に酸素過剰領域を形成することで、酸素欠損を直ちに補填することができる。これによつて、酸化物半導体層403中の電荷捕獲中心を低減することができる。⁴⁰

【0064】

酸素添加処理によって酸化物半導体層403の酸素の含有量を、酸化物半導体層403の化学量論比を超える程度とする。例えば、当該酸素添加処理により酸化物半導体層403に添加される酸素の深さ方向の濃度のピークを $1 \times 10^{18} / cm^3$ 以上 $3 \times 10^{21} / cm^3$ 以下とするのが好ましい。添加される酸素421は、酸素ラジカル、酸素原子、および/または酸素イオンを含む。なお、酸素過剰領域は、酸化物半導体層403の一部(界面も含む)に存在していればよい。⁵⁰

【0065】

なお、酸化物半導体において、酸素は主たる成分材料の一つである。このため、酸化物半導体中の酸素濃度を、S I M S (Secondary Ion Mass Spectrometry)などの方法を用いて、正確に見積もることは難しい。つまり、酸化物半導体に酸素が意図的に添加されたか否かを判別することは困難であるといえる。

【0066】

ところで、酸素には¹⁶Oの他に¹⁷Oや¹⁸Oといった同位体が存在し、自然界における¹⁷Oや¹⁸Oの存在比率はそれぞれ酸素原子全体の0.037%、0.204%程度であることが知られている。つまり、酸化物半導体中におけるこれら同位体の濃度は、S I M Sなどの方法によって見積もることができる程度になるから、これらの濃度を測定することで、酸化物半導体中の酸素濃度をより正確に見積もることが可能な場合がある。よって、これらの濃度を測定することで、酸化物半導体に意図的に酸素が添加されたか否かを判別しても良い。

10

【0067】

また、酸化物半導体に添加される（含まれる）酸素421の一部は酸素の未結合手を酸化物半導体中で有していてもよい。未結合手を有することにより、酸化物半導体中に残存しうる水素と結合して、水素を固定化（非可動イオン化）することができるためである。

【0068】

添加される酸素（酸素ラジカル、酸素原子、および／または酸素イオン）は、酸素を含むガスを用いてプラズマ発生装置により供給されてもよいし、またはオゾン発生装置により供給されてもよい。より具体的には、例えば、半導体装置に対してエッチング処理を行うための装置や、レジストマスクに対してアッシングを行うための装置などを用いて酸素421を発生させ、酸化物半導体膜へ酸素添加処理を行うことができる。

20

【0069】

また、イオンドーピング法やイオンインプランテーション法を用いて酸化物半導体膜、該酸化物半導体膜側のゲート絶縁膜である酸化シリコン膜402bに酸素を添加してもよい。酸化物半導体膜に酸素過剰領域を形成することで、酸素欠損を直ちに補填することができ、また、酸化シリコン膜402bに酸素過剰領域を形成することで、後の加熱処理において酸化物半導体膜に酸素を供給することができる。なお、酸化シリコン膜402bに接する酸化アルミニウム膜402aは、水分、酸素、その他の不純物を透過させにくいというバリア機能を有しているため、酸化シリコン膜402bの過剰酸素を酸化物半導体膜に供給することができる。

30

【0070】

次いで、ソース電極層およびドレイン電極層（これと同じ層で形成される配線を含む）となる導電膜を形成し、これを加工してソース電極層405aおよびドレイン電極層405bとする（図2（B）参照）。

【0071】

ソース電極層405aおよびドレイン電極層405bに用いる導電膜としては、後の熱処理工程に耐えられる材料を用いる。例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タンゲステン膜）等を用いることができる。また、Al、Cuなどの金属膜の下側または上側の一方または双方にTi、Mo、Wなどの高融点金属膜またはそれらの金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タンゲステン膜）を積層させた構成としても良い。また、ソース電極層、およびドレイン電極層に用いる導電膜としては、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム（In₂O₃）、酸化スズ（SnO₂）、酸化亜鉛（ZnO）、酸化インジウム酸化スズ（In₂O₃-SnO₂、ITOと略記する）、酸化インジウム酸化亜鉛（In₂O₃-ZnO）またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

40

【0072】

50

なお、導電膜のエッティングの際に、酸化物半導体層403がエッティングされ、分断することのないようエッティング条件を最適化することが望まれる。しかしながら、導電膜のみをエッティングし、酸化物半導体層403を全くエッティングしないという条件を得ることは難しく、溝部(凹部)を有する酸化物半導体層403となることもある。

【0073】

次いで、ソース電極層405aおよびドレイン電極層405bを覆い、酸化物半導体層403の一部と接する絶縁膜を形成する。絶縁膜の形成前に、脱水や脱水素などを目的として酸化物半導体層403を、例えば、200以上450以下の温度で熱処理してもよい。

【0074】

絶縁膜は酸素を過剰に含む酸化シリコン膜407a(SiO_x ($x > 2$))と酸素を過剰に含む酸化アルミニウム膜407b(AlO_x ($x > 3/2$))の積層である。酸化シリコン膜407aの厚さは、例えば、400nmとする。酸化アルミニウムは、水分、酸素、その他の不純物を透過させにくいというバリア機能を有しているため、デバイス完成後に水分等の不純物が外部より侵入するのを防ぐことができる。また、酸化物半導体層403より酸素が放出されるのを防ぐことができる。この効果は、酸化アルミニウム膜402aと酸化アルミニウム膜407bで酸化物半導体層403を挟み込むことでより顕著になる。なお、酸化シリコン膜407aは設けなくてもよい。

【0075】

酸化シリコン膜407aおよび酸化アルミニウム膜407bは、それぞれ少なくとも1nm以上の膜厚とし、スパッタ法など、当該膜に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。酸化シリコン膜407aおよび酸化アルミニウム膜407bに水素が含まれると、その水素の酸化物半導体層403への侵入、または水素による酸化物半導体層403中の酸素の引き抜き、が生じ酸化物半導体層403のバックチャネルが低抵抗化(N型化)してしまい、寄生チャネルが形成されるおそれがある。よって、酸化シリコン膜407aおよび酸化アルミニウム膜407bはできるだけ水素を含まない膜になるように、形成時に水素を用いないことが重要である。

【0076】

酸化シリコン膜407aおよび酸化アルミニウム膜407bを形成する際に用いるスパッタガスは水素、水、水酸基または水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0077】

その後、熱処理(第2の熱処理)を行う。該熱処理の温度は、好ましくは200以上650以下、より好ましくは450以上650以下または基板の歪み点未満、より好ましくは275以上325以下とする。該熱処理は、窒素、酸素、超乾燥空気(水の含有量が20ppm以下、好ましくは1ppm以下、より好ましくは10ppb以下の空気)、または希ガス(アルゴン、ヘリウムなど)の雰囲気下で行えばよいが、上記窒素、酸素、超乾燥空気、または希ガス等の雰囲気に水、水素などが含まれないことが好ましい。また、加熱処理装置に導入する窒素、酸素、または希ガスの純度を、6N(99.9999%)以上好ましくは7N(99.99999%)以上(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0078】

以上の工程で、酸素欠損の形成を抑制した酸化物半導体層403を形成することができる。なお、第2の熱処理によって、酸化物半導体を構成する主成分材料の一つである酸素を、酸素を含有する絶縁膜である酸化シリコン膜402b、酸化シリコン膜407aより酸化物半導体層403へ供給してもよい。また、酸化物半導体層403をCAC-O₅膜とした場合、酸素添加処理によって酸化物半導体層403中に含まれる結晶構造が乱されて非晶質化することがあるが、酸素添加処理後に熱処理を行うことによって、再度、結晶化することが可能である。

【0079】

10

20

30

40

50

なお、熱処理（第2の熱処理）のタイミングは、本実施の形態の構成に限定されないが、該熱処理は、少なくとも酸化アルミニウム膜407bの形成後に行う必要がある。酸化アルミニウム膜は、水素、水分などの不純物、および酸素の両方に対して膜を透過させない遮断効果（ブロック効果）が高く、酸化アルミニウム膜407bの形成後に熱処理を行うことで、酸化物半導体層403からの酸素の放出を防止することができるためである。

【0080】

上述のように、第1の熱処理と第2の熱処理の少なくとも一方を適用することで、酸化物半導体層403を、その主成分以外の不純物が極力含まれないように高純度化することができる。高純度化された酸化物半導体層403中にはドナーに由来するキャリアが極めて少なく（ゼロに近い）、キャリア濃度は $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である。10

【0081】

以上の工程でトランジスタ410が形成される（図2（D）参照）。トランジスタ410は、酸素添加処理によって酸素過剰領域を作製することで、酸化物半導体層403中または界面における酸素欠損の形成を抑制し、酸素欠損に起因するエネルギーギャップ中のドナー準位を低減する、または実質的になくすことができる。また、酸素添加処理、またはその後の熱処理によって、酸化物半導体層403へと酸素を供給することで、酸化物半導体層403の酸素欠損を補填することができる。また、該供給された酸素によって、酸化物半導体層403中に残留する水素イオンを固定化しうる。よって、トランジスタ410は、電気的特性変動が抑制されており、電気的に安定である。20

【0082】

また、トランジスタ410は、脱水化または脱水素化を目的とする熱処理を行うことが好ましく、該熱処理によって、水素、水、水酸基または水素化物（水素化合物ともいう）などの不純物を酸化物半導体膜より意図的に排除し、高純度化し、i型（真性）化された酸化物半導体層403を含むトランジスタとすることができる。高純度化された酸化物半導体層403中にはキャリアが極めて少ない（ゼロに近い）。

【0083】

図3に、本実施の形態に係るトランジスタの別の構成例を示す。図3（A）はトランジスタ420の平面図であり、図3（B）および図3（C）は、図3（A）におけるE-F断面およびG-H断面に係る断面図である。なお、図3（A）では、煩雑になることを避けるため、トランジスタ420の構成要素の一部（例えば、酸化シリコン膜407a、酸化アルミニウム膜407bなど）を省略している。30

【0084】

図3に示すトランジスタ420は、図1に示すトランジスタ410と同様に、絶縁表面を有する基板400上に、ゲート電極層401、ゲート絶縁膜である酸化アルミニウム膜402aおよび酸化シリコン膜402b、酸化物半導体層403、ソース電極層405a、ドレイン電極層405bおよび絶縁膜である酸化シリコン膜407aおよび酸化アルミニウム膜407bを含む。

【0085】

図3に示すトランジスタ420と図1に示すトランジスタ410との相違の一は、ゲート電極層401の上に、ゲート電極層401aを有することである。ゲート電極層401aの形成方法および材料等は、ゲート電極層401を参照することができる。40

【0086】

なお、ゲート電極層とゲート絶縁膜との間に、ゲート絶縁膜に接する材料層として、窒素を含むIn-Ga-Zn-O膜や、窒素を含むIn-Sn-O膜や、窒素を含むIn-Ga-O膜や、窒素を含むIn-Zn-O膜や、窒素を含むSn-O膜や、窒素を含むIn-O膜や、金属窒化膜（InN、ZnNなど）を設けることが好ましい。これらの膜は5eV、好ましくは5.5eV以上の仕事関数を有し、トランジスタの電気特性のしきい値電圧をプラスにすことができ、所謂ノーマリーオフのスイッチング素子を実現できる。例えば、窒素を含むIn-Ga-Zn-O膜を用いる場合、少なくとも酸化物半導体層50

403より高い窒素濃度、具体的には7原子%以上の窒素を含むIn-Ga-Zn-O膜を用いる。その他の詳細については、トランジスタ410についての説明を参照することができる。

【0087】

図3に示す構成を採用した場合にも、図1に示す構成を採用した場合と同様の効果を得ることができる。

【0088】

本実施の形態で示すトランジスタは、酸素添加処理によって酸化物半導体層の酸素の含有量を増やし、酸素欠損を減少させることで、電気的バイアスストレスや熱ストレスに起因する劣化を抑制し、光による劣化を低減することができる。また、酸素添加処理によって、酸化物半導体層に隣接するゲート絶縁層に酸素過剰領域を形成することによって、酸化物半導体層中の酸素欠損を補填することが可能である。さらに、酸素を過剰に含んだ酸化アルミニウム膜により、酸化物半導体層を挟み込むことにより、酸素の減少を顕著に抑えることが可能となる。また、先に言及した熱処理は、水素、水、水酸基または水素化物（水素化合物ともいう）などの水素原子を含む不純物を酸化物半導体より排除するため、高純度化およびi型（真性）化された酸化物半導体層を得ることができ、しきい値電圧などの電気的特性変動が抑制され、電気的に安定なトランジスタとすることができます。10

【0089】

以上示したように、本実施の形態によって安定した電気的特性を有する酸化物半導体を用いた半導体装置を提供することができる。また、信頼性の高い半導体装置を提供することができる。20

【0090】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0091】

（実施の形態2）

本実施の形態では、実施の形態1に示した半導体装置の酸化物半導体層等を形成する成膜装置の一例について、図4乃至図6を用いて説明する。なお、実施の形態1と同一部分または同様な機能を有する部分、および工程は、実施の形態1と同様に行うことができ、繰り返しの説明は省略する。また、同じ箇所の詳細な説明は省略する。30

【0092】

図4(A)は、本実施の形態で説明する成膜装置の構成を説明するブロック図である。

【0093】

成膜装置は、ロード室101、第1の成膜室111、第2の成膜室112、第3の成膜室113、加熱室114、加酸素化処理室115、およびアンロード室102が順に接続される。なお、今後、ロード室101、アンロード室102を除く各部屋について、それぞれを区別して説明する必要のないときは総称して処理室と呼ぶこともある。当該成膜装置は搬送ロボットを有さず、ベルトコンベアのように順次各処理室に基板を搬送するもので、インライン装置とも呼称される。

【0094】

ロード室101に搬入された基板100は、移動手段によって、第1の成膜室111、第2の成膜室112、と順次、加酸素化処理室115まで送られたのち、アンロード室102に搬送される。各処理室では、必ずしも処理を行う必要はなく、工程を省きたい場合は適宜、処理をせずに次の処理室に基板を搬送することもできる。40

【0095】

ロード室101は、装置外から成膜装置に基板の搬入を行う機能を有する。例えば、ロード室101は、水平な状態の基板100を水平面に対して立てる機構を有していてよい。

【0096】

一例として、アンロード室102は、ロード室101とは逆に、立てた状態の基板10

50

0を水平の状態に寝かせる機構を有していてもよい。処理を終え、移動手段によってアンロード室102に搬入された基板100は、アンロード室102にて立てた状態から水平方向な状態とされ、その後、装置外へ基板100が搬出される。勿論、基板100を立てたままロード室101に基板100を搬入してもよいし、基板100を水平のまま各処理室で処理を行ってもよい。

【0097】

基板100を各処理室において立てる場合には、基板100は、ロード室101から、各処理室で処理を終えてアンロード室102に搬出されるまでの間、基板100の成膜面と鉛直方向との成す角が1°以上、30°以内、好ましくは5°以上15°以内に収まるように保持される。このように、基板100を鉛直方向から僅かに傾けることにより、装置の床面積、所謂フットプリントを小さくすることができ、基板サイズが、例えば、第11世代、第12世代などへ大型化すればするほどクリーンルーム等の設計の容易さやコストの面においても有効である。さらに、基板100を鉛直方向から僅かだけ傾けることにより、基板100に付着するごみ、パーティクルを低減できるため好ましい。

【0098】

ロード室101、およびアンロード室102のそれぞれは、室内を真空にする排気手段と、真空状態から大気圧する際に用いるガス導入手段とを有する。ガス導入手段から導入されるガスは、空気、若しくは窒素や希ガスなどの不活性ガスなどを適宜用いればよい。

【0099】

また、ロード室101は、基板100を予備加熱するための加熱手段を有していても良い。排気動作と並行して基板100に対して予備加熱を行うことで、基板100に吸着するガス等の不純物（水、水酸基などを含む）を脱離させることができるために好ましい。排気手段としては、例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどの吸着型の真空ポンプ、或いは、ターボ分子ポンプにコールドトラップを加えたものを用いると良い。

【0100】

ロード室101、アンロード室102、およびそれぞれの処理室は、ゲートバルブを介して連結されている。したがって、基板100が処理を終えて次の処理室へ移る際には、ゲートバルブを開けて基板100が搬入される。なお、このゲートバルブは、処理室間ににおいて必要でなければ設けなくても良い。また、それぞれの処理室には、排気手段、圧力調整手段、ガス導入手段などを有し、処理していない状態であっても常に減圧清浄な状態に保つことができる。ゲートバルブによって各処理室が隔離されることにより、他の処理室からの汚染を抑制することができる。

【0101】

また、成膜装置の各室は必ずしも一直線上に配置する必要はなく、例えば、途中で折ったり、曲げたりしてもよいし、必要であれば分岐しても構わない。

【0102】

次に、第1の成膜室111、第2の成膜室112、および第3の成膜室113において、これらに共通する構成について説明する。また、その後、加熱室114および加酸素化処理室115についても同様に、これらに共通する部分について説明する。最後に、それぞれの処理室における特徴についての説明を行う。

【0103】

第1乃至第3までの成膜室はスパッタリング装置またはCVD装置が配置される。

【0104】

上記成膜室で用いるスパッタリング装置には、例えば、マイクロ波スパッタリング法、RFプラズマスパッタリング法、ACスパッタリング法、もしくはDCスパッタリング法などのスパッタリング装置を用いることができる。

【0105】

ここで、DCスパッタリング法を適用した成膜室の一例について図5を用いて説明する。DCスパッタリング法を適用した成膜室154について、図5(A)に基板100の進

10

20

30

40

50

行方向に対して垂直方向の断面模式図を、また、図5(B)に、進行方向に対して平行且つ水平な断面の断面模式図を示す。

【0106】

まず、基板100は、成膜面と鉛直方向との成す角が少なくとも1°以上30°以内、好ましくは5°以上15°以内に収まるように、基板支持部141によって固定されている。基板支持部141は移動手段143に固定されている。移動手段143は、処理中に基板100が動かないよう、基板支持部141を固定しておくだけでなく、基板100を図5(B)中の破線に沿った方向(矢印に示す方向)に移動可能であり、ロード室101、アンロード室102、および各処理室において、基板100の搬入出を行う機能も有する。

10

【0107】

成膜室154には、ターゲット151および、防着板153が基板100に平行になるように配置される。ターゲット151と基板100とを平行に配置することにより、ターゲットとの距離が異なることに起因するスパッタ膜の膜厚や、スパッタ膜の段差に対するカバレッジなどのばらつきなどをなくすことができる。

【0108】

また、成膜室154は、基板支持部141の背面に位置するように、基板加熱手段155を有していても良い。基板加熱手段155により、基板100を加熱しながら成膜処理を施すことができる。基板加熱手段155としては、例えば、抵抗加熱ヒータや、ランプヒータなどを用いることができる。なお、基板加熱手段155は必要でなければなくすこともできる。

20

【0109】

成膜室154は、圧力調整手段157を有し、成膜室154内を所望の圧力に減圧することができる。圧力調整手段に用いる排気装置としては、例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどの吸着型の真空ポンプ、或いは、ターボ分子ポンプにコールドトラップを加えたものを用いると良い。

【0110】

また、成膜室154は成膜ガス等を導入するためのガス導入手段159を有する。例えば、希ガスを主成分としたガスに酸素を添加したガスを導入して反応性スパッタリング法による成膜を行うことにより、酸化膜を形成することができる。さらに、ガス導入手段159から導入されるガスは、水素や水、水酸化物などの不純物が低減された高純度ガスを導入することができる。例えば、酸素、窒素、希ガス(代表的にはアルゴン)、またはこれらの混合ガスを導入することができる。

30

【0111】

以上のような圧力調整手段157とガス導入手段159を有する成膜室154では、水素分子や水(H₂O)などの水素を含む化合物などが(より好ましくは炭素原子を含む化合物と共に)除去されるため、当該成膜室で成膜した膜中に含まれる不純物の濃度を低減できる。

【0112】

成膜室154と隣接する部屋との境界は、ゲートバルブ161で仕切られている。ゲートバルブ161で室内を隔離することにより、室内の不純物を排気しやすくし、成膜雰囲気を清浄に保つことができる。さらに、室内を清浄な状態にした後にゲートバルブ161を開設し、基板100を搬出することにより、隣接する処理室への汚染を抑制することができる。なお、必要でなければ、ゲートバルブ161をなくすことができる。

40

【0113】

なお、成膜室154は、図5(C)に示すように、基板100を図中に示す破線の方向に沿って矢印の方向にスライドさせながら成膜する構成としてもよい。この様な構成とすることにより、ターゲットのサイズを小さくできるため、基板の大型化に対し、ターゲットのサイズを基板と同程度まで大きくできない場合などには好適である。

【0114】

50

加熱室 114 は、基板 100 に対して熱処理を行うことができる。

【0115】

加熱装置には、抵抗加熱ヒータ、ランプ、または加熱されたガスを用いるものなどを設けると良い。

【0116】

図 6 (A) および図 6 (B) に棒状のヒータを用いた加熱装置を適用した、加熱室の一例を示す。図 6 (A) は、基板の移動方向に対して垂直な断面に相当する、加熱室 170 の断面模式図であり、図 6 (B) は、基板の移動方向に水平な断面に相当する断面模式図である。

【0117】

加熱室 170 には成膜室 154 と同様、移動手段 143 によって基板支持部 141 に支持された基板 100 を搬入、搬出することができる。

【0118】

加熱室 170 には棒状のヒータ 171 が基板 100 と平行になるように配置されている。図 6 (A) には、その断面となる形状を模式的に現している。棒状のヒータ 171 には、抵抗加熱ヒータ、またはランプヒータを用いることができる。抵抗加熱ヒータには、誘導加熱を用いたものも含まれる。また、ランプは中心波長が赤外線領域にあるものが好ましい。棒状のヒータ 171 を基板 100 に平行に配置することにより、これらの距離を一定にし、均一に加熱することができる。また、棒状のヒータ 171 はそれぞれ個別に温度を制御できることが好ましい。例えば、上部のヒータよりも下部のヒータを高い温度に設定することにより、基板 100 を均一な温度で加熱することができる。なお、本実施の形態では、棒状のヒータを用いる構成としたが、ヒータの構成はこれに限定されず、面状(板状)のヒータでも良いし、これらヒータを動かしながら熱処理を行うこともできる。また、レーザを用いた加熱方法を用いてもよい。

【0119】

また、加熱室 170 は、棒状のヒータ 171 と基板 100 の間に、保護板 173 を設ける構成としている。保護板 173 は棒状のヒータ 171、および基板 100 の保護のために設けられるもので、例えば、石英などを用いることができる。保護板 173 は必要なければ設けなくてもよい。なお、本構成では棒状のヒータ 171 と基板 100との間にシャッターを有さない構成としているため、基板全面を均一に加熱することができる。

【0120】

また、加熱室 170 は、成膜室 154 と同様の圧力調整手段 157 およびガス導入手段 159 を有する。したがって、熱処理中や処理を行っていない状態においても常に減圧清浄な状態を保持することができる。また、加熱室 170 内の水素分子や水 (H_2O) などの水素を含む化合物などが(より好ましくは炭素原子を含む化合物と共に)除去されるため、当該加熱室で処理した膜中、膜界面、膜表面に含有、もしくは吸着する不純物の濃度を低減できる。

【0121】

また、圧力調整手段 157 およびガス導入手段 159 により、不活性ガス雰囲気や、酸素を含む雰囲気での熱処理が可能である。このような機構は、加酸素化処理室 115 にも付いており、当該処理室にて加酸素化処理が可能となっている。具体的には室内を、酸素をプラズマ化した雰囲気とするプラズマドープや、イオンドーピング法を用いるなどして行う。なお、不活性ガス雰囲気としては、窒素、または希ガス(ヘリウム、ネオン、アルゴン等)を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、加熱室 170 に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上(すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下)とする。

【0122】

続いて、各処理室における個別の特徴、構成について説明を行う。

【0123】

10

20

30

40

50

第1の成膜室111では基板100上に酸化アルミニウム膜402aを形成する。成膜装置には、例えば、スパッタリング装置を適用する。続いて、第2の成膜室112では酸化シリコン膜402bを形成する。成膜装置には、例えば、スパッタリング装置を適用する。さらに続けて、第3の成膜室113では酸化物半導体層403を形成する。成膜装置には、例えば、スパッタリング装置を適用する。成膜方法としては、マイクロ波プラズマスパッタリング法、RFプラズマスパッタリング法、ACスパッタリング法、もしくはDCスパッタリング法を適用することができる。

【0124】

次に加熱室114では基板加熱手段155により、基板100の軟化点未満の温度で基板100を加熱することができる。

10

【0125】

加熱室114では、例えば200以上700以下の温度で基板100を加熱する。さらに圧力調整手段157およびガス導入手段159によって、熱処理中の雰囲気を、例えば、10Pa乃至1気圧(1013.25hPa)とし、酸素雰囲気下、窒素雰囲気下、または酸素と窒素の混合雰囲気下で熱処理を行うことができる。

【0126】

最後に、加酸素化処理室115では、酸素雰囲気下において加酸素化処理を行うことができる。なお、圧力調整手段157およびガス導入手段159によって、当該加酸素化処理は酸素と他の元素を含む混合雰囲気下で行うことができる。

【0127】

つぎに、図4(B)に示すブロック図に沿って、他の成膜装置について説明する。

20

【0128】

まず、各処理室における個別の特徴、構成について説明を行う。ロード室201、アンロード室202については、図4(A)に示したものと同様のものであるため説明は省く。

【0129】

第1の成膜室211では酸化シリコン膜407aを形成する。成膜装置には、例えば、スパッタリング装置を適用する。続いて、第2の成膜室212では酸化アルミニウム膜407bを形成する。成膜装置には、例えば、スパッタリング装置を適用する。成膜方法としては、マイクロ波プラズマスパッタリング法、RFプラズマスパッタリング法、ACスパッタリング法、もしくはDCスパッタリング法を適用することができる。なお、酸化シリコン膜407aは形成しなくてもよい。

30

【0130】

次に加熱室213では基板加熱手段155により、基板100の軟化点未満の温度で基板100を加熱することができる。

【0131】

加熱室213では、例えば、275以上325以下の温度で基板100を加熱する。さらに圧力調整手段157およびガス導入手段159によって、熱処理中の雰囲気を、例えば、10Pa乃至1気圧(1013.25hPa)とし、酸素雰囲気下、窒素雰囲気下、または酸素と窒素の混合雰囲気下で熱処理を行うことができる。

40

【0132】

図4(B)に示した成膜装置は、他の成膜装置に置き換えることも可能である。一例として、図4(C)に示すブロック図に沿って、当該成膜装置について説明する。

【0133】

まず、各処理室における個別の特徴、構成について説明を行う。ロード室301、アンロード室302については、図4(A)に示したものと同様のものであるため説明は省く。

【0134】

第1の成膜室311では酸化シリコン膜407aを形成する。成膜装置には、例えば、スパッタリング装置を適用する。続いて、第2の成膜室312では有機物と金属酸化物の

50

混合膜を、例えば、共蒸着法にて形成する。当該混合膜の厚さは、例えば、10 nm以上50 nm以下とする。具体的には、正孔輸送性の高い物質とアクセプター性物質を含むものとする。正孔輸送性の高い物質に対して質量比で、0.1以上4.0以下の比率でアクセプター性物質を添加することが好ましい。

【0135】

アクセプター性物質としては、遷移金属酸化物や元素周期表における第4族乃至第8族に属する金属の酸化物を挙げることができる。具体的には、酸化モリブデンが特に好ましい。なお、酸化モリブデンは、吸湿性が低いという特徴を有している。

【0136】

また、正孔輸送性の高い物質としては、芳香族アミン化合物、カルバゾール誘導体、芳香族炭化水素、高分子化合物（オリゴマー、デンドリマー、ポリマー等）など、種々の有機化合物を用いることができる。具体的には、 $10^{-6} \text{ cm}^2 / \text{Vs}$ 以上の正孔移動度を有する物質であることが好ましい。但し、電子よりも正孔の輸送性の高い物質であれば、これら以外のものを用いてもよい。

【0137】

正孔輸送性の高い物質の具体例を挙げると、例えば、4,4'-ビス[N-(1-ナフチル)-N-フェニルアミノ]ビフェニル（略称：NPB）やN,N'-ビス(3-メチルフェニル)-N,N'-ジフェニル-[1,1'-ビフェニル]-4,4'-ジアミン（略称：TPD）、4-フェニル-4'-(9-フェニルフルオレン-9-イル)トリフェニルアミン（略称：BPALP）、4,4',4'''-トリス(カルバゾール-9-イル)トリフェニルアミン（略称：TCPA）、4,4',4'''-トリス(N,N'-ジフェニルアミノ)トリフェニルアミン（略称：TDATA）、4,4',4'''-トリス[N-(3-メチルフェニル)-N-フェニルアミノ]トリフェニルアミン（略称：MTDATA）、4,4'-ビス[N-(スピロ-9,9'-ビフルオレン-2-イル)-Nフェニルアミノ]ビフェニル（略称：BSPB）などの芳香族アミン化合物、3-[N-(9-フェニルカルバゾール-3-イル)-N-フェニルアミノ]-9-フェニルカルバゾール（略称：PCzPCA1）、3,6-ビス[N-(9-フェニルカルバゾール-3-イル)-N-フェニルアミノ]-9-フェニルカルバゾール（略称：PCzPCA2）、3-[N-(1-ナフチル)-N-(9-フェニルカルバゾール-3-イル)アミノ]-9-フェニルカルバゾール（略称：PCzPCN1）等が挙げられる。その他、4,4'-ジ(N-カルバゾリル)ビフェニル（略称：CBP）、1,3,5-トリス[4-(N-カルバゾリル)フェニル]ベンゼン（略称：TCPB）、9-[4-(10-フェニル-9-アントラセニル)フェニル]-9H-カルバゾール（略称：CzPA）等のカルバゾール誘導体、などがある。ここに述べた物質は、主に $10^{-6} \text{ cm}^2 / \text{Vs}$ 以上の正孔移動度を有する物質である。但し、電子よりも正孔の輸送性の高い物質であれば、これら以外のものを用いてもよい。なお、正孔輸送性の高い物質を含む層は、単層のものだけでなく、上記物質からなる層が二層以上積層したものとしてもよい。

【0138】

これ以外にも、ポリ(N-ビニルカルバゾール)（略称：PVK）、ポリ(4-ビニルトリフェニルアミン)（略称：PVTPA）、ポリ[N-(4-{N'}-[4-(4-ジフェニルアミノ)フェニル]フェニル-N'-フェニルアミノ]フェニル)メタクリルアミド]（略称：PTPDMA）、ポリ[N,N'-ビス(4-ブチルフェニル)-N,N'-ビス(フェニル)ベンジジン]（略称：Poly-TPD）などの高分子化合物を用いることができる。

【0139】

あるいは導電性を有する透明導電酸化物(TCO:Transparent Conductive Oxide)膜を代わりに形成してもよい。あるいは、ゲート電極層401aと同様の材料から形成してもよい。このような膜の厚さは、例えば、10 nm以上50 nm以下とする。これによりトランジスタの閾値電圧のシフトを抑制できる。TCO膜については、例えば、二元化合物のSnO₂、In₂O₃、ZnOおよびCdO、もしく

10

20

30

30

40

40

50

は S n、 I n、 Z n および C d の内の少なくとも一つの元素を含む三元化合物もしくは多元系酸化物などを用いればよい。あるいは、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、 I T O と示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物、グラフェンなどの透光性を有する導電性材料でもよい。第 2 の成膜室 3 1 2 にて形成した膜には、静電遮蔽の効果があるため、これによりトランジスタの閾値電圧のシフトを抑制することができる。続いて、第 3 の成膜室 3 1 3 では酸化アルミニウム膜 4 0 7 b を形成する。成膜装置には、例えば、スパッタリング装置を適用する。成膜方法としては、マイクロ波プラズマスパッタリング法、R F プラズマスパッタリング法、A C スパッタリング法、もしくはD C スパッタリング法を適用することができる。10

【 0 1 4 0 】

次に加熱室 3 1 4 では基板加熱手段 1 5 5 により、基板 1 0 0 の軟化点を上限として基板 1 0 0 を加熱することができる。

【 0 1 4 1 】

加熱室 3 1 4 では、例えば、2 7 5 以上 3 2 5 以下の温度で基板 1 0 0 を加熱する。さらに、圧力調整手段 1 5 7 およびガス導入手段 1 5 9 によって、熱処理中の雰囲気を、例えば、1 0 P a 乃至 1 気圧 (1 0 1 3 . 2 5 h P a) とし、酸素雰囲気下、窒素雰囲気下、または酸素と窒素の混合雰囲気下で熱処理を行うことができる。20

【 0 1 4 2 】

本実施の形態で示した成膜装置は、ロード室から各処理室、およびアンロード室まで一貫して大気に触れない構成となっており、また、常に減圧清浄な環境下で基板を搬送することができる。したがって、本成膜装置を用いて成膜した膜の界面への不純物の混入を抑制することができ、界面状態の極めて良好な膜を形成することができる。なお、各処理室には必要に応じてマスクを基板に装着できる構成を有していてもよい。これにより、パターンを有する膜を直接当該成膜装置により形成できる。

【 0 1 4 3 】

本実施の形態で示した成膜装置を用いて、以降で例示する方法等によって作製した酸化物半導体層をトランジスタなどの半導体装置に適用することにより、安定した電気特性が高い信頼性を有する半導体装置を実現することができる。また、本実施の形態に示した成膜装置は、マザーガラスのような大型基板においても、不純物濃度が低減された一連の装置によって大気に触れることなく酸化物半導体層の形成工程を連続して行うことができる。30

【 0 1 4 4 】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせて実施することができる。

【 0 1 4 5 】

(実施の形態 3)

実施の形態 1 で例示したトランジスタを用いて表示機能を有する半導体装置（表示装置ともいう）を作製することができる。また、トランジスタを含む駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。40

【 0 1 4 6 】

図 8 (A) において、第 1 の基板 4 0 0 1 上に設けられた画素部 4 0 0 2 を囲むようにして、シール材 4 0 0 5 が設けられ、画素部 4 0 0 2 はシール材 4 0 0 5 および第 2 の基板 4 0 0 6 によって封止されている。図 8 (A) においては、第 1 の基板 4 0 0 1 上のシール材 4 0 0 5 によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜または多結晶半導体膜で形成された走査線駆動回路 4 0 0 4 および信号線駆動回路 4 0 0 3 が実装されている。また、別途、信号線駆動回路 4 0 0 3 、走査線駆動回路 4 0 0 4 、および画素部 4 0 0 2 に与えられる各種信号および電位は、F P C (F l e x i b l e p r i n t e d c i r c u i t) 4 0 1 8 a 、F P C 4 0 1 8 b から供給50

されている。

【0147】

図8(B)、図8(C)において、第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって、表示素子を含む画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって共に封止されている。図8(B)、図8(C)においては、第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜または多結晶半導体膜で形成された信号線駆動回路4003が実装されている。図8(B)、図8(C)においては、信号線駆動回路4003、走査線駆動回路4004および画素部4002に与えられる各種信号および電位は、FPC4018から供給されている。
10

【0148】

また、図8(B)、図8(C)においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、この構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0149】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG(Chip On Glass)方法、ワイヤボンディング方法、或いはTAB(Tape Automated Bonding)方法などを用いることができる。図8(A)は、COG方法により信号線駆動回路4003、走査線駆動回路4004を実装する例であり、図8(B)は、COG方法により信号線駆動回路4003を実装する例であり、図8(C)は、TAB方法により信号線駆動回路4003を実装する例である。
20

【0150】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。

【0151】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源(照明装置含む)を指す。また、コネクター、例えば、FPCもしくはTABテープもしくはTCPが取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG方式によりIC(集積回路)が直接実装されたモジュールも全て表示装置に含むものとする。
30

【0152】

また、第1の基板上に設けられた画素部および走査線駆動回路は、トランジスタを複数有しており、実施の形態1で例示したトランジスタを適用することができる。

【0153】

表示装置に設けられる表示素子としては液晶素子(液晶表示素子ともいう)、発光素子(発光表示素子ともいう)を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL(ELectro Luminescence)、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。
40

【0154】

半導体装置の一形態について、図9乃至図11を用いて説明する。図9乃至図11は、図8(B)のQ-Rにおける断面図に相当する。

【0155】

図9乃至図11で示すように、半導体装置は接続端子電極層4015および端子電極層4016を有しており、接続端子電極層4015および端子電極層4016はFPC4018が有する端子と異方性導電膜4019を介して、電気的に接続されている。

【0156】

接続端子電極層 4015 は、第 1 の電極層 4030 と同じ導電膜から形成され、端子電極層 4016 は、トランジスタ 4010、トランジスタ 4011 のソース電極層およびドレイン電極層と同じ導電膜で形成されている。

【0157】

また、第 1 の基板 4001 上に設けられた画素部 4002 と、走査線駆動回路 4004 は、トランジスタを複数有しており、図 9 乃至図 11 では、画素部 4002 に含まれるトランジスタ 4010 と、走査線駆動回路 4004 に含まれるトランジスタ 4011 を例示している。図 9 では、トランジスタ 4010、トランジスタ 4011 上には絶縁膜 4020、絶縁膜 4024 が設けられ、図 10 および図 11 ではさらに、絶縁膜 4021 が設けられている。なお、絶縁膜 4023 は下地膜として機能する絶縁膜である。

10

【0158】

本実施の形態では、トランジスタ 4010、トランジスタ 4011 として、実施の形態 1 で示したトランジスタを適用することができる。

【0159】

トランジスタ 4010 およびトランジスタ 4011 は高純度化し、酸素欠損の形成を抑制した酸化物半導体層を有するトランジスタである。よって、トランジスタ 4010 およびトランジスタ 4011 は、電気的特性変動が抑制されており、電気的に安定である。

【0160】

よって、図 9 乃至図 11 で示す本実施の形態の半導体装置として信頼性の高い半導体装置を提供することができる。

20

【0161】

また、本実施の形態では、絶縁膜上において駆動回路用のトランジスタ 4011 の酸化物半導体膜のチャネル形成領域と重なる位置に導電層が設けられている例である。導電層を酸化物半導体膜のチャネル形成領域と重なる位置に設けることによって、BT 試験前後におけるトランジスタ 4011 のしきい値電圧の変化量をさらに低減することができる。また、導電層は、電位がトランジスタ 4011 のゲート電極層と同じでもよいし、異なっていても良く、第 2 のゲート電極層として機能させることもできる。また、導電層の電位が GND、0V、或いはフローティング状態であってもよい。

【0162】

また、該導電層は外部の電場を遮蔽する、すなわち外部の電場が内部（薄膜トランジスタを含む回路部）に作用しないようにする機能（特に静電気に対する静電遮蔽機能）も有する。導電層の遮蔽機能により、静電気などの外部の電場の影響によりトランジスタの電気的な特性が変動することを防止することができる。なお、当該導電層はトランジスタ 4011 と重畳するような広範囲に設けてもよい。これによりさらなる静電遮蔽機能の向上が見込まれる。

30

【0163】

画素部 4002 に設けられたトランジスタ 4010 は表示素子と電気的に接続し、表示パネルを構成する。表示素子は表示を行うことでれば特に限定されず、様々な表示素子を用いることができる。

【0164】

図 9 に表示素子として液晶素子を用いた液晶表示装置の例を示す。図 9 において、表示素子である液晶素子 4013 は、第 1 の電極層 4030、第 2 の電極層 4031、および液晶層 4008 を含む。なお、液晶層 4008 を挟持するように配向膜として機能する絶縁層 4032、絶縁層 4033 が設けられている。第 2 の電極層 4031 は第 2 の基板 4006 側に設けられ、第 1 の電極層 4030 と第 2 の電極層 4031 とは液晶層 4008 を介して積層する構成となっている。

40

【0165】

また、柱状のスペーサ 4035 は、絶縁膜を選択的にエッチングすることで得られ、液晶層 4008 の膜厚（セルギャップ）を制御するために設けられている。なお、球状のスペーサを用いても良い。

50

【0166】

表示素子として、液晶素子を用いる場合、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料は、条件により、コレステリック相、スマートチック相、キュービック相、カイラルネマチック相、等方相等を示す。

【0167】

また、横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために数重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。よって、液晶表示装置の生産性を向上させることができ可能となる。酸化物半導体膜を用いるトランジスタは、静電気の影響によりトランジスタの電気的な特性が著しく変動して設計範囲を逸脱する恐れがある。よって、酸化物半導体膜を用いるトランジスタを有する液晶表示装置にブルー相の液晶材料を用いることはより効果的である。

【0168】

また、液晶材料の固有抵抗は、 $1 \times 10^9 \text{ } \cdot \text{cm}$ 以上であり、好ましくは $1 \times 10^{11} \text{ } \cdot \text{cm}$ 以上であり、さらに好ましくは $1 \times 10^{12} \text{ } \cdot \text{cm}$ 以上である。なお、本明細書における固有抵抗の値は、20で測定した値とする。

【0169】

液晶表示装置に設けられる保持容量の大きさは、画素部に配置されるトランジスタのリーク電流等を考慮して、所定の期間の間電荷を保持できるように設定される。保持容量の大きさは、トランジスタのオフ電流等を考慮して設定すればよい。高純度且つ酸素欠損の形成を抑制した酸化物半導体層を有するトランジスタを用いることにより、各画素における液晶容量に対して1/3以下、好ましくは1/5以下の容量の大きさを有する保持容量を設ければ充分である。

【0170】

本実施の形態で用いる高純度化し、酸素欠損の形成を抑制した酸化物半導体層を有するトランジスタは、オフ状態における電流値（オフ電流値）を低くすることができる。よって、画像信号等の電気信号の保持時間を長くすることができ、電源オン状態では、書き込み間隔も長く設定できる。よって、リフレッシュ動作の頻度を少なくするため、消費電力を抑制する効果を奏する。

【0171】

また、本実施の形態で用いる高純度化し、酸素欠損の形成を抑制した酸化物半導体層を有するトランジスタは、比較的高い電界効果移動度が得られるため、高速駆動が可能である。例えば、このような高速駆動が可能なトランジスタを液晶表示装置に用いることで、画素部のスイッチングトランジスタと、駆動回路部に使用するドライバートランジスタを同一基板上に形成することができる。すなわち、別途駆動回路として、シリコンウェハ等により形成された半導体装置を用いる必要がないため、半導体装置の部品点数を削減することができる。また、画素部においても、高速駆動が可能なトランジスタを用いることで、高画質な画像を提供することができる。

【0172】

液晶表示装置には、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated

10

20

30

40

50

Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モードなどを用いることができる。

【0173】

また、ノーマリープラック型の液晶表示装置、例えば、垂直配向 (VA) モードを採用した透過型の液晶表示装置としてもよい。垂直配向モードとしては、いくつか挙げられるが、例えば、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASV モードなどを用いることができる。また、VA 型の液晶表示装置にも適用することができる。VA 型の液晶表示装置とは、液晶表示パネルの液晶分子の配列を制御する方式の一種である。VA 型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。また、画素 (ピクセル) をいくつかの領域 (サブピクセル) に分け、それぞれ別の方向に分子を倒すよう工夫されているマルチドメイン化あるいはマルチドメイン設計といわれる方法を用いることができる。

【0174】

また、表示装置において、ブラックマトリクス (遮光層)、偏光部材、位相差部材、反射防止部材などの光学部材 (光学基板) などは適宜設ける。例えば、偏光基板および位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

【0175】

また、画素部における表示方式は、プログレッシブ方式やインターレース方式等を用いることができる。また、カラー表示する際に画素で制御する色要素としては、RGB (R は赤、G は緑、B は青を表す) の三色に限定されない。例えば、RGBW (W は白を表す)、または RGB に、イエロー、シアン、マゼンタ等を一色以上追加したものがある。なお、色要素のドット毎にその表示領域の大きさが異なっていてもよい。ただし、開示する発明はカラー表示の表示装置に限定されるものではなく、モノクロ表示の表示装置に適用することもできる。

【0176】

また、表示装置に含まれる表示素子として、エレクトロルミネッセンスを利用する発光素子を適用することができる。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL 素子、後者は無機EL 素子と呼ばれている。

【0177】

有機EL 素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア (電子および正孔) が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0178】

無機EL 素子は、その素子構成により、分散型無機EL 素子と薄膜型無機EL 素子とに分類される。分散型無機EL 素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL 素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL 素子を用いて説明する。

【0179】

発光素子は発光を取り出すために少なくとも一对の電極の一方が透光性であればよい。そして、基板上にトランジスタおよび発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側および基板とは反

10

20

30

40

50

対側の面から発光を取り出す両面射出構造の発光素子があり、どの射出構造の発光素子も適用することができる。

【0180】

図10に表示素子として発光素子を用いた発光装置の例を示す。表示素子である発光素子4513は、画素部4002に設けられたトランジスタ4010と電気的に接続している。なお、発光素子4513の構成は、第1の電極層4030、電界発光層4511、第2の電極層4031の積層構造であるが、示した構成に限定されない。発光素子4513から取り出す光の方向などに合わせて、発光素子4513の構成は適宜変えることができる。

【0181】

隔壁4510は、有機絶縁材料、または無機絶縁材料を用いて形成する。特に感光性の樹脂材料を用い、第1の電極層4030上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0182】

電界発光層4511は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0183】

発光素子4513に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4031および隔壁4510上に保護膜を形成してもよい。保護膜としては、窒化シリコン膜、窒化酸化シリコン膜、DLC (Diamond Like Carbon) 膜等を形成することができる。また、第1の基板4001、第2の基板4006、およびシール材4005によって封止された空間には充填材4514が設けられ密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム(貼り合わせフィルム、紫外線硬化樹脂フィルム等)やカバー材でパッケージング(封入)することが好ましい。

【0184】

充填材4514としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル樹脂、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。例えば、充填材として窒素を用いればよい。

【0185】

また、必要であれば、発光素子の射出面に偏光板、または円偏光板(楕円偏光板を含む)、位相差板(1/4板、1/2板)、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板または円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0186】

また、表示装置として、電子インクを駆動させる電子ペーパーを提供することも可能である。電子ペーパーは、電気泳動表示装置(電気泳動ディスプレイ)とも呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

【0187】

電気泳動表示装置は、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの(無色を含む)とする。

【0188】

10

20

30

40

50

このように、電気泳動表示装置は、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用したディスプレイである。

【0189】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【0190】

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

10

【0191】

また、電子ペーパーとして、ツイストボール表示方式を用いる表示装置も適用することができる。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第1の電極層および第2の電極層の間に配置し、第1の電極層および第2の電極層に電位差を生じさせて球形粒子の向きを制御することにより、表示を行う方法である。

【0192】

図11に、半導体装置の一形態としてアクティブマトリクス型の電子ペーパーを示す。図11の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層間に配置し、電極層間に電位差を生じさせて球形粒子の向きを制御することにより、表示を行う方法である。

20

【0193】

トランジスタ4010と接続する第1の電極層4030と、第2の基板4006に設けられた第2の電極層4031との間には黒色領域4615aおよび白色領域4615bを有する粒子と、該粒子を包むキャビティ4612と、該粒子とキャビティ4612の間を満たす液体と、を含む球形粒子4613が設けられており、球形粒子4613の周囲は樹脂等の充填材4614で充填されている。第2の電極層4031が共通電極層（対向電極層）に相当する。第2の電極層4031は、共通電位線と電気的に接続される。

30

【0194】

なお、図9乃至図11において、第1の基板4001、第2の基板4006としては、ガラス基板の他、可撓性を有する基板も用いることができ、例えば、透光性を有するプラスチック基板などを用いることができる。プラスチックとしては、F R P (F i b e r g l a s s - R e i n f o r c e d P l a s t i c s)板、P V F (ポリビニルフルオライド)フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをP V F フィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

【0195】

本実施の形態では、絶縁膜4020として酸化シリコン膜を用い、絶縁膜4024として酸化アルミニウム膜を用いる。絶縁膜4020、絶縁膜4024はスパッタリング法やプラズマCVD法によって形成することができる。

40

【0196】

酸化物半導体層上に絶縁膜4024として設けられた酸化アルミニウム膜は、水素、水分などの不純物、および酸素の両方に対して膜を透過させない遮断効果（ブロック効果）が高い。

【0197】

したがって、酸化アルミニウム膜は、作製工程中および作製後において、変動要因となる水素、水分などの不純物の酸化物半導体膜への混入、および酸化物半導体を構成する主成分材料である酸素の酸化物半導体膜からの放出を防止する保護膜として機能する。

50

【0198】

また、絶縁膜4020として酸化物半導体層と接して設けられた酸化シリコン膜は、酸素を酸化物半導体層へ供給する機能を有する。よって、絶縁膜4020は酸素を多く含む酸化絶縁膜が好ましい。

【0199】

トランジスタ4010およびトランジスタ4011は、高純度化し、酸素欠損の形成を抑制した酸化物半導体層を有する。また、トランジスタ4010およびトランジスタ4011は、ゲート絶縁膜として酸化アルミニウム膜と酸化シリコン膜を有する。トランジスタ4010およびトランジスタ4011に含まれる酸化物半導体層は、酸素添加処理により化学量論比よりも過剰な酸素を有する領域を形成し、酸素添加後の熱処理を、酸化物半導体層上下に、酸化アルミニウム膜が設けられた状態で行うため、該熱処理によって酸化物半導体層から酸素が放出されるのを防止することができる。よって、得られる酸化物半導体層は、化学量論的比よりも酸素の含有量が過剰な領域を含むものとすることができます。10

【0200】

また、トランジスタ4010およびトランジスタ4011に含まれる酸化物半導体層は、酸化物半導体膜形成後の熱処理、または、酸素添加処理後の熱処理の少なくとも一方によつて、脱水化または脱水素化された高純度なものである。よつて、該酸化物半導体層をトランジスタ4010およびトランジスタ4011に用いることで、酸素欠損に起因するトランジスタのしきい値電圧V_{th}のばらつき、しきい値電圧のシフトV_{th}を低減することができる。20

【0201】

また、平坦化絶縁膜として機能する絶縁膜4021は、アクリル樹脂、ポリイミド、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また、上記有機材料の他に、低誘電率材料（LOW-k材料）、シリコサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁膜4021を形成してもよい。

【0202】

絶縁膜4021の形成法は、特に限定されず、その材料に応じて、スパッタリング法、SOG法、スピンドルコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法等）、印刷法（スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーティング、カーテンコーティング、ナイフコーティング等を用いることができる。30

【0203】

表示装置は、光源または表示素子からの光を透過させて表示を行う。よつて、光が透過する画素部に設けられる基板、絶縁膜、導電膜などの薄膜はすべて可視光の波長領域の光に対して透光性とする。

【0204】

表示素子に電圧を印加する第1の電極層および第2の電極層（画素電極層、共通電極層、対向電極層などともいう）においては、取り出す光の方向、電極層が設けられる場所、および電極層のパターン構造によって透光性、反射性を選択すればよい。40

【0205】

第1の電極層4030、第2の電極層4031は、酸化タンクステンを含むインジウム酸化物、酸化タンクステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、ITO、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物、グラフェンなどの透光性を有する導電性材料を用いることができる。

【0206】

また、第1の電極層4030、第2の電極層4031はタンクステン（W）、モリブデン（Mo）、ジルコニウム（Zr）、ハフニウム（Hf）、バナジウム（V）、ニオブ（50

Nb)、タンタル(Ta)、クロム(Cr)、コバルト(Co)、ニッケル(Ni)、チタン(Ti)、白金(Pt)、アルミニウム(Al)、銅(Cu)、銀(Ag)等の金属、またはその合金、若しくはその金属窒化物から一つ、または複数種を用いて形成することができる。

【0207】

また、第1の電極層4030、第2の電極層4031として、導電性高分子(導電性ポリマーともいう)を含む導電性組成物を用いて形成することができる。導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはアニリン、ピロールおよびチオフェンの2種以上からなる共重合体若しくはその誘導体などが挙げられる。10

【0208】

また、トランジスタは静電気などにより破壊されやすいため、駆動回路保護用の保護回路を設けることが好ましい。保護回路は、非線形素子を用いて構成することができる。

【0209】

以上のように実施の形態1で示したトランジスタを適用することで、様々な機能を有する半導体装置を提供することができる。

【0210】

(実施の形態4)

実施の形態1で例示したトランジスタを用いて、対象物の情報を読み取るイメージセンサ機能を有する半導体装置を作製することができる。20

【0211】

図12(A)に、イメージセンサ機能を有する半導体装置の一例を示す。図12(A)はフォトセンサの等価回路であり、図12(B)はフォトセンサの一部を示す断面図である。

【0212】

フォトダイオード602は、一方の電極がフォトダイオードリセット信号線658に、他方の電極がトランジスタ640のゲートに電気的に接続されている。トランジスタ640は、ソースまたはドレインの一方がフォトセンサ基準信号線672に、ソースまたはドレインの他方がトランジスタ656のソースまたはドレインの一方に電気的に接続されている。トランジスタ656は、ゲートがゲート信号線659に、ソースまたはドレインの他方がフォトセンサ出力信号線671に電気的に接続されている。30

【0213】

なお、本明細書における回路図において、酸化物半導体膜を用いるトランジスタと明確に判明できるように、酸化物半導体膜を用いるトランジスタの記号には「OS」と記載している。図12(A)において、トランジスタ640、トランジスタ656は実施の形態1に示すような酸素添加処理によって、酸素過剰領域を形成した酸化物半導体層を用いるトランジスタである。

【0214】

図12(B)は、フォトセンサにおけるフォトダイオード602およびトランジスタ640に示す断面図であり、絶縁表面を有する基板601(TFT基板)上に、センサとして機能するフォトダイオード602およびトランジスタ640が設けられている。フォトダイオード602、トランジスタ640の上には接着層608を用いて基板613が設けられている。40

【0215】

トランジスタ640上には絶縁膜631、絶縁膜632、層間絶縁膜633、層間絶縁膜634が設けられている。フォトダイオード602は、層間絶縁膜633上に設けられ、層間絶縁膜633上に形成した電極層641bと、層間絶縁膜634上に設けられた電極層642との間に、層間絶縁膜633側から順に第1半導体膜606a、第2半導体膜606b、および第3半導体膜606cを積層した構造を有している。なお、絶縁膜6350

2は設けなくてもよい。

【0216】

電極層641bは、層間絶縁膜634に形成された導電層643と電気的に接続し、電極層642は電極層641aを介してゲート電極層645と電気的に接続している。ゲート電極層645は、トランジスタ640のゲート電極層と電気的に接続しており、フォトダイオード602はトランジスタ640と電気的に接続している。

【0217】

ここでは、第1半導体膜606aとしてp型の導電型を有する半導体膜と、第2半導体膜606bとして高抵抗な半導体膜(i型半導体膜)、第3半導体膜606cとしてn型の導電型を有する半導体膜を積層するpin型のフォトダイオードを例示している。

10

【0218】

第1半導体膜606aはp型半導体膜であり、p型を付与する不純物元素を含むアモルファスシリコン膜により形成することができる。第1半導体膜606aの形成には13族の不純物元素(例えばボロン(B))を含む半導体材料ガスを用いて、プラズマCVD法により形成する。半導体材料ガスとしてはシラン(SiH₄)を用いればよい。または、Si₂H₆、SiH₂Cl₂、SiHCl₃、SiCl₄、SiF₄等を用いてもよい。また、不純物元素を含まないアモルファスシリコン膜を形成した後に、拡散法やイオン注入法を用いて該アモルファスシリコン膜に不純物元素を導入してもよい。イオン注入法等により不純物元素を導入した後に加熱等を行うことで、不純物元素を拡散させるとよい。この場合にアモルファスシリコン膜を形成する方法としては、LPCVD法、気相成長法、またはスパッタリング法等を用いればよい。第1半導体膜606aの膜厚は10nm以上50nm以下となるよう形成することが好ましい。

20

【0219】

第2半導体膜606bは、i型半導体膜(真性半導体膜)であり、アモルファスシリコン膜により形成する。第2半導体膜606bの形成には、半導体材料ガスを用いて、アモルファスシリコン膜をプラズマCVD法により形成する。半導体材料ガスとしては、シラン(SiH₄)を用いればよい。または、Si₂H₆、SiH₂Cl₂、SiHCl₃、SiCl₄、SiF₄等を用いてもよい。第2半導体膜606bの形成は、LPCVD法、気相成長法、スパッタリング法等により行っても良い。第2半導体膜606bの膜厚は200nm以上1000nm以下となるように形成することが好ましい。

30

【0220】

第3半導体膜606cは、n型半導体膜であり、n型を付与する不純物元素を含むアモルファスシリコン膜により形成する。第3半導体膜606cの形成には、15族の不純物元素(例えばリン(P))を含む半導体材料ガスを用いて、プラズマCVD法により形成する。半導体材料ガスとしてはシラン(SiH₄)を用いればよい。または、Si₂H₆、SiH₂Cl₂、SiHCl₃、SiCl₄、SiF₄等を用いてもよい。また、不純物元素を含まないアモルファスシリコン膜を形成した後に、拡散法やイオン注入法を用いて該アモルファスシリコン膜に不純物元素を導入してもよい。イオン注入法等により不純物元素を導入した後に加熱等を行うことで、不純物元素を拡散させるとよい。この場合にアモルファスシリコン膜を形成する方法としては、LPCVD法、気相成長法、またはスパッタリング法等を用いればよい。第3半導体膜606cの膜厚は20nm以上200nm以下となるよう形成することが好ましい。

40

【0221】

また、第1半導体膜606a、第2半導体膜606b、および第3半導体膜606cは、アモルファス半導体ではなく、多結晶半導体を用いて形成してもよいし、微結晶(セミアモルファス(Semi Amorphous Semiconductor:SAS))半導体を用いて形成してもよい。

【0222】

微結晶半導体は、ギブスの自由エネルギーを考慮すれば非晶質と単結晶の中間的な準安定状態に属するものである。すなわち、自由エネルギー的に安定な第3の状態を有する半

50

導体であって、短距離秩序を持ち格子歪みを有する。柱状または針状結晶が基板表面に対して法線方向に成長している。微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す 520 cm^{-1} よりも低波数側にシフトしている。即ち、単結晶シリコンを示す 520 cm^{-1} とアモルファシリコンを示す 480 cm^{-1} の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手（ダングリングボンド）を終端するため水素またはハロゲンを少なくとも 1 原子%またはそれ以上含ませている。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体膜が得られる。

【0223】

この微結晶半導体膜は、周波数が数十 MHz ~ 数百 MHz の高周波プラズマ CVD 法、または周波数が 1 GHz 以上のマイクロ波プラズマ CVD 装置により形成することができる。代表的には、 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHC_1Cl_3 、 SiCl_4 、 SiF_4 などの水素化シリコンもしくはハロゲン化シリコンを水素で希釈して形成することができる。また、水素化シリコンおよび水素に加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して微結晶半導体膜を形成することができる。これらのときの水素化シリコンに対して水素の流量比を 5 倍以上 200 倍以下、好ましくは 50 倍以上 150 倍以下、さらに好ましくは 100 倍とする。さらには、シリコンを含む気体中に、 CH_4 、 C_2H_6 等の炭化物気体、 GeH_4 、 GeF_4 等のゲルマニウム化気体、 F_2 等を混入させてもよい。

【0224】

また、光電効果で発生した正孔の移動度は電子の移動度に比べて小さいため、 $p-i-n$ 型のフォトダイオードは p 型の半導体膜側を受光面とする方がよい特性を示す。ここでは、 $p-i-n$ 型のフォトダイオードが形成されている基板 601 の面からフォトダイオード 602 が受ける光 622 を電気信号に変換する例を示す。また、受光面とした半導体膜側とは逆の導電型を有する半導体膜側からの光は外乱光となるため、電極層は遮光性を有する導電膜を用いるとよい。また、 n 型の半導体膜側を受光面として用いることもできる。

【0225】

層間絶縁膜 633、層間絶縁膜 634 としては、絶縁性材料を用いて、その材料に応じて、スパッタリング法、プラズマ CVD 法、SOG 法、スピンドルコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法等）、印刷法（スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーラー、カーテンコーラー、ナイフコーラー等を用いて形成することができる。

【0226】

本実施の形態では、絶縁膜 631 として酸化アルミニウム膜を用いる。絶縁膜 631 はスパッタリング法やプラズマ CVD 法によって形成することができる。

【0227】

酸化物半導体層上に絶縁膜 631 として設けられた酸化アルミニウム膜は、水素、水分などの不純物、および酸素の両方に対して膜を透過させない遮断効果（ブロック効果）が高い。

【0228】

したがって、酸化アルミニウム膜は、作製工程中および作製後において、変動要因となる水素、水分などの不純物の酸化物半導体層への混入、および酸化物半導体を構成する主成分材料である酸素の酸化物半導体層からの放出を防止する保護膜として機能する。

【0229】

本実施の形態において、トランジスタ 640 は、高純度化し、酸素欠損の形成を抑制した酸化物半導体層を有する。また、トランジスタ 640 は、ゲート絶縁膜として酸化シリコン膜を有する。トランジスタ 640 に含まれる酸化物半導体層は、酸素添加処理により化学量論比よりも過剰な酸素を有する領域を形成し、酸素添加後の熱処理を、酸化物半導体層上に、絶縁膜 631 として酸化アルミニウム膜が設けられた状態で行うため、該熱処

10

20

30

40

50

理によって、酸化物半導体層から酸素が放出されるのを防止することができる。よって、得られる酸化物半導体層は、化学量論的比よりも酸素の含有量が過剰な領域を含む膜とすることができる。

【0230】

また、トランジスタ640に含まれる酸化物半導体層は、酸化物半導体膜形成後の熱処理、または、酸素添加処理後の熱処理の少なくとも一方によって、脱水化または脱水素化された高純度なものである。よって、該酸化物半導体層をトランジスタ640に用いることで、酸素欠損に起因するトランジスタのしきい値電圧V_{t h}のばらつき、しきい値電圧のシフトV_{t h}を低減することができる。

【0231】

絶縁膜632としては、無機絶縁材料である、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、または酸化窒化アルミニウムなどの酸化物絶縁膜、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、または窒化酸化アルミニウムなどの窒化物絶縁膜の単層、または積層を用いることができる。さらにその上から、有機物と金属酸化物の混合膜、またはTCO膜などを形成してもよい。あるいは、窒素を含むIn-Ga-Zn-O膜や、窒素を含むIn-Sn-O膜や、窒素を含むIn-Ga-O膜や、窒素を含むIn-Zn-O膜や、窒素を含むSn-O膜や、窒素を含むIn-O膜や、金属窒化膜(InN、ZnNなど)を形成してもよい。これにより静電遮蔽の効果が見込まれるため、より性能の安定したトランジスタを得ることができる。

【0232】

層間絶縁膜633、層間絶縁膜634としては、表面凹凸を低減するため平坦化絶縁膜として機能する絶縁膜が好ましい。層間絶縁膜633、層間絶縁膜634としては、例えば、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ樹脂等の耐熱性を有する有機絶縁材料を用いることができる。また、上記有機絶縁材料の他に、低誘電率材料(low-k材料)、シロキサン系樹脂、PSG(リンガラス)、BPSG(リンボロンガラス)等の単層、または積層を用いることができる。

【0233】

フォトダイオード602に入射する光を検出することによって、被検出物の情報を読み取ることができる。なお、被検出物の情報を読み取る際にバックライトなどの光源を用いることができる。

【0234】

以上のように、高純度化し、酸素欠損の形成を抑制した酸化物半導体層を有するトランジスタは、トランジスタの電気的特性変動が抑制されており、電気的に安定である。よって、該トランジスタを用いることで信頼性の高い半導体装置を提供することができる。

【0235】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0236】

(実施の形態5)

実施の形態1で例示したトランジスタは、複数のトランジスタを積層する集積回路を有する半導体装置に好適に用いることができる。本実施の形態では、半導体装置の一例として、記憶媒体(メモリ素子)の例を示す。

【0237】

本実施の形態では、単結晶半導体基板に作製された第1のトランジスタと絶縁膜を介して第1のトランジスタの上方に半導体膜を用いて作製された第2のトランジスタを含む半導体装置を作製する。

【0238】

図7は、半導体装置の構成の一例である。図7(A)には、半導体装置の断面を、図7(B)には、半導体装置の平面を、それぞれ示す。ここで、図7(A)は、図7(B)のC1-C2およびD1-D2における断面に相当する。また、図7(C)には、上記半導

10

20

30

40

50

体装置をメモリ素子として用いる場合の回路図の一例を示す。

【0239】

図7(A)および図7(B)に示される半導体装置は、下部に第1の半導体材料を用いたトランジスタ140を有し、上部に第2の半導体材料を用いたトランジスタ162を有する。実施の形態1で例示したトランジスタは、トランジスタ162に好適に用いることができる。

【0240】

積層するトランジスタ140、トランジスタ162の半導体材料、および構造は、同一でもよいし異なっていてもよい。本実施の形態では、記憶媒体(メモリ素子)の回路に好適な材料および構造のトランジスタをそれぞれ用いる例であり、第1の半導体材料を酸化物半導体以外の半導体材料とし、第2の半導体材料を酸化物半導体とする。酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いるのが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

10

【0241】

トランジスタ140は、半導体材料(例えば、シリコンなど)を含む基板185に設けられたチャネル形成領域116と、チャネル形成領域116を挟むように設けられた不純物領域120と、不純物領域120に接する金属化合物領域124と、チャネル形成領域116上に設けられたゲート絶縁膜108と、ゲート絶縁膜108上に設けられたゲート電極層110とを有する。

20

【0242】

半導体材料を含む基板185は、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することができる。なお、一般に「SOI基板」は、絶縁表面上にシリコン半導体膜が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体膜が設けられた構成の基板も含む。つまり、「SOI基板」が有する半導体膜は、シリコン半導体膜に限定されない。また、SOI基板には、ガラス基板などの絶縁基板上に絶縁膜を介して半導体膜が設けられた構成のものが含まれるものとする。

30

【0243】

SOI基板の作製方法としては、鏡面研磨ウェハーに酸素イオンを注入した後、高温加熱することにより、表面から一定の深さに酸化層を形成させるとともに、表面層に生じた欠陥を消滅させて作る方法、水素イオン照射により形成された微小ボイドの熱処理による成長を利用して半導体基板を劈開する方法や、絶縁表面上に結晶成長により単結晶半導体膜を形成する方法等を用いることができる。

【0244】

例えば、単結晶半導体基板の一つの面からイオンを添加して、単結晶半導体基板の一つの面から一定の深さに脆弱化層を形成し、単結晶半導体基板の一つの面上、または素子基板上のどちらか一方に絶縁膜を形成する。単結晶半導体基板と素子基板を、絶縁膜を挟んで重ね合わせた状態で、脆弱化層に亀裂を生じさせ、単結晶半導体基板を脆弱化層で分離する熱処理を行い、単結晶半導体基板より半導体膜として単結晶半導体膜を素子基板上に形成する。上記方法を用いて作製されたSOI基板も好適に用いることができる。

40

【0245】

基板185上にはトランジスタ140を囲むように素子分離絶縁膜106が設けられている。なお、高集積化を実現するためには、図7に示すようにトランジスタ140がサイドウォール絶縁膜を有しない構成とすることが望ましい。一方で、トランジスタ140の特性を重視する場合には、ゲート電極層110の側面にサイドウォール絶縁膜を設け、不純物濃度が異なる領域を含む不純物領域120を設けても良い。

【0246】

50

単結晶半導体基板を用いたトランジスタ140は、高速動作が可能である。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。

【0247】

本実施の形態においては、トランジスタ140を覆うように絶縁膜二層を形成する。但し、トランジスタ140を覆う絶縁膜は、単層構造としてもよいし、3層以上の積層構造としてもよい。但し、上部に設けられるトランジスタ162に含まれる酸化物半導体膜と接する絶縁膜としては、酸化シリコン膜を適用するものとする。

【0248】

トランジスタ162および容量素子164の形成前の処理として、該絶縁膜二層にC M P処理を施して、平坦化した絶縁膜128、絶縁膜130を形成し、同時にゲート電極層110の上面を露出させる。10

【0249】

絶縁膜128、絶縁膜130は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いることができる。絶縁膜128、絶縁膜130は、プラズマC V D法またはスパッタリング法等を用いて形成することができる。

【0250】

また、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂等の有機材料を用いることができる。また、上記有機材料の他に、低誘電率材料(10w-k材料)等を用いることができる。有機材料を用いる場合、スピンドルコート法、印刷法などの湿式法によって絶縁膜128、絶縁膜130を形成してもよい。20

【0251】

本実施の形態では、絶縁膜128としてスパッタリング法により膜厚50nmの酸化窒化シリコン膜を形成し、絶縁膜130としてスパッタリング法により膜厚550nmの酸化シリコン膜を形成する。

【0252】

その後、C M P処理により十分に平坦化した絶縁膜130上に導電膜を形成し、これを加工して島状のゲート電極層401を形成する。続いて、酸化アルミニウム膜402a、酸化シリコン膜402b、酸化物半導体膜を順に積層する。これは実施の形態2で記したようにインライン装置にて連続的に形成する。その後、当該インライン装置にて、実施の形態1で示したような熱処理および加酸素化処理を続けて行う。インライン装置でのこれらの処理は大気に暴露することなく連続的に行う。これにより、各処理間の時間をクラスター装置に比べて著しく短くできるため、各層の界面に蓄積される不純物の量を大幅に抑えることができる。その後、選択的にエッチングし、酸化物半導体層403などを得る。30

【0253】

次に、導電層を形成し選択的にエッチングして、ソース電極層またはドレイン電極層142a、ソース電極層またはドレイン電極層142bを形成する。これらは実施の形態1に示したソース電極層405a、ドレイン電極層405bのいずれかに相当する。40

【0254】

導電層は、スパッタリング法をはじめとするP V D法や、プラズマC V D法などのC V D法を用いて形成することができる。また、導電層の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。Mn、Mg、Zr、Be、Nd、Scのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。

【0255】

導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、窒化チタン膜上にチタン膜が積層された2層

50

50

50

50

50

構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。なお、導電層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパー形状を有するソース電極層またはドレイン電極層142a、およびソース電極層またはドレイン電極層142bへの加工が容易であるというメリットがある。

【0256】

上部のトランジスタ162のチャネル長(L)は、ソース電極層またはドレイン電極層142a、およびソース電極層またはドレイン電極層142bの下端部の間隔によって決定される。なお、チャネル長(L)が25nm未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、数nm～数10nmと波長の短い超紫外線を用いるのが望ましい。10

【0257】

次に、酸化物半導体層403の一部に接する酸化シリコン膜407aを、例えば、プラズマCVD法またはスパッタリング法等を用いて形成する。酸化シリコン膜407aは、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、または酸化ハフニウム膜等の酸素を含む膜で形成できる。

【0258】

次に、酸化シリコン膜407a上において、ソース電極層またはドレイン電極層142aと重畳する領域に電極層148bを形成する。この際、酸化シリコン膜407aから後に形成される酸化アルミニウム膜までは大気暴露することなく実施の形態2に示したようなインライン装置にて形成するため、それらの膜を形成する成膜室の間に導電層を形成する成膜室を別途設ける必要がある。具体的には、第1の成膜室211と第2の成膜室212の間、もしくは、第2の成膜室312と第3の成膜室313の間に設置する。当該導電層はパターンを有するため、マスクの着脱が可能な構成を有する成膜室とする必要がある。20

【0259】

電極層148bは、酸化シリコン膜407a上に導電層を形成した後に、当該導電層を選択的にエッチングすることによって形成することができる。

【0260】

次に、酸化シリコン膜407aおよび電極層148b上に、酸化アルミニウム膜を含む絶縁膜150を形成する。酸化アルミニウム膜は実施の形態1に示した酸化アルミニウム膜407bに相当する。絶縁膜150を積層構造とする場合、プラズマCVD法またはスパッタリング法等を用いて、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜、酸化ハフニウム膜、または酸化ガリウム膜を酸化アルミニウム膜と積層して形成してもよい。30

【0261】

絶縁膜150成膜後、熱処理を行う。該熱処理の温度は、好ましくは200以上650以下、より好ましくは450以上650以下、または基板の歪み点未満、より好ましくは275以上325以下とする。絶縁膜150として用いる酸化アルミニウム膜は、水素、水分などの不純物、および酸素の両方に対して膜を透過させない遮断効果(ロック効果)が高く、絶縁膜150を成膜後に熱処理を行うことで、酸化物半導体層403からの酸素の放出を防止することができる。40

【0262】

次にトランジスタ162、および絶縁膜150上に、絶縁膜152を形成する。絶縁膜152は、スパッタリング法やCVD法などを用いて形成することができる。また、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。

【0263】

次に、酸化シリコン膜407a、絶縁膜150、および絶縁膜152に、ソース電極層またはドレイン電極層142bにまで達する開口を形成する。当該開口の形成は、マスク50

などを用いた選択的なエッチングにより行われる。

【0264】

その後、上記開口にソース電極層またはドレイン電極層 142b に接する配線 156 を形成する。なお、図 7 にはソース電極層またはドレイン電極層 142b と配線 156 との接続箇所は図示していない。

【0265】

配線 156 は、スパッタリング法をはじめとする PVD 法や、プラズマ CVD 法などの CVD 法を用いて導電層を形成した後、当該導電層をエッチング加工することによって形成される。また、導電層の材料としては、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素や、上述した元素を成分とする合金等を用いることができる。Mn、Mg、
10 Zr、Be、Nd、Sc のいずれか、またはこれらを複数組み合わせた材料を用いてもよい。詳細は、ソース電極層またはドレイン電極層 142a、および、ソース電極層またはドレイン電極層 142b などと同様である。

【0266】

以上の工程でトランジスタ 162 および容量素子 164 が完成する。トランジスタ 162 は、高純度化し、酸素を過剰に含む膜により挟まれた酸化物半導体層 403 を有するトランジスタである。よって、トランジスタ 162 は、電気的特性変動が抑制されており、電気的に安定である。容量素子 164 は、ソース電極層またはドレイン電極層 142a、酸化シリコン膜 407a、および電極層 148b を含んで構成される。

【0267】

図 7 (C) には、上記半導体装置をメモリ素子として用いる場合の回路図の一例を示す。図 7 (C) において、トランジスタ 162 のソース電極層またはドレイン電極層の一方と、容量素子 164 の電極層の一方と、トランジスタ 140 のゲート電極層とは電気的に接続されている。また、第 1 の配線 (1st Line : ソース線とも呼ぶ) とトランジスタ 140 のソース電極層とは、電気的に接続され、第 2 の配線 (2nd Line : ビット線とも呼ぶ) とトランジスタ 140 のドレイン電極層とは、電気的に接続されている。また、第 3 の配線 (3rd Line : 第 1 の信号線とも呼ぶ) とトランジスタ 162 のソース電極層またはドレイン電極層の他方とは、電気的に接続され、第 4 の配線 (4th Line : 第 2 の信号線とも呼ぶ) と、トランジスタ 162 のゲート電極層とは、電気的に接続されている。そして、第 5 の配線 (5th Line : ワード線とも呼ぶ) と、容量素子 164 の電極層の他方は電気的に接続されている。

【0268】

酸化物半導体を用いたトランジスタ 162 は、オフ電流が極めて小さいという特徴を有しているため、トランジスタ 162 をオフ状態とすることで、トランジスタ 162 のソース電極層またはドレイン電極層の一方と、容量素子 164 の電極層の一方と、トランジスタ 140 のゲート電極層とが電気的に接続されたノード (以下、ノード FG) の電位を極めて長時間にわたって保持することが可能である。そして、容量素子 164 を有することにより、ノード FG に与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。

【0269】

半導体装置に情報を記憶させる場合 (書き込み) は、まず、第 4 の配線の電位を、トランジスタ 162 がオン状態となる電位にして、トランジスタ 162 をオン状態とする。これにより、第 3 の配線の電位が、ノード FG に供給され、ノード FG に所定量の電荷が蓄積される。ここでは、異なる二つの電位レベルを与える電荷 (以下、ロー (Low) レベル電荷、ハイ (High) レベル電荷という) のいずれかが与えられるものとする。その後、第 4 の配線の電位を、トランジスタ 162 がオフ状態となる電位にして、トランジスタ 162 をオフ状態とすることにより、ノード FG が浮遊状態となるため、ノード FG には所定の電荷が保持されたままの状態となる。以上のように、ノード FG に所定量の電荷を蓄積および保持させることで、メモリセルに情報を記憶させることができる。

【0270】

10

20

30

40

50

トランジスタ162のオフ電流は極めて小さいため、ノードFGに供給された電荷は長時間にわたって保持される。したがって、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となり、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することができる。

【0271】

記憶された情報を読み出す場合（読み出し）は、第1の配線に所定の電位（定電位）を与えた状態で、第5の配線に適切な電位（読み出し電位）を与えると、ノードFGに保持された電荷量に応じて、トランジスタ140は異なる状態をとる。一般に、トランジスタ140をnチャネル型とすると、ノードFGにHighレベル電荷が保持されている場合のトランジスタ140の見かけのしきい値 V_{th_H} は、ノードFGにLowレベル電荷が保持されている場合のトランジスタ140の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値とは、トランジスタ140を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノードFGに保持された電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ140は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ140は「オフ状態」のままである。このため、第5の配線の電位を制御して、トランジスタ140のオン状態またはオフ状態を読み出す（第2の配線の電位を読み出す）ことで、記憶された情報を読み出すことができる。10

【0272】

また、記憶させた情報を書き換える場合においては、上記の書き込みによって所定量の電荷を保持したノードFGに、新たな電位を供給することで、ノードFGに新たな情報に係る電荷を保持させる。具体的には、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位（新たな情報に係る電位）が、ノードFGに供給され、ノードFGに所定量の電荷が蓄積される。その後、第4の配線の電位をトランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、ノードFGには、新たな情報に係る電荷が保持された状態となる。すなわち、ノードFGに第1の書き込みによって所定量の電荷が保持された状態で、第1の書き込みと同様の動作（第2の書き込み）を行うことで、記憶させた情報を上書きすることができる。20

【0273】

本実施の形態で示すトランジスタ162は、高純度化され、酸素を過剰に含む膜により挟まれた酸化物半導体層403を有することで、トランジスタ162のオフ電流を十分に低減することができる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。30

【0274】

以上のように、高純度化し、酸素欠損の形成を抑制した酸化物半導体層を有するトランジスタは、電気的特性変動が抑制されており、電気的に安定である。よって、該トランジスタを用いることで信頼性の高い半導体装置を提供することができる。40

【0275】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0276】

（実施の形態6）

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ等のカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともい50

う)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。上記実施の形態で説明した半導体装置を具備する電子機器の例について説明する。

【0277】

図13(A)は、ノート型のパーソナルコンピュータであり、本体3001、筐体3002、表示部3003、キーボード3004などによって構成されている。上記実施の形態のいずれかで示した半導体装置を表示部3003に適用することにより、信頼性の高いノート型のパーソナルコンピュータとすることができます。

【0278】

図13(B)は、携帯情報端末(PDA)であり、本体3021には表示部3023と、外部インターフェイス3025と、操作ボタン3024等が設けられている。また、操作用の付属品としてスタイルス3022がある。上記実施の形態のいずれかで示した半導体装置を表示部3023に適用することにより、より信頼性の高い携帯情報端末(PDA)とすることができます。

10

【0279】

図13(C)は、電子書籍の一例を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

20

【0280】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、継ぎ画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成として、例えば、右側の表示部(図13(C)では表示部2705)に文章を表示し、左側の表示部(図13(C)では表示部2707)に画像を表示することができる。上記実施の形態のいずれかで示した半導体装置を表示部2705、表示部2707に適用することにより、信頼性の高い電子書籍2700とすることができます。表示部2705として半透過型、または反射型の液晶表示装置を用いる場合、比較的明るい状況下での使用も予想されるため、太陽電池を設け、太陽電池による発電、およびバッテリーでの充電を行えるようにしてもよい。なお、バッテリーとしては、リチウムイオン電池を用いると、小型化を図れる等の利点がある。

30

【0281】

また、図13(C)では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカー2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

40

【0282】

また、電子書籍2700は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とともに可能である。

【0283】

図13(D)は、携帯電話であり、筐体2800および筐体2801の二つの筐体で構成されている。筐体2801には、表示パネル2802、スピーカー2803、マイクロフォン2804、ポインティングデバイス2806、カメラ用レンズ2807、外部接続端子2808などを備えている。また、筐体2800には、携帯電話の充電を行う太陽電池セル2810、外部メモリスロット2811などを備えている。また、アンテナは筐体

50

2801 内部に内蔵されている。上記実施の形態のいずれかで示した半導体装置を表示パネル2802に適用することにより、信頼性の高い携帯電話とすることができる。

【0284】

また、表示パネル2802はタッチパネルを備えており、図13(D)には映像表示されている複数の操作キー2805を点線で示している。なお、太陽電池セル2810で出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路も実装している。

【0285】

表示パネル2802は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル2802と同一面上にカメラ用レンズ2807を備えているため、テレビ電話が可能である。スピーカー2803およびマイクロフォン2804は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体2800と筐体2801は、スライドし、図13(D)のように展開している状態から重なり合った状態とすることができます、携帯に適した小型化が可能である。

【0286】

外部接続端子2808はACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能であり、充電およびパーソナルコンピュータなどとのデータ通信が可能である。また、外部メモリスロット2811に記録媒体を挿入し、より大量のデータ保存および移動に対応できる。

【0287】

また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【0288】

図13(E)は、デジタルビデオカメラであり、本体3051、表示部(A)3057、接眼部3053、操作スイッチ3054、表示部(B)3055、バッテリー3056などによって構成されている。上記実施の形態のいずれかで示した半導体装置を表示部(A)3057、表示部(B)3055に適用することにより、信頼性の高いデジタルビデオカメラとすることができます。

【0289】

図13(F)は、テレビジョン装置の一例を示している。テレビジョン装置9600は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することができる。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。上記実施の形態のいずれかで示した半導体装置を表示部9603に適用することにより、信頼性の高いテレビジョン装置9600とすることができます。

【0290】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機により行うことができる。また、リモコン操作機に、当該リモコン操作機から出力する情報を表示する表示部を設ける構成としてもよい。

【0291】

なお、テレビジョン装置9600は、受信機やモ뎀などを備えた構成とする。受信機により一般的のテレビ放送の受信を行うことができ、さらにモ뎀を介して有線または無線による通信ネットワークに接続することにより、一方向(送信者から受信者)または双方向(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うことも可能である。

【0292】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することができる。

【実施例】

【0293】

本実施例では、開示する発明に係る半導体装置において用いる酸化アルミニウム膜のバリア膜としての特性について評価を行った。図14乃至図17に結果を示す。評価方法と

10

20

30

40

50

しては、二次イオン質量分析法（S I M S : Secondary Ion Mass Spectrometry）と、T D S（Thermal Desorption Spectroscopy：昇温脱離ガス分光法）分析法を用いた。

【0294】

まず、S I M S 分析によって行った評価を示す。試料は、比較例としてガラス基板上にスパッタリング法による酸化シリコン膜が膜厚100 nm形成された比較例試料Aと、実施例としてガラス基板上にスパッタリング法により酸化シリコン膜が膜厚100 nm形成され、酸化シリコン膜上にスパッタリング法により酸化アルミニウム膜が膜厚100 nm形成された実施例試料Aを作製した。

【0295】

比較例試料Aおよび実施例試料Aにおいて、酸化シリコン膜の成膜条件は、ターゲットとして酸化シリコン（SiO₂）ターゲットを用い、ガラス基板とターゲットとの距離を60 mm、圧力0.4 Pa、電源電力1.5 kW、酸素（酸素流量50 sccm）雰囲気下、基板温度100とした。

【0296】

実施例試料Aにおいて、酸化アルミニウム膜の成膜条件は、ターゲットとして酸化アルミニウム（Al₂O₃）ターゲットを用い、ガラス基板とターゲットとの距離を60 mm、圧力0.4 Pa、電源電力1.5 kW、アルゴンおよび酸素（アルゴン流量25 sccm：酸素流量25 sccm）雰囲気下、基板温度250とした。

【0297】

比較例試料Aおよび実施例試料Aにプレッシャークッカー試験（P C T : Pressure Cooker Test）を行った。本実施例ではP C T 試験として、温度130、湿度85%（気体中に含まれる水蒸気の体積比率がH₂O（水）:D₂O（重水）=3:1）、2.3気圧（0.23 MPa）の条件で比較例試料Aおよび実施例試料Aを100時間保持した。

【0298】

本実施例において、重水などで表現している「D原子」とは、質量数が2である水素原子²Hを表している。

【0299】

S I M S 分析としてS S D P（Substrate Side Depth Profile）-S I M S を用いて、P C T 試験前とP C T 試験後の比較例試料Aおよび実施例試料Aに対して、各試料のH原子およびD原子の濃度を測定した。

【0300】

図14(A1)に比較例試料AのP C T 試験前、図14(A2)に比較例試料AのP C T 試験後のS I M S によるH原子およびD原子の濃度プロファイルを示す。図14(A1)および図14(A2)において、D原子e x p e c t e d 濃度プロファイルは、D原子の存在比が0.015%としてH原子の濃度プロファイルから算出した自然界に存在するD原子の濃度プロファイルである。よって、P C T 試験によって試料中に混入したD原子量は、実測のD原子濃度とD原子e x p e c t e d 濃度との差分となる。実測のD原子濃度からD原子e x p e c t e d 濃度を差し引いたD原子の濃度プロファイルを、P C T 試験前を図14(B1)、P C T 試験後を図14(B2)に示す。

【0301】

同様に、図15(A1)に実施例試料AのP C T 試験前、図15(A2)に実施例試料AのP C T 試験後のS I M S によるH原子およびD原子の濃度プロファイルを示す。また、実測のD原子濃度からD原子e x p e c t e d 濃度を差し引いたD原子の濃度プロファイルを、P C T 試験前を図15(B1)、P C T 試験後を図15(B2)に示す。

【0302】

なお、本実施例のS I M S 分析結果は、すべて酸化シリコン膜の標準試料により定量した結果を示している。

【0303】

10

20

30

40

50

図14に示すように、PCT試験前は重なっていた実測のD原子の濃度プロファイルとD原子expected濃度プロファイルが、PCT試験後は実測のD原子の濃度プロファイルが高濃度に増大しており、酸化シリコン膜中にD原子が混入したことがわかる。したがって、比較例試料の酸化シリコン膜は、外部からの水分(H₂O、D₂O)に対し、バリア性が低いことが確認できた。

【0304】

一方、図15に示すように、酸化シリコン膜上に酸化アルミニウム膜を積層した実施例試料Aは、PCT試験後でも酸化アルミニウム膜表面近傍の領域にややD原子の侵入が見られるだけで、酸化アルミニウム膜深さ30nm付近以降、および酸化シリコン膜にはD原子の侵入が見られない。したがって、酸化アルミニウム膜は外部からの水分(H₂O、D₂O)に対し、バリア性が高いことが確認できた。
10

【0305】

次に、TDS分析によって行った評価を示す。試料は、実施例として、ガラス基板上にスパッタリング法により酸化シリコン膜が膜厚100nm形成され、酸化シリコン膜上にスパッタリング法により酸化アルミニウム膜が膜厚20nm形成された実施例試料Bを作製した。また、比較例として、実施例試料BをTDS分析によって測定後、実施例試料Bから酸化アルミニウム膜を除去し、ガラス基板上に酸化シリコン膜のみが形成された比較例試料Bを作製した。

【0306】

比較例試料Bおよび実施例試料Bにおいて、酸化シリコン膜の成膜条件は、ターゲットとして酸化シリコン(SiO₂)ターゲットを用い、ガラス基板とターゲットとの距離を60mm、圧力0.4Pa、電源電力1.5kW、酸素(酸素流量50sccm)雰囲気下、基板温度100とした。
20

【0307】

実施例試料Bにおいて、酸化アルミニウム膜の成膜条件は、ターゲットとして酸化アルミニウム(Al₂O₃)ターゲットを用い、ガラス基板とターゲットとの距離を60mm、圧力0.4Pa、電源電力1.5kW、アルゴンおよび酸素(アルゴン流量25sccm:酸素流量25sccm)雰囲気下、基板温度250とした。

【0308】

比較例試料Bおよび実施例試料Bにおいて、さらに300 加熱処理、450 加熱処理、600 加熱処理の条件で、それぞれ窒素雰囲気下で1時間処理を行い、試料を作製した。
30

【0309】

比較例試料Bおよび実施例試料Bにおいて、加熱処理なし、300 加熱処理、450 加熱処理、600 加熱処理と4つの条件で作製された試料にそれぞれTDS分析を行った。比較例試料Bおよび実施例試料Bにおいて、図16(A)および図17(A)に加熱処理なし、図16(B)および図17(B)に300 加熱処理、図16(C)および図17(C)に450 加熱処理、図16(D)および図17(D)に600 加熱処理を行った各試料の測定されたM/z = 32(O₂)のTDS結果を示す。

【0310】

図16(A)乃至図16(D)に示すように、比較例試料Bは加熱処理なしの図16(A)では酸化シリコン膜から酸素の放出が見られるが、図16(B)の300 加熱処理を行った試料では酸素の放出量が大きく減少し、図16(C)の450 加熱処理を行った試料および図16(D)の600 加熱処理を行った試料においては、TDS測定のバックグラウンド以下であった。
40

【0311】

図16(A)乃至図16(D)の結果から、酸化シリコン膜中に含まれる過剰酸素の9割以上が300 の加熱処理によって酸化シリコン膜中から外部へ放出され、450、600 の加熱処理によってはほぼ全ての酸化シリコン膜中に含まれる過剰酸素が酸化シリコン膜外部へ放出されたことがわかる。したがって、酸化シリコン膜は酸素に対するバ
50

リア性が低いことが確認できた。

【0312】

一方、図17(A)乃至図17(D)に示すように、酸化シリコン膜上に酸化アルミニウム膜を形成した実施例試料Bにおいては、300、450、600の加熱処理を行った試料においても、加熱処理なしの試料と同等の量の酸素の放出が見られた。

【0313】

図17(A)乃至図17(D)の結果から、酸化アルミニウム膜を酸化シリコン膜上に形成することで、加熱処理を行っても酸化シリコン膜中に含まれる過剰酸素は容易に外部へ放出されず、酸化シリコン膜中に含有した状態がかなりの程度保持されることがわかる。したがって酸化アルミニウム膜は酸素に対するバリア性が高いことが確認できた。 10

【0314】

以上の結果から、酸化アルミニウム膜は水素および水分に対するバリア性と、酸素に対するバリア性の両方を有しており、水素、水分、および酸素に対するバリア膜として好適に機能することが確認できた。

【0315】

したがって、酸化アルミニウム膜は、酸化物半導体膜を含むトランジスタの作製工程中および作製後において、変動要因となる水素、水分などの不純物の酸化物半導体膜への混入、および酸化物半導体を構成する主成分材料である酸素の酸化物半導体膜からの放出を防止する保護膜として機能することができる。 20

【0316】

したがって、形成される酸化物半導体膜は、水素、水分などの不純物が混入しないため高純度であり、酸素放出が防止されるため、該酸化物半導体の化学量論的組成比に対し、酸素の含有量が過剰な領域を含む。よって、該酸化物半導体膜をトランジスタに用いることで、酸素欠損に起因するトランジスタのしきい値電圧V_{t h}のばらつき、しきい値電圧のシフトV_{t h}を低減することができる。

【符号の説明】

【0317】

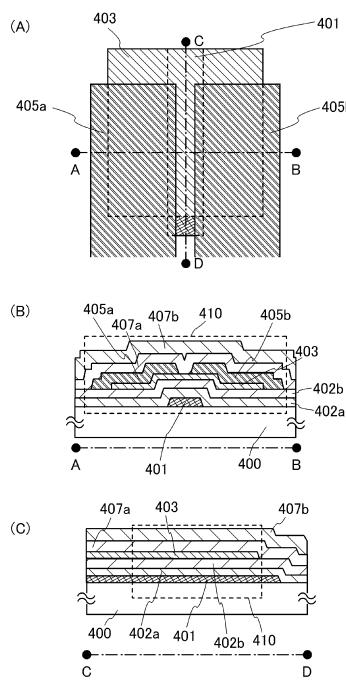
100	基板	
101	ロード室	
102	アンロード室	30
106	素子分離絶縁膜	
108	ゲート絶縁膜	
110	ゲート電極層	
111	成膜室	
112	成膜室	
113	成膜室	
114	加熱室	
115	加酸素化処理室	
116	チャネル形成領域	
120	不純物領域	40
124	金属化合物領域	
128	絶縁膜	
130	絶縁膜	
140	トランジスタ	
141	基板支持部	
142 a	ソース電極層またはドレイン電極層	
142 b	ソース電極層またはドレイン電極層	
143	移動手段	
148 b	電極層	
150	絶縁膜	50

1 5 1	ターゲット	
1 5 2	絶縁膜	
1 5 3	防着板	
1 5 4	成膜室	
1 5 5	基板加熱手段	
1 5 7	圧力調整手段	
1 5 9	ガス導入手段	
1 6 1	ゲートバルブ	
1 6 2	トランジスタ	
1 6 4	容量素子	10
1 7 0	加熱室	
1 7 1	ヒータ	
1 7 3	保護板	
1 8 5	基板	
2 0 1	ロード室	
2 0 2	アンロード室	
2 1 1	成膜室	
2 1 2	成膜室	
2 1 3	加熱室	
2 5 0	基板温度	20
3 0 1	ロード室	
3 0 2	アンロード室	
3 1 1	成膜室	
3 1 2	成膜室	
3 1 3	成膜室	
3 1 4	加熱室	
4 0 0	基板	
4 0 1	ゲート電極層	
4 0 1 a	ゲート電極層	
4 0 2 a	酸化アルミニウム膜	30
4 0 2 b	酸化シリコン膜	
4 0 3	酸化物半導体層	
4 0 5 a	ソース電極層	
4 0 5 b	ドレイン電極層	
4 0 7 a	酸化シリコン膜	
4 0 7 b	酸化アルミニウム膜	
4 1 0	トランジスタ	
4 2 0	トランジスタ	
4 2 1	酸素	
6 0 1	基板	40
6 0 2	フォトダイオード	
6 0 6 a	半導体膜	
6 0 6 b	半導体膜	
6 0 6 c	半導体膜	
6 0 8	接着層	
6 1 3	基板	
6 3 1	絶縁膜	
6 3 2	絶縁膜	
6 3 3	層間絶縁膜	
6 3 4	層間絶縁膜	50

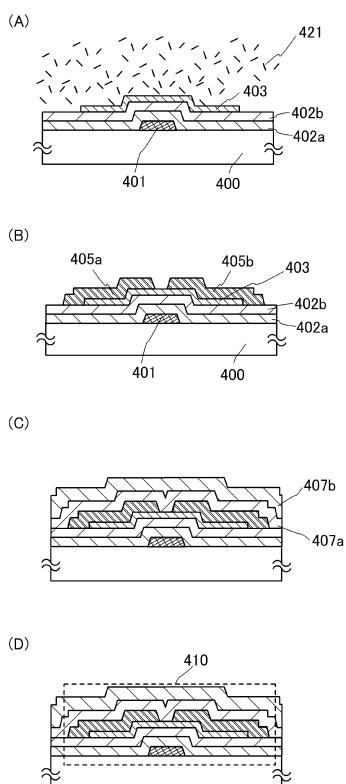
6 4 0	トランジスタ	
6 4 1 a	電極層	
6 4 1 b	電極層	
6 4 2	電極層	
6 4 3	導電層	
6 4 5	ゲート電極層	
6 5 6	トランジスタ	
6 5 8	フォトダイオードリセット信号線	
6 5 9	ゲート信号線	
6 7 1	フォトセンサ出力信号線	10
6 7 2	フォトセンサ基準信号線	
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	
2 7 2 3	操作キー	
2 7 2 5	スピーカー	20
2 8 0 0	筐体	
2 8 0 1	筐体	
2 8 0 2	表示パネル	
2 8 0 3	スピーカー	
2 8 0 4	マイクロフォン	
2 8 0 5	操作キー	
2 8 0 6	ポインティングデバイス	
2 8 0 7	カメラ用レンズ	
2 8 0 8	外部接続端子	
2 8 1 0	太陽電池セル	30
2 8 1 1	外部メモリスロット	
3 0 0 1	本体	
3 0 0 2	筐体	
3 0 0 3	表示部	
3 0 0 4	キーボード	
3 0 2 1	本体	
3 0 2 2	スタイルス	
3 0 2 3	表示部	
3 0 2 4	操作ボタン	
3 0 2 5	外部インターフェイス	40
3 0 5 1	本体	
3 0 5 3	接眼部	
3 0 5 4	操作スイッチ	
3 0 5 5	表示部(B)	
3 0 5 6	バッテリー	
3 0 5 7	表示部(A)	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	50

4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	トランジスタ	
4 0 1 1	トランジスタ	
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極層	
4 0 1 6	端子電極層	
4 0 1 8	F P C	10
4 0 1 8 a	F P C	
4 0 1 8 b	F P C	
4 0 1 9	異方性導電膜	
4 0 2 0	絶縁膜	
4 0 2 1	絶縁膜	
4 0 2 3	絶縁膜	
4 0 2 4	絶縁膜	
4 0 3 0	電極層	
4 0 3 1	電極層	
4 0 3 2	絶縁層	
4 0 3 3	絶縁層	20
4 5 1 0	隔壁	
4 5 1 1	電界発光層	
4 5 1 3	発光素子	
4 5 1 4	充填材	
4 6 1 2	キャビティ	
4 6 1 3	球形粒子	
4 6 1 4	充填材	
4 6 1 5 a	黒色領域	
4 6 1 5 b	白色領域	
9 6 0 0	テレビジョン装置	30
9 6 0 1	筐体	
9 6 0 3	表示部	
9 6 0 5	スタンド	

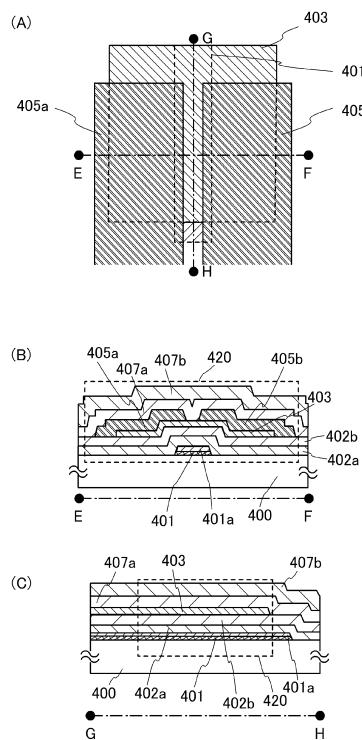
【図1】



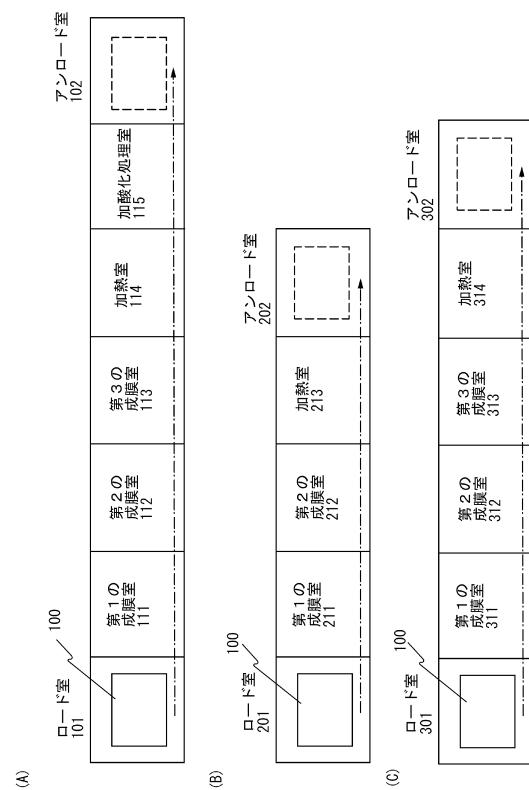
【図2】



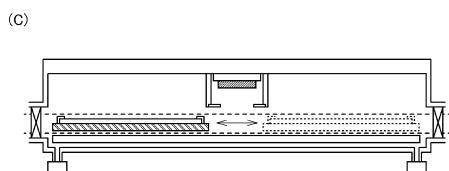
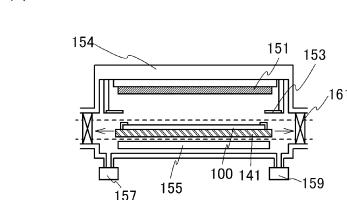
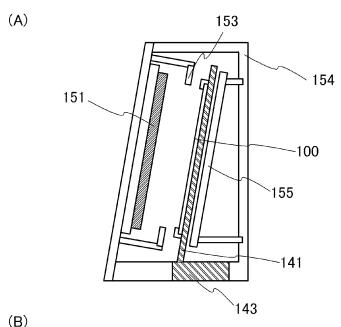
【図3】



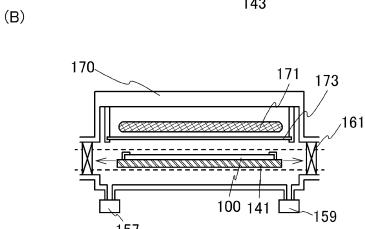
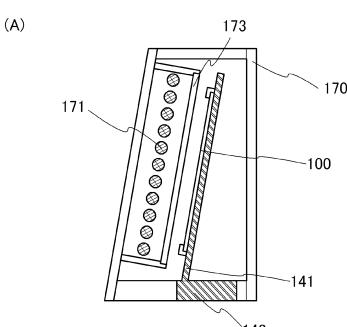
【図4】



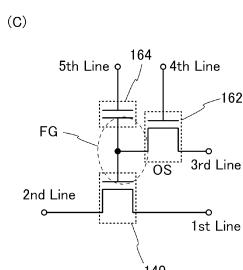
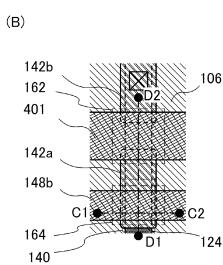
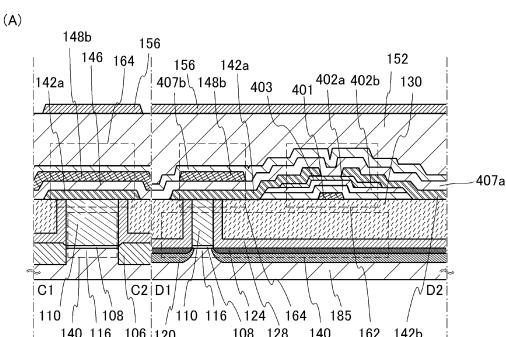
【図5】



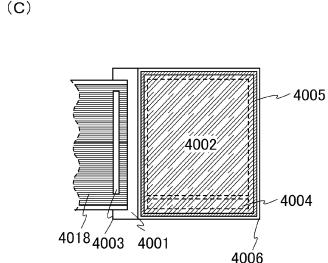
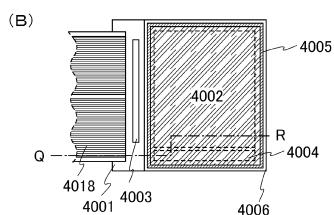
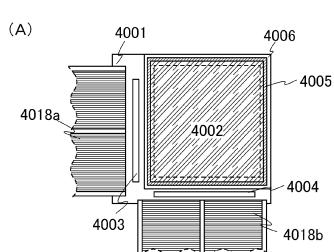
【図6】



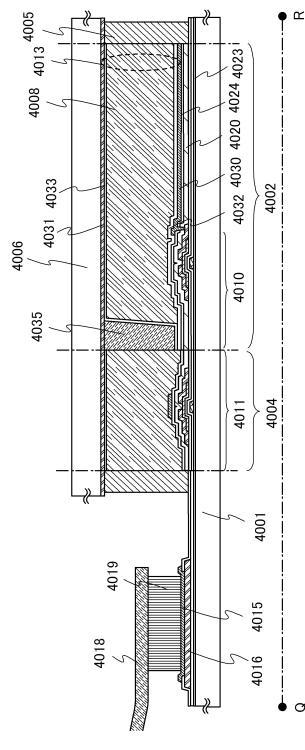
【図7】



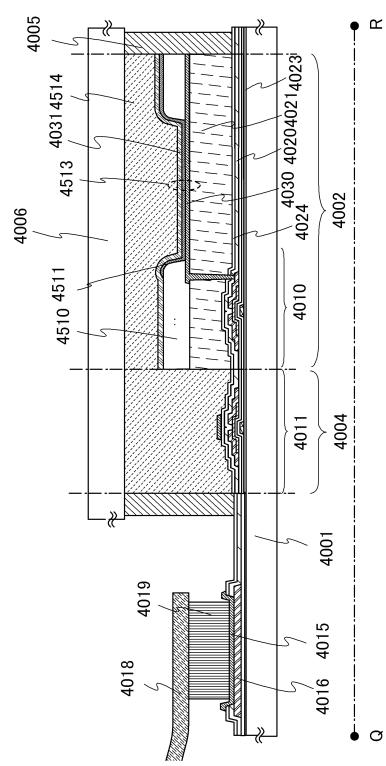
【図8】



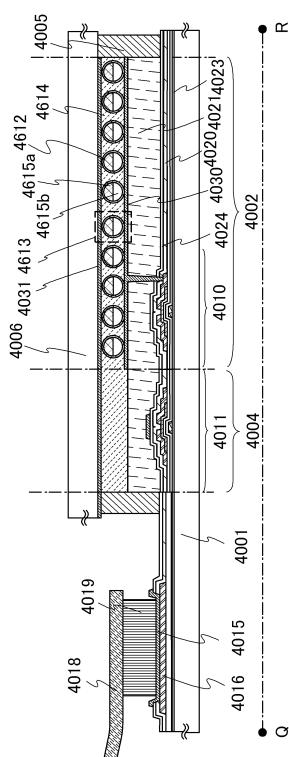
【図9】



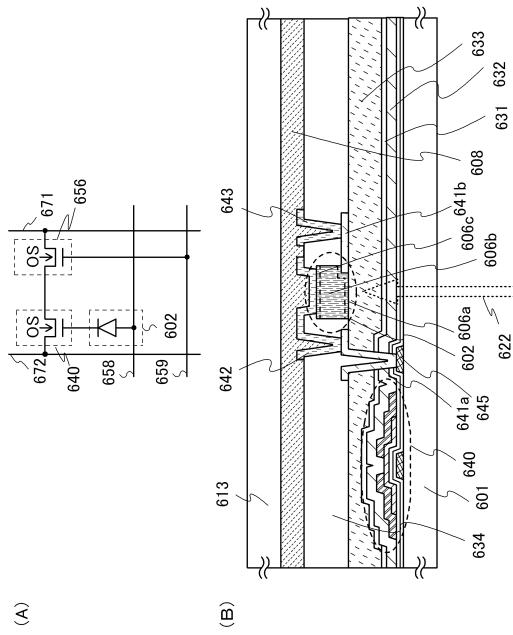
【図10】



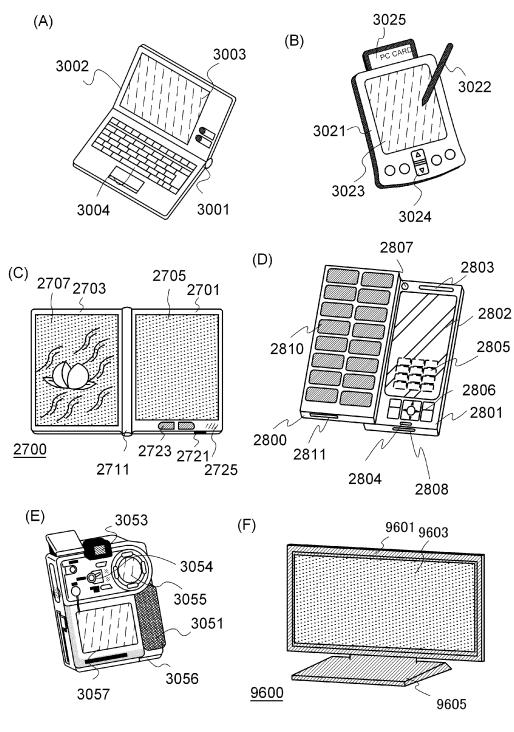
【図11】



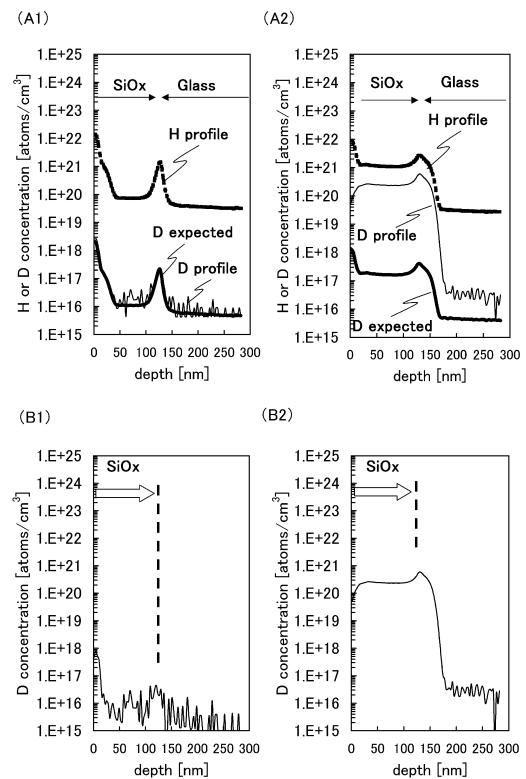
【図12】



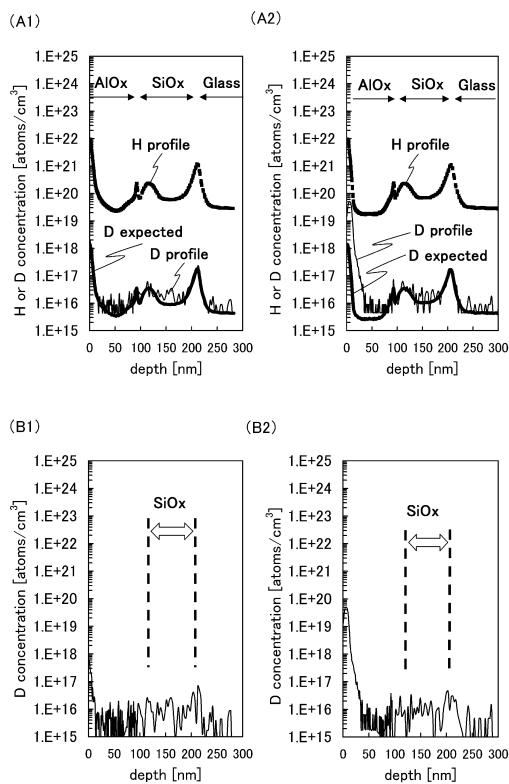
【図13】



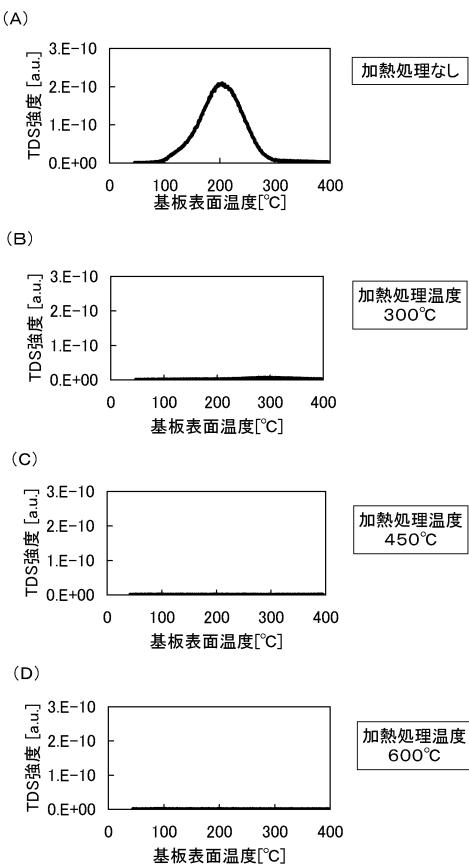
【図14】



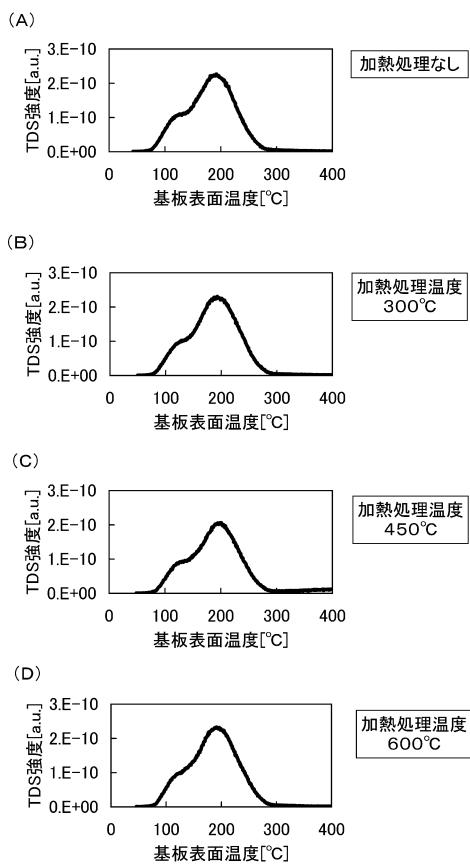
【図15】



【図16】



【図17】



フロントページの続き

			F I	
H 0 1 L	27/115	(2006.01)	H 0 1 L	29/78 6 2 7 B
H 0 1 L	29/788	(2006.01)	H 0 1 L	27/10 3 2 1
H 0 1 L	29/792	(2006.01)	H 0 1 L	27/10 4 3 4
H 0 1 L	27/146	(2006.01)	H 0 1 L	29/78 3 7 1
G 0 9 F	9/00	(2006.01)	H 0 1 L	27/14 C
G 0 9 F	9/30	(2006.01)	G 0 9 F	9/00 3 3 8
C 2 3 C	14/08	(2006.01)	G 0 9 F	9/30 3 3 8
C 2 3 C	14/10	(2006.01)	C 2 3 C	14/08 A
			C 2 3 C	14/08 N
			C 2 3 C	14/10

- (56)参考文献 特開2010-114413(JP, A)
 米国特許出願公開第2013/0240878(US, A1)
 特開2010-080952(JP, A)
 米国特許出願公開第2010/0051949(US, A1)
 国際公開第2008/126729(WO, A1)
 米国特許出願公開第2010/0044702(US, A1)
 特開2010-182819(JP, A)
 米国特許出願公開第2010/0193772(US, A1)
 特開2010-056546(JP, A)
 米国特許出願公開第2012/0273779(US, A1)
 特開2010-098305(JP, A)
 特開2010-093240(JP, A)
 特開2010-093238(JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 9 / 7 8 6