(19)国家知识产权局

(12)发明专利

(10)授权公告号 CN 111937074 B
(45)授权公告日 2024.11.22

(21)申请号 201980023236.8
(22)申请日 2019.03.20
(65)同一申请的已公布的文献号
申请公布号 CN 111937074 A
(43)申请公布日 2020.11.13
(30)优先权数据
2018-065571 2018.03.29 JP
2018-169247 2018.09.10 JP
(85)PCT国际申请进入国家阶段日
2020.09.28
(86)PCT国际申请的申请数据
PCT/IB2019/052244 2019.03.20
(87)PCT国际申请的公布数据
WO2019/186323 JA 2019.10.03
(73)专利权人 株式会社半导体能源研究所
地址 日本神奈川
(72)发明人 山崎舜平 加藤清 石津贵彦 大贯达也
(74)专利代理机构 中国贸促会专利商标事务所有限公司 11038
专利代理师 刘倜
(51)Int.Cl.
G11C 11/408(2006.01)
G11C 11/405(2006.01)
G11C 11/4074(2006.01)
H01L 29/786(2006.01)
(56)对比文件
CN 102385929 A,2012.03.21
CN 103081092 A,2013.05.01
审查员 金霞

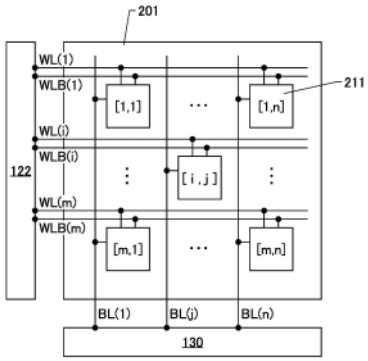
权利要求书1页 说明书52页 附图44页

(54)发明名称

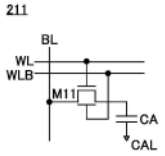
存储装置及电子设备

(57)摘要

提供一种数据的保持时间长且可靠性高的存储装置。存储装置包括驱动器电路及多个存储单元,存储单元包括晶体管及电容器,晶体管在沟道形成区域中包含金属氧化物。晶体管包括第一栅极及第二栅极,在存储单元保持数据的期间,对晶体管的第一栅极及第二栅极施加负电位。



2A



2B

CN 111937074 B

1.一种存储装置,包括:

驱动器电路;以及

多个存储单元,

其中,所述存储单元包括晶体管及电容器,

所述晶体管的源极和漏极中的一个与所述电容器的一个电极电连接,

所述晶体管在沟道形成区域中包含金属氧化物,

所述晶体管包括第一栅极及第二栅极,

所述第一栅极及第二栅极包括隔着沟道形成区域彼此重叠的区域,

所述驱动器电路具有驱动所述第一栅极的功能,

在所述存储单元保持数据的期间,所述驱动器电路对所述第一栅极输出比施加到所述晶体管的源极及漏极的电位低的第一电位,

并且,对所述第二栅极施加比施加到所述晶体管的源极及漏极的电位低的第二电位。

2.根据权利要求1所述的存储装置,

其中所述第二电位比所述第一电位低。

3.一种存储装置,包括:

驱动器电路;以及

多个存储单元,

其中,所述存储单元包括晶体管及电容器,

所述晶体管的源极和漏极中的一个与所述电容器的一个电极电连接,

所述晶体管在沟道形成区域中包含金属氧化物,

所述晶体管包括第一栅极及第二栅极,

所述第一栅极及第二栅极包括隔着沟道形成区域彼此重叠的区域,

所述驱动器电路具有驱动所述第一栅极及所述第二栅极的功能,

在所述存储单元保持数据的期间,所述驱动器电路对所述第一栅极输出比施加到所述晶体管的源极及漏极的电位低的第一电位,

并且,在所述存储单元保持数据的期间,所述驱动器电路对所述第二栅极输出比施加到所述晶体管的源极及漏极的电位低的第二电位。

4.根据权利要求1至3中任一项所述的存储装置,

其中所述金属氧化物至少包含In(铟)和Zn(锌)中的一个或两个。

5.根据权利要求1至3中任一项所述的存储装置,

其中所述金属氧化物包含Ga(镓)。

6.一种包括权利要求1至3中任一项所述的存储装置的电子设备。

存储装置及电子设备

技术领域

[0001] 本发明的一个方式涉及一种存储装置。尤其是,本发明的一个方式涉及一种能够利用半导体特性而工作的存储装置。

[0002] 注意,本发明的一个方式不局限于上述技术领域。本说明书等所公开的发明的技术领域涉及一种物体、方法或制造方法。另外,本发明的一个方式涉及一种工序(process)、机器(machine)、产品(manufacture)或组合物(composition of matter)。

背景技术

[0003] DRAM(Dynamic Random Access Memory:动态随机存取存储器)广泛地用作内置于各种电子设备中的存储装置(也称为存储器)。此外,已提出了在DRAM的存储单元中应用使用氧化物半导体的晶体管(也称为氧化物半导体晶体管、OS晶体管)的例子(例如,专利文献1、非专利文献1)。

[0004] 因为氧化物半导体晶体管的关闭状态下的泄漏电流(关态电流(off-state current))极小,所以通过将氧化物半导体晶体管应用于DRAM的存储单元,可以制造刷新频率少且功耗低的存储器。

[0005] 在本说明书等中,将氧化物半导体晶体管被应用于存储单元的DRAM称为“氧化物半导体DRAM”或“DOSRAM(注册商标,Dynamic Oxide Semiconductor Random Access Memory,动态氧化物半导体随机存取存储器)”。

[0006] 另一方面,近年来作为可用于晶体管的半导体,氧化物半导体受到瞩目。作为氧化物半导体,例如除了如氧化铟、氧化锌等单元金属氧化物之外,还已知多元金属氧化物。在多元金属氧化物中,有关In-Ga-Zn氧化物(也称为IGZO)的研究尤为火热。

[0007] 通过对IGZO的研究,在氧化物半导体中,发现了既不是单晶也不是非晶的CAAC(c-axis aligned crystalline:c轴取向结晶)结构及nc(nanocrystalline:纳米晶)结构(参照非专利文献2至非专利文献4)。

[0008] 非专利文献2及非专利文献3公开了使用具有CAAC结构的氧化物半导体制造晶体管的技术。此外,非专利文献5及非专利文献6公开了结晶性比CAAC结构及nc结构低的氧化物半导体也具有微小的结晶。

[0009] 非专利文献7报告了使用氧化物半导体的晶体管的关态电流非常小,非专利文献8及非专利文献9报告了利用关态电流非常小的特性的LSI及显示器。

[0010] [先行技术文献]

[0011] [专利文献]

[0012] [专利文献1]日本专利申请公开第2012-256820号公报

[0013] [非专利文献]

[0014] [非专利文献1]T.Onuki et al.,”DRAM with Storage Capacitance of 3.9fF using CAAC-OS Transistor with L of 60nm and having More Than 1-h Retention Characteristics”,Ext.Abstr.SSDM,2014,pp.430-431.

[0015] [非专利文献2]S.Yamazaki et al.,“SID Symposium Digest of Technical Papers”,2012,volume 43,issue 1,p.183-186

[0016] [非专利文献3]S.Yamazaki et al.,“Japanese Journal of Applied Physics”,2014,volume 53,Number 4S,p.04ED18-1-04ED18-10

[0017] [非专利文献4]S.Ito et al.,“The Proceedings of AM-FPD’13Digest of Technical Papers”,2013,p.151-154

[0018] [非专利文献5]S.Yamazaki et al.,“ECS Journal of Solid State Science and Technology”,2014,volume 3,issue 9,p.Q3012-Q3022

[0019] [非专利文献6]S.Yamazaki,“ECS Transactions”,2014,volume 64,issue 10,p.155-164

[0020] [非专利文献7]K.Kato et al.,“Japanese Journal of Applied Physics”,2012,volume 51,p.021201-1-021201-7

[0021] [非专利文献8]S.Matsuda et al.,“2015Symposium on VLSI Technology Digest of Technical Papers”,2015,p.T216-T217

[0022] [非专利文献9]S.Amano et al.,“SID Symposium Digest of Technical Papers”,2010,volume 41,issue 1,p.626-629

发明内容

[0023] 发明所要解决的技术问题

[0024] OS晶体管通过对背栅极施加负电位,阈值电压向正方向漂移,可以降低对于源极的栅极电压Vgs为0V时的源极与漏极之间流过的电流Ids(也称为截止电流)。换言之,在OS晶体管应用于存储单元的DRAM(DOSRAM)中,可以延长数据的保持时间。

[0025] 但是,为了施加到晶体管的背栅极的电位影响晶体管的电特性有时需要较大的电位。此外,使施加到晶体管的背栅极的电位变大,有时降低晶体管的可靠性。

[0026] 本发明的一个方式的目的之一是提供一种数据保持时间长且可靠性高的存储装置。本发明的一个方式的目的之一是提供一种新颖的存储装置。本发明的一个方式的目的之一是提供一种包括新颖的存储装置的电子设备。

[0027] 注意,本发明的一个方式并不需要实现所有上述目的,只要可以实现至少一个目的即可。另外,上述目的的记载不妨碍其他目的的存在。上述以外的目的自可从说明书、权利要求书、附图等的记载显而易见,且可以从说明书、权利要求书、附图等的记载中抽出上述以外的目的。

[0028] 解决技术问题的手段

[0029] 本发明的一个方式是一种存储装置,包括:驱动器电路;以及多个存储单元。存储单元包括晶体管及电容器,晶体管的源极和漏极中的一个与电容器的一个电极电连接,晶体管在沟道形成区域中包含金属氧化物。晶体管包括第一栅极及第二栅极,第一栅极及第二栅极包括隔着沟道形成区域彼此重叠的区域。驱动器电路具有驱动第一栅极的功能,在存储单元保持数据的期间,驱动器电路对第一栅极输出比施加到晶体管的源极及漏极的电位低的第一电位,对第二栅极施加比施加到晶体管的源极及漏极的电位低的第二电位。

[0030] 在上述方式中,第二电位比第一电位低。

[0031] 本发明的一个方式是一种存储装置,包括:驱动器电路;以及多个存储单元。存储单元包括晶体管及电容器,晶体管的源极和漏极中的一个与电容器的一个电极电连接,晶体管在沟道形成区域中包含金属氧化物。晶体管包括第一栅极及第二栅极,第一栅极及第二栅极包括隔着沟道形成区域彼此重叠的区域。驱动器电路具有驱动第一栅极及第二栅极的功能,在存储单元保持数据的期间,驱动器电路对第一栅极输出比施加到晶体管的源极及漏极的电位低的第一电位,在存储单元保持数据的期间,驱动器电路对第二栅极输出比施加到晶体管的源极及漏极的电位低的第二电位。

[0032] 在上述方式中,金属氧化物至少包含In(铟)和Zn(锌)中的一个或两个。

[0033] 在上述方式中,金属氧化物包含Ga(镓)。

[0034] 本发明的一个方式是一种包括上述方式所示的存储装置的电子设备。

[0035] 发明效果

[0036] 通过本发明的一个方式可以提供一种数据保持时间长且可靠性高的存储装置。通过本发明的一个方式可以提供一种新颖的存储装置。通过本发明的一个方式可以提供一种包括新颖的存储装置的电子设备。

[0037] 注意,这些效果的记载不妨碍其他效果的存在。此外,本发明的一个方式并不需要具有所有上述效果。上述以外的效果自可从说明书、权利要求书、附图等的记载显而易见,且可以从说明书、权利要求书、附图等的记载中抽出上述以外的效果。

附图说明

[0038] [图1]示出存储器的结构例子的方框图。

[0039] [图2]A说明存储单元阵列的图,B示出存储单元的结构例子的电路图。

[0040] [图3]A、B、C示出存储单元的结构例子的电路图。

[0041] [图4]A示出字线驱动器电路的结构例子的方框图,B示出电路LVB的结构例子的电路图。

[0042] [图5]A、B示出字线驱动器电路的输入输出例子的图。

[0043] [图6]A、B示出电位生成电路的结构例子的电路图。

[0044] [图7]说明存储单元阵列及位线驱动器电路的结构例子的图。

[0045] [图8]说明电路结构例子的图。

[0046] [图9]说明存储装置的工作例子的时序图。

[0047] [图10]说明存储装置的工作例子的时序图。

[0048] [图11]说明存储装置的工作例子的时序图。

[0049] [图12]示出半导体装置的结构例子的截面图。

[0050] [图13]A、B、C示出晶体管的结构例子的截面图。

[0051] [图14]A示出晶体管的结构例子的俯视图,B、C示出晶体管的结构例子的截面图。

[0052] [图15]A示出晶体管的结构例子的俯视图,B、C示出晶体管的结构例子的截面图。

[0053] [图16]A示出晶体管的结构例子的俯视图,B、C示出晶体管的结构例子的截面图。

[0054] [图17]A示出晶体管的结构例子的俯视图,B、C示出晶体管的结构例子的截面图。

[0055] [图18]A示出晶体管的结构例子的俯视图,B、C示出晶体管的结构例子的截面图。

[0056] [图19]A示出晶体管的结构例子的俯视图,B示出晶体管的结构例子的立体图。

[0057] [图20]A、B示出晶体管的结构例子的截面图。

[0058] [图21]A、C示出晶体管的截面图,B、D示出晶体管的电特性的图。

[0059] [图22]说明产品的概念的图。

[0060] [图23]A、B、C、D、E1、E2示出电子设备的结构例子的图。

[0061] [图24]说明晶体管的V_G-I_D特性的温度依赖性的图。

[0062] [图25]A、B、C说明工作频率的算出方法的图。

[0063] [图26]示出工作频率的算出结果的图。

[0064] [图27]A示出晶体管结构的立体图,B示出Id-Vg特性的背栅极电压依赖性的图。

[0065] [图28]A示出场效应迁移率μFE的背栅极电压Vbg依赖性的图,B示出阈值电压Vth的背栅极电压Vbg依赖性的图。

[0066] [图29]64kb DOSRAM的方框图。

[0067] [图30]A示出CAAC-IGZO FET的Id-Vg特性的图,B、C示出工作电压的图。

[0068] [图31]示出DOSRAM的数据保持状况的评价结果的图。

[0069] [图32]A、B示出85℃的环境温度下的保持时间及成品率的评价结果。

[0070] [图33]A示出负电位生成电路的方框图,B示出负电位生成电路的工作波形的图。

[0071] [图34]A示出环形振荡器的工作条件的图,B示出电荷泵的工作条件的图。

[0072] [图35]A示出比较器的电路图,B示出比较器的工作波形的图。

[0073] [图36]1Mb DOSRAM的功耗及占有面积的估计结果。

[0074] [图37]所试制的DOSRAM的芯片照片。

具体实施方式

[0075] 下面,参照附图对实施方式进行说明。注意,所属技术领域的普通技术人员可以很容易地理解一个事实,就是实施方式可以以多个不同形式来实施,其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在以下所示的实施方式所记载的内容中。

[0076] 下面所示的多个实施方式可以适当地组合。另外,当在一个实施方式中示出多个结构例子时,可以适当地相互组合这些结构例子。

[0077] 本说明书的方框图示出在独立的方框中根据其功能进行分类的构成要素,但是,实际的构成要素难以根据功能被清楚地划分,一个构成要素有时具有多个功能。

[0078] 在附图等中,为了方便起见,有时夸大表示大小、层的厚度或区域。因此,本发明并不局限于附图中的尺寸。在附图中,示意性地示出理想的例子,因此本发明不局限于附图所示的形状或数值等。

[0079] 在附图等中,有时使用同一附图标记表示同一构成要素、具有相同功能的构成要素、由同一材料形成的构成要素或者同时形成的构成要素等,并且有时省略重复说明。

[0080] 在本说明书等中,“膜”和“层”可以相互调换。例如,有时可以将“导电层”调换为“导电膜”。此外,有时可以将“绝缘膜”调换为“绝缘层”。

[0081] 在本说明书等中,“上”或“下”等表达配置的词句不局限于构成要素的位置关系为“直接在…之上”或“直接在…之下”。例如,“栅极绝缘层上的栅电极”包括在栅极绝缘层和栅电极之间包含另一构成要素的情况。

[0082] 另外,本说明书等中的“第一”、“第二”、“第三”等的序数词是为了避免构成要素的混淆而附记的,而不是用于在数目方面上进行限制。

[0083] 在本说明书等中,“电连接”包括通过“具有某种电作用的元件”连接的情况。这里,“具有某种电作用的元件”只要可以进行连接对象间的电信号的授受,就对其没有特别的限制。例如,“具有某种电作用的元件”不仅包括电极和布线,而且还包括晶体管等的开关元件、电阻元件、电感器、电容器、其他具有各种功能的元件等。

[0084] 注意,在本说明书等中,“电压”大多是指某个电位与基准电位(例如接地电位)之间的电位差。因此,电压和电位差可以互相调换。

[0085] 在本说明书等中,晶体管是指至少包括栅极、漏极以及源极这三个端子的元件。晶体管在漏极(漏极端子、漏区或漏电极)与源极(源极端子、源区或源电极)之间具有沟道形成区域,并且电流能够通过沟道形成区域流过漏极与源极之间。注意,在本说明书等中,沟道形成区域是指电流主要流过的区域。

[0086] 另外,在使用极性不同的晶体管的情况或电路工作中的电流方向变化的情况等下,源极及漏极的功能有时互相调换。因此,在本说明书等中,源极和漏极可以相互调换。

[0087] 另外,在本说明书等中,在没有特别的说明的情况下,关态电流是指晶体管处于关闭状态(也称为非导通状态、遮断状态)时的漏极电流。在没有特别的说明的情况下,在n沟道型晶体管中,关闭状态是指对于源极的栅极的电压Vgs低于阈值电压Vth的状态,在p沟道型晶体管中,关闭状态是指对于源极的栅极的电压Vgs高于阈值电压Vth的状态。也就是说,n沟道型晶体管的关态电流有时是指对于源极的栅极的电压Vgs低于阈值电压Vth时的漏极电流。

[0088] 在上述关态电流的说明中,可以将漏极换称为源极。也就是说,关态电流有时指晶体管处于关闭状态时的源极电流。另外,泄漏电流有时指与关态电流相同的意思。在本说明书等中,关态电流例如有时指在晶体管处于关闭状态时流在源极与漏极间的电流。

[0089] 在本说明书等中,金属氧化物(metal oxide)是指广义上的金属的氧化物。金属氧化物被分类为氧化物绝缘体、氧化物导电体(包括透明氧化物导电体)和氧化物半导体(也称为Oxide Semiconductor)等。

[0090] 例如,在将金属氧化物用于晶体管的沟道形成区域的情况下,有时将该金属氧化物称为氧化物半导体。换言之,在金属氧化物具有放大作用、整流作用和开关作用中的至少一个的情况下,可以将该金属氧化物称为金属氧化物半导体(metal oxide semiconductor)。也就是说,可以将在沟道形成区域中包含金属氧化物的晶体管称为“氧化物半导体晶体管”、“OS晶体管”。同样地,上述“使用氧化物半导体的晶体管”也是在沟道形成区域中包含金属氧化物的晶体管。

[0091] 此外,在本说明书等中,有时将包含氮的金属氧化物也称为金属氧化物(metal oxide)。此外,也可以将包含氮的金属氧化物称为金属氧氮化物(metal oxynitride)。将在后面说明金属氧化物的详细内容。

[0092] (实施方式1)

[0093] 在本实施方式中,对根据本发明的一个方式的存储装置的结构例子进行说明。根据本发明的一个方式的存储装置是能够利用半导体特性而工作的存储装置,也称为存储器。

[0094] <存储器的结构例子>

[0095] 图1是示出根据本发明的一个方式的存储器100的结构例子的方框图。存储器100包括外围电路111及存储单元阵列201(在图1中记为“Memory Cell Array”)。外围电路111包括行译码器121、字线驱动器电路122、位线驱动器电路130、输出电路140、负电位生成电路150、负电位生成电路151、控制逻辑电路160。注意,在本说明书等所说明的附图中,以箭头或线示出主要的信号的流动,有时省略电源线等。

[0096] 位线驱动器电路130包括列译码器131、预充电电路132、读出放大器133及输入输出电路134。预充电电路132具有对布线BL进行预充电的功能。读出放大器133具有放大从布线BL读出的数据信号的功能,输入输出电路134具有对布线BL写入数据信号的功能以及将从布线BL读出的数据信号输出到输出电路140的功能。注意,在实施方式2中详细说明列译码器131、预充电电路132、读出放大器133等。

[0097] 布线BL、布线WL及布线WLB是与存储单元阵列201所包括的存储单元211(在图1中记为“Memory Cell”)连接的布线,将在后面说明详细内容。被放大的数据信号通过输出电路140作为数字的数据信号RDATA输出到存储器100的外部。

[0098] 作为电源,存储器100从外部被供应低电源电位VSS、外围电路111用高电源电位VDD、存储单元阵列201用高电源电位VIH。在此,高电源电位VDD是高于低电源电位VSS的电位。另外,例如,高电源电位VIH可以是高于高电源电位VDD的电位或者等于高电源电位VDD的电位。

[0099] 负电位生成电路150由从外部供应的电源生成低电源电位VLL,负电位生成电路151生成低电源电位VBL。低电源电位VLL及低电源电位VBL的电位比低电源电位VSS低。注意,存储器100不包括负电位生成电路150及负电位生成电路151,也可以从存储器100的外部供应低电源电位VLL及低电源电位VBL。

[0100] 存储器100从外部被输入控制信号(CE、WE、RE)、地址信号ADDR、数据信号WDATA。地址信号ADDR输入到行译码器121及列译码器131,WDATA输入到输入输出电路134。

[0101] 控制逻辑电路160对来自外部的输入信号(CE、WE、RE)进行处理来生成行译码器121及列译码器131的控制信号。CE是芯片使能信号,WE是写入使能信号,RE是读出使能信号。控制逻辑电路160所处理的信号不局限于此,也可以根据需要而输入其他控制信号。

[0102] 此外,在存储器100中,根据需要可以适当地使用或省略上述各电路、各信号及各电位。或者,也可以追加其他电路、其他信号或其他电位。

[0103] 在此,可以对构成存储单元211的晶体管应用OS晶体管。OS晶体管的关态电流非常小,所以可以长时间地保持写入到存储单元211中的数据。因此,可以减少存储单元211的刷新频率,而可以实现功耗低的存储器100。注意,关于OS晶体管的详细内容,在实施方式3及实施方式4中进行说明。

[0104] 此外,OS晶体管是薄膜晶体管,并可以在半导体衬底上层叠地设置。例如,可以对构成外围电路111的晶体管应用形成在单晶硅衬底的Si晶体管。应用Si晶体管的外围电路111能够进行高速工作。此外,应用OS晶体管的存储单元211可以在外围电路111的上方层叠地设置。

[0105] 图2A示出存储单元阵列201的详细结构。存储单元阵列201包括每一列m个(m为1以上的整数)每一行n个(n为1以上的整数)总计为m×n个的存储单元211,该存储单元211被配

置为矩阵状。图2A还示出存储单元211的地址,[1,1]、[m,1]、[i,j]、[1,n]、[m,n](i为1以上且m以下的整数,j为1以上且n以下的整数)是存储单元211的地址。

[0106] 此外,各存储单元211与布线BL、布线WL及布线WLB连接。存储单元阵列201包括n个布线BL(BL(1)至BL(n))、m个布线WL(WL(1)至WL(m))以及m个布线WLB(WLB(1)至WLB(m))。如图2A所示,地址[i,j]的存储单元211通过布线WL(i)及布线WLB(i)电连接到字线驱动器电路122,并通过布线BL(j)电连接到位线驱动器电路130。

[0107] 〈存储单元的结构例子〉

[0108] 图2B是示出存储单元211的结构例子的电路图。

[0109] 存储单元211包括晶体管M11及电容器CA。晶体管M11包括前栅极(有时简称为栅极)以及背栅极。

[0110] 晶体管M11的源极和漏极中的一个与电容器CA的第一端子电连接,晶体管M11的源极和漏极中的另一个与布线BL连接。晶体管M11的栅极与布线WL连接,晶体管M11的背栅极与布线WLB连接。电容器CA的第二端子与布线CAL连接。

[0111] 布线BL被用作位线,布线WL被用作字线。布线CAL被用作对电容器CA的第二端子施加规定的电位的布线。此外,布线WLB被用作对晶体管M11的背栅极施加电位的布线。通过对布线WLB施加任意电位,可以增加或减小晶体管M11的阈值电压。

[0112] 晶体管M11具有使电容器CA的第一端子与布线BL处于导通状态或非导通状态的开关的功能。通过对布线WL施加高电平电位,使电容器CA的第一端子与布线BL处于导通状态,来进行数据的写入或读出。也就是说,存储单元211是通过在电容器CA中累积电荷来保持数据的存储器,通过布线BL及晶体管M11进行存储单元211所保持的数据的写入或读出。

[0113] 作为晶体管M11可以使用在沟道形成区域中包含金属氧化物的晶体管(OS晶体管)。例如,在晶体管M11的沟道形成区域中可以使用包含铟、元素M(元素M为选自铝、镓、钇、铜、钒、铍、硼、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨和镁等中的一种或多种)和锌中的任一个的金属氧化物。尤其优选使用由铟、镓、锌构成的金属氧化物。

[0114] OS晶体管的关态电流非常小,所以通过作为晶体管M11使用OS晶体管,可以长时间地保持写入到存储单元211中的数据。因此,可以减少存储单元211的刷新频率,而可以实现功耗低的存储器100。

[0115] 或者,通过作为晶体管M11使用OS晶体管,可以不需要进行存储单元211的刷新工作。或者,通过作为晶体管M11使用OS晶体管,可以在存储单元211中保持多值数据或模拟数据。

[0116] 通过作为晶体管M11使用OS晶体管,可以构成上述DOSRAM。

[0117] 〈存储单元的结构例子2〉

[0118] 存储单元211的结构不局限于上述结构。图3A所示的存储单元212是存储单元211的其他结构例子。

[0119] 存储单元212包括晶体管M12、晶体管M13及电容器CB。晶体管M12包括前栅极及背栅极。

[0120] 晶体管M12的源极和漏极中的一个与电容器CB的第一端子及晶体管M13的栅极电连接,晶体管M12的源极和漏极中的另一个与布线WBL连接。晶体管M12的栅极与布线WL连接,晶体管M12的背栅极与布线WLB连接。电容器CB的第二端子与布线CAL连接。晶体管M13的

源极和漏极中的一个与布线SL连接,晶体管M13的源极和漏极中的另一个与布线RBL连接。

[0121] 布线WBL被用作写入位线,布线RBL被用作读出位线,布线WL被用作字线。布线CAL被用作对电容器CB的第二端子施加规定的电位的布线。此外,布线WLB被用作对晶体管M12的背栅极施加电位的布线。通过对布线WLB施加任意电位,可以增加或减小晶体管M12的阈值电压。

[0122] 晶体管M12具有使电容器CB的第一端子与布线WBL处于导通状态或非导通状态的开关的功能。

[0123] 通过对布线WL施加高电平电位,使晶体管M12处于导通状态,使电容器CB的第一端子与布线WBL电连接,来进行数据的写入。具体而言,在晶体管M12处于导通状态时,对布线WBL施加对应于写入数据的电位,对电容器CB的第一端子及晶体管M13的栅极写入该电位。然后,对布线WL施加低电平电位,使晶体管M12处于非导通状态,来保持电容器CB的第一端子的电位及晶体管M13的栅极的电位。

[0124] 通过对布线SL施加规定的电位,进行数据的读出。流过晶体管M13的源极和漏极之间的电流取决于晶体管M13的栅极的电位及晶体管M13的源极和漏极中的一个(布线SL)的电位,并且,根据上述电流,决定晶体管M13的源极和漏极中的另一个的电位。因此,通过读出与晶体管M13的源极和漏极中的另一个连接的布线RBL的电位,可以读出保持在电容器CB的第一端子(或晶体管M13的栅极)的电位。换言之,可以根据保持在电容器CB的第一端子(或晶体管M13的栅极)的电位,读出写入在存储单元212中的数据。

[0125] 另外,作为晶体管M12可以使用在沟道形成区域中包含金属氧化物的晶体管(OS晶体管)。OS晶体管的关态电流非常小,所以通过作为晶体管M12使用OS晶体管,可以长时间地保持写入到存储单元212中的数据。此外,对晶体管M13没有特别的限制。例如,作为晶体管M13,既可以使用OS晶体管,又可以使用Si晶体管。

[0126] 存储单元212是2晶体管1电容器的增益单元型存储单元。增益单元型存储单元即使在电容器的容量小的情况下也通过利用最靠近的晶体管放大所累积的电荷,可以进行作为存储器的工作。此外,通过作为晶体管M12使用关态电流非常小的OS晶体管,可以在停止电力的供应的期间也能够保持所累积的电荷,由此存储单元212具有非易失性存储器的性质。在本说明书等中,将由使用OS晶体管的增益单元型存储单元构成的存储器称为“NOSRAM(Nonvolatile Oxide Semiconductor Random Access Memory:非易失性氧化物半导体随机存取存储器)”。NOSRAM通过利用电容器的充放电进行数据改写,因此在原理上对可改写次数没有限制。

[0127] 另外,存储单元212也可以具有将布线WBL与布线RBL组合为一个布线BL的结构。图3B示出将布线WBL与布线RBL组合为一个布线BL的结构例子。

[0128] 在图3B所示的存储单元213中,晶体管M12的源极和漏极中的另一个及晶体管M13的源极和漏极中的另一个与布线BL连接。也就是说,在存储单元213中,写入位线和读出位线作为一个布线BL而工作。此时,在写入数据时,优选使布线SL处于电浮动状态。

[0129] 〈存储单元的结构例子3〉

[0130] 另外,存储单元212也可以为3晶体管1电容器的增益单元型存储单元。图3C示出作为存储单元212采用3晶体管1电容器的增益单元型存储单元时的结构例子。

[0131] 图3C所示的存储单元214包括晶体管M14至晶体管M16以及电容器CC。晶体管M14包

括前栅极及背栅极。

[0132] 晶体管M14的源极和漏极中的一个与电容器CC的第一端子及晶体管M15的栅极电连接,晶体管M14的源极和漏极中的另一个与布线BL连接。晶体管M14的栅极与布线WL连接,晶体管M14的背栅极与布线WLB连接。电容器CC的第二端子与布线CAL及晶体管M15的源极和漏极中的一个电连接,晶体管M15的源极和漏极中的另一个与晶体管M16的源极和漏极中的一个电连接。晶体管M16的源极和漏极中的另一个与布线BL连接,晶体管M16的栅极与布线RWL连接。

[0133] 布线BL被用作位线,布线WL被用作写入字线,布线RWL被用作读出字线。布线CAL被用作对电容器CC的第二端子施加规定的电位的布线(例如,作为规定的电位施加低电平电位)。此外,布线WLB被用作对晶体管M14的背栅极施加电位的布线。通过对布线WLB施加任意电位,可以增加或减小晶体管M14的阈值电压。

[0134] 晶体管M14具有使电容器CC的第一端子与布线BL处于导通状态或非导通状态的开关的功能,晶体管M16具有使晶体管M15的源极和漏极中的另一个与布线BL处于导通状态或非导通状态的开关的功能。

[0135] 通过对布线WL施加高电平电位,使晶体管M14处于导通状态,使电容器CC的第一端子与布线BL电连接,来进行数据的写入。具体而言,在晶体管M14处于导通状态时,对布线BL施加对应于写入数据的电位,对电容器CC的第一端子及晶体管M15的栅极写入该电位。然后,对布线WL施加低电平电位,使晶体管M14处于非导通状态,来保持电容器CC的第一端子的电位及晶体管M15的栅极的电位。

[0136] 通过对布线BL施加规定的电位(预充电),然后使布线BL处于电浮动状态,并且对布线RWL施加高电平电位,来进行数据的读出。通过对布线RWL施加高电平电位,晶体管M16处于导通状态,晶体管M15的源极和漏极中的另一个与布线BL处于电连接状态。此时,在晶体管M15的源极和漏极之间被施加对应于布线BL与布线CAL的电位差的电压,流过晶体管M15的源极和漏极之间的电流取决于晶体管M15的栅极的电位及上述施加到源极和漏极之间的电压。

[0137] 在此,由于布线BL的电位根据流过晶体管M15的源极和漏极之间的电流而变化,所以通过读出布线BL的电位,可以读出保持在电容器CC的第一端子(或晶体管M15的栅极)的电位。换言之,可以根据保持在电容器CC的第一端子(或晶体管M15的栅极)的电位,读出写入在存储单元214中的数据。

[0138] 作为晶体管M14可以使用在沟道形成区域中包含金属氧化物的晶体管(OS晶体管)。OS晶体管的关态电流非常小,所以通过作为晶体管M14使用OS晶体管,可以长时间地保持写入到存储单元214中的数据。此外,对晶体管M15及晶体管M16没有特别的限制。例如,作为晶体管M15及晶体管M16,既可以使用OS晶体管,又可以使用Si晶体管。

[0139] 注意,虽然参照图3A至图3C说明了存储单元211的其他结构例子,但是存储单元211的结构例子不局限于这些例子,可以适当地改变电路结构。

[0140] 〈字线驱动器电路的结构例子〉

[0141] 图4A是示出字线驱动器电路122的结构例子的方框图。

[0142] 字线驱动器电路122具有驱动被用作字线的布线WL的功能。字线驱动器电路122从行译码器121被输入用来驱动布线WL及布线WLB的信号WI及信号WIB。在此,信号WI及信号

WIB是以高电平或低电平表示的数字信号,信号WIB是使信号WI的逻辑反转而成的反转信号。

[0143] 注意,布线WL及布线WLB都是m个,所以信号WI及信号WIB的数量也都为m个。在图4A中,将其记为WI(1)至WI(m)以及WIB(1)至WIB(m)。

[0144] 另外,由于行译码器121被供应低电源电位VSS及高电源电位VDD,所以与信号WI及信号WIB的高电平对应的电位是高电源电位VDD,与信号WI及信号WIB的低电平对应的电位是低电源电位VSS。

[0145] 另一方面,在存储单元阵列201中,作为与布线WL的高电平对应的电位使用高电源电位VIH,作为与布线WL的低电平对应的电位使用低电源电位VLL。此外,对布线WLB供应低电源电位VBL。

[0146] 因此,字线驱动器电路122具有调整被输入的信号的高电平及/或低电平的功能(也称为电平调整的功能)以及对被输入的信号附加驱动布线WL(在图4A中记为WL(1)至WL(m))的功能(也称为缓冲器的功能)。字线驱动器电路122包括m个电路LVB,在图4A中记为LVB(1)至LVB(m)。

[0147] 字线驱动器电路122被输入低电源电位VBL,并将低电源电位VBL输出到布线WLB(在图4A中记为WLB(1)至WLB(m))。

[0148] <电路LVB的结构例子>

[0149] 图4B是示出电路LVB的结构例子的电路图。

[0150] 电路LVB包括n沟道型的晶体管13至晶体管21以及p沟道型的晶体管33至晶体管41。此外,电路LVB包括输入端子WI_IN、输入端子WIB_IN、布线VIH_IN、布线VSS_IN、布线VLL_IN以及输出端子WL_OUT。

[0151] 在电路LVB中,对输入端子WI_IN输入信号WI,对输入端子WIB_IN输入信号WIB,对布线VIH_IN输入高电源电位VIH,对布线VSS_IN输入低电源电位VSS,对布线VLL_IN输入低电源电位VLL。此外,在电路LVB中,从输出端子WL_OUT输出驱动布线WL的信号。

[0152] 此外,在电路LVB中,晶体管13的源极和漏极中的一个与布线VSS_IN电连接,晶体管13的源极和漏极中的另一个与晶体管34的源极和漏极中的一个及晶体管35的栅极电连接,晶体管13的栅极与输入端子WI_IN及晶体管34的栅极电连接。晶体管34的源极和漏极中的另一个与晶体管33的源极和漏极中的一个电连接,晶体管33的源极和漏极中的另一个与布线VIH_IN电连接。

[0153] 晶体管14的源极和漏极中的一个与布线VSS_IN电连接,晶体管14的源极和漏极中的另一个与晶体管36的源极和漏极中的一个及晶体管33的栅极电连接,晶体管14的栅极与输入端子WIB_IN及晶体管36的栅极电连接。晶体管36的源极和漏极中的另一个与晶体管35的源极和漏极中的一个电连接,晶体管35的源极和漏极中的另一个与布线VIH_IN电连接。这里,晶体管36的源极和漏极中的另一个与晶体管35的源极和漏极中的一个的连接部称为节点N11,将后面说明与节点N11电连接的其他元件等。

[0154] 晶体管13、晶体管14以及晶体管33至晶体管36具有将对应于被输入的信号WI及信号WIB的高电平的电位从高电源电位VDD转换为高电源电位VIH的电平调整的功能。

[0155] 此外,在电路LVB中,晶体管15的源极和漏极中的一个与布线VSS_IN电连接,晶体管15的源极和漏极中的另一个与晶体管37的源极和漏极中的一个、晶体管16的栅极及晶体

管38的栅极电连接,晶体管15的栅极与节点N11及晶体管37的栅极电连接。晶体管37的源极和漏极中的另一个与布线VIH_IN电连接。在此,将晶体管15的源极和漏极中的另一个、晶体管37的源极和漏极中的一个、晶体管16的栅极与晶体管38的栅极的连接部称为节点N12,将后面说明与节点N12电连接的其他元件等。

[0156] 晶体管16的源极和漏极中的一个与布线VSS_IN电连接,晶体管16的源极和漏极中的另一个与晶体管38的源极和漏极中的一个电连接,晶体管38的源极和漏极中的另一个与布线VIH_IN电连接。在此,将晶体管16的源极和漏极中的另一个与晶体管38的源极和漏极中的一个的连接部称为节点N13,将后面说明与节点N13电连接的其他元件等。

[0157] 晶体管15及晶体管37具有生成节点N11的信号的反转信号的功能。

[0158] 此外,在电路LVB中,晶体管18的源极和漏极中的一个与布线VLL_IN电连接,晶体管18的源极和漏极中的另一个与晶体管17的源极和漏极中的一个电连接,晶体管17的源极和漏极中的另一个与晶体管39的源极和漏极中的一个及晶体管20的栅极电连接,晶体管39的源极和漏极中的另一个与布线VIH_IN电连接。晶体管17的栅极与节点N12及晶体管39的栅极电连接。

[0159] 晶体管20的源极和漏极中的一个与布线VLL_IN电连接,晶体管20的源极和漏极中的另一个与晶体管19的源极和漏极中的一个电连接,晶体管19的源极和漏极中的另一个与晶体管40的源极和漏极中的一个及晶体管18的栅极电连接,晶体管40的源极和漏极中的另一个与布线VIH_IN电连接。晶体管19的栅极与节点N13及晶体管40的栅极电连接。在此,将晶体管20的源极和漏极中的另一个与晶体管19的源极和漏极中的一个的连接部称为节点N14,将后面说明与节点N14电连接的其他元件等。

[0160] 晶体管17至晶体管20、晶体管39及晶体管40具有将对应于节点N12及节点N13的信号的低电平的电位从低电源电位VSS转换为低电源电位VLL的电平调整的功能。

[0161] 此外,在电路LVB中,晶体管21的源极和漏极中的一个与布线VLL_IN电连接,晶体管21的源极和漏极中的另一个与晶体管41的源极和漏极中的一个及输出端子WL_OUT电连接,晶体管21的栅极与节点N14及晶体管41的栅极电连接。晶体管41的源极和漏极中的另一个与布线VIH_IN电连接。

[0162] 晶体管21及晶体管41具有从输出端子WL_OUT输出节点N14的信号的缓冲器的功能。

[0163] 〈字线驱动器电路的输入输出例子〉

[0164] 图5A是示出字线驱动器电路122的输入输出的一个例子的图。

[0165] 参照图5A说明输入到字线驱动器电路122的信号WI及信号WIB与字线驱动器电路122所驱动的布线WL及布线WLB的电位的关系。信号WI、信号WIB、布线WL及布线WLB都是m个,由此,以它们中的一个(WI(i)、WIB(i)、布线WL(i)及WLB(i))为例进行说明(i为1以上且m以下的整数)。

[0166] 图5A的纵轴表示电位,按电位高的顺序表示高电源电位VIH、高电源电位VDD、低电源电位VSS、低电源电位VLL、低电源电位VBL。

[0167] 图5A中的T1、T2表示时刻,示出在与信号WI(i)及信号WIB(i)的输入几乎相同的时刻,布线WL(i)被驱动的情况。注意,实际上,信号WI(i)及信号WIB(i)被输入之后布线WL(i)被驱动为止有可能发生延迟时间,此外,信号有时具有畸变或噪声等。图5A示出理想情况的

波形。

[0168] 如图5A所示,信号WI(i)及信号WIB(i)是以高电源电位VDD或低电源电位VSS表示高电平或低电平的数字信号。在对与布线WL(i)及布线WLB(i)电连接的存储单元211进行数据的写入或读出的情况下,信号WI(i)成为高电平(信号WIB是信号WI的反转信号,由此成为低电平)。

[0169] 字线驱动器电路122在信号WI(i)为低电平的情况下对布线WL(i)输出低电源电位VLL,而在信号WI(i)为高电平的情况下对布线WL(i)输出高电源电位VIH。此外,字线驱动器电路122对布线WLB(i)输出低电源电位VBL。

[0170] 或者,字线驱动器电路122除了布线WL以外还可以驱动布线WLB。在字线驱动器电路122驱动布线WLB的情况下,例如通过对字线驱动器电路122追加电路LVB进行驱动。

[0171] 与图5A同样,图5B是示出字线驱动器电路122的输入输出的一个例子的图。如图5B所示,例如字线驱动器电路122可以在信号WI(i)为低电平的情况下对布线WLB(i)输出低电源电位VBL,而在信号WI(i)为高电平的情况下对布线WLB(i)输出高电源电位VDD与低电源电位VSS之间的电位。

[0172] 如此,字线驱动器电路122改变信号WI(i)及信号WIB(i)的高电平和/或低电平,来驱动布线WL(i)或布线WL(i)及布线WLB(i)。

[0173] <负电位生成电路>

[0174] 接着,在图6A及图6B中示出能够应用于负电位生成电路150及负电位生成电路151的电路54及电路55的结构例子。

[0175] 电路54及电路55是降压型电荷泵,其输入端子IN被输入低电源电位VSS,从输出端子OUT输出低电源电位VLL或低电源电位VBL。在此,作为一个例子,电荷泵电路的基本电路的级数为4级,但是不局限于此,也可以以任意级数构成电荷泵电路。

[0176] 图6A所示的电路54包括晶体管M21至晶体管M24以及电容器C21至电容器C24。注意,晶体管M21至晶体管M24是n沟道型晶体管。

[0177] 晶体管M21至晶体管M24在输入端子IN与输出端子OUT之间串联连接。在晶体管M21至晶体管M24中,各栅极与源极和漏极中的一个电连接,由此晶体管M21至晶体管M24被用作二极管。此外,晶体管M21至晶体管M24的栅极分别与电容器C21至电容器C24电连接。

[0178] 奇数级的电容器C21、C23的一个电极被输入时钟信号CLK,偶数级的电容器C22、C24的一个电极被输入时钟信号CLKB。时钟信号CLKB是使时钟信号CLK的相位反转而成的反转时钟信号。

[0179] 电路54具有对输入到输入端子IN的低电源电位VSS进行降压,生成低电源电位VLL或低电源电位VBL的功能。电路54只通过利用时钟信号CLK及时钟信号CLKB的供应,可以生成对低电源电位VSS进行降压而成的低电源电位VLL或低电源电位VBL。

[0180] 图6B所示的电路55由作为p沟道型晶体管的晶体管M31至晶体管M34构成。关于其他构成要素,援用电路54的说明。

[0181] <晶体管M11>

[0182] 如上所述,作为晶体管M11、晶体管M12及晶体管M14可以使用包括背栅极的OS晶体管。在OS晶体管中,通过对背栅极施加电位,可以增加或减小阈值电压。具体而言,在OS晶体管中,当提高对背栅极施加的电位时,阈值电压向负方向漂移,当降低对背栅极施加的电位

时,阈值电压向正方向漂移。

[0183] 就是说,通过降低施加到背栅极的电位(在本说明书等中低电源电位VBL),可以降低对于源极的栅极的电压Vgs为0V时的源极与漏极之间的电流Ids(也称为截止电流)。通过降低截止电流,可以延长写入到存储单元211中的数据的保持时间。

[0184] 此外,通过晶体管处于非导通时(关闭状态)施加到前栅极的电位为低于低电源电位VSS的电位(在本说明书等中低电源电位VLL),可以降低源极与漏极之间流过的电流。也就是说,通过晶体管处于非导通时对前栅极施加低电源电位VLL,即使使低电源电位VBL与低电源电位VSS的电位差变小,也可以降低晶体管的源极与漏极之间流过的电流。

[0185] 通过使低电源电位VBL与低电源电位VSS的电位差变小,可以使施加到晶体管的背栅极与沟道形成区域之间的绝缘膜(也称为栅极绝缘膜、栅极绝缘层)的电场强度变小,可以提高晶体管的可靠性。换言之,由于可以降低施加到晶体管的电场应力,所以可以提高晶体管的可靠性。存储器100可以为数据保持时间长且可靠性高的存储装置。

[0186] 另外,本实施方式可以与本说明书所记载的其他实施方式适当地组合而实施。

[0187] (实施方式2)

[0188] 在本实施方式中,说明存储器100所包括的存储单元阵列201的结构例子以及其工作例子。

[0189] 图7示出不同于图2A的存储单元阵列201的例子。图7是折叠位线方式(folded bit-line方式)的存储单元阵列。注意,也可以将存储单元221用于开放位线方式(open bit-line方式)的存储单元阵列。此外,在图7中省略布线WLB。

[0190] 在图7所示的存储单元阵列201中,一列中有m个、一行中有n个,共有m×n个存储单元221,存储单元221配置为行列状。在图7中,还标出存储单元221的地址。例如,[i,j]表示第i行第j列的存储单元221。

[0191] 另外,图7所示的存储单元阵列201包括与字线驱动电路122电连接的m个布线WL。布线WL(1)与第一行的存储单元221电连接。同样地,布线WL(i)与第i行的存储单元221电连接。

[0192] 另外,在图7所示的存储单元阵列201中,一列中包括两个布线BIL(布线BILa及布线BILb)。在图7等中,将第一列的布线BILa表示为布线BILa(1),第j列的布线BILb表示为布线BILb(j)。

[0193] 配置在奇数行的存储单元221与布线BILa和布线BILb中的一个电连接,配置在偶数行的存储单元221与布线BILa和布线BILb中的另一个电连接。

[0194] 另外,布线BILa及布线BILb与设置在每列的预充电电路132、读出放大器133及输入输出电路134电连接。另外,输入输出电路134以每列与布线SALa及布线SALb电连接。在图7等中,将第一列的预充电电路132表示为预充电电路132(1),将第j列的预充电电路132表示为预充电电路132(j)。有关读出放大器133及输入输出电路134的记载也是同样的。注意,位线驱动电路130包括列译码器131(参照图1)。

[0195] <电路结构例子>

[0196] 图8示出第J列的存储单元221、预充电电路132、读出放大器133及输入输出电路134的电路结构例子。

[0197] <预充电电路132>

[0198] 预充电电路132(j)包括n沟道型晶体管Tr21至晶体管Tr23。此外,晶体管Tr21至晶体管Tr23也可以是p沟道型晶体管。晶体管Tr21的源极和漏极中的一个与布线BILa(j)连接,源极和漏极中的另一个与布线PRE连接。晶体管Tr22的源极和漏极中的一个与布线BILb(j)连接,源极和漏极中的另一个与布线PRE连接。晶体管Tr23的源极和漏极中的一个与布线BILa(j)连接,源极和漏极中的另一个与布线BILb(j)连接。晶体管Tr21的栅极、晶体管Tr22的栅极及晶体管Tr23的栅极与布线PL连接。预充电电路PRC具有使布线BILa(j)及布线BILb(j)的电位初始化的功能。

[0199] <读出放大器133>

[0200] 读出放大器133(j)包括p沟道型晶体管Tr31及晶体管Tr32、n沟道型晶体管Tr33及晶体管Tr34。晶体管Tr31的源极和漏极中的一个与布线SP连接,源极和漏极中的另一个与晶体管Tr32的栅极、晶体管Tr34的栅极及布线BILa(j)连接。晶体管Tr33的源极和漏极中的一个与晶体管Tr32的栅极、晶体管Tr34的栅极及布线BLa(j)连接,源极和漏极中的另一个与布线SN连接。晶体管Tr32的源极和漏极中的一个与布线SP连接,源极和漏极中的另一个与晶体管Tr31的栅极、晶体管Tr33的栅极及布线BLb(j)连接。晶体管Tr34的源极和漏极中的一个与晶体管Tr31的栅极、晶体管Tr33的栅极及布线BLb(j)连接,源极和漏极中的另一个与布线SN连接。读出放大器133(j)具有放大布线BLa(j)、BILb(j)的电位的功能。此外,读出放大器133(j)被用作锁存型读出放大器。

[0201] <输入输出电路134>

[0202] 输入输出电路134(j)包括n沟道型晶体管Tr41及晶体管Tr42。此外,晶体管Tr41及晶体管Tr42也可以是p沟道型晶体管。晶体管Tr41的源极和漏极中的一个与布线BILa(j)连接,源极和漏极中的另一个与布线SALa(j)连接。晶体管Tr42的源极和漏极中的一个与布线BILb(j)连接,源极和漏极中的另一个与布线SALb(j)连接。晶体管Tr41的栅极及晶体管Tr42的栅极与布线CSEL连接。

[0203] 输入输出电路134(j)具有根据供应到布线CSEL的电位控制布线BILa(j)和布线SALa(j)的导通状态及布线BILb(j)和布线SALb(j)的导通状态的功能。就是说,可以利用输入输出电路134(j)选择是否对布线SALa(j)、布线SALb(j)输出电位。

[0204] 布线SP、布线SN、布线CSEL、布线PRE、布线PL具有传输用来控制预充电电路132、读出放大器133及输入输出电路134的工作的信号的功能。布线SP、布线SN、布线CSEL、布线PRE、布线PL与图1所示的控制逻辑电路160连接。控制逻辑电路160具有对布线SP、布线SN、布线CSEL、布线PRE、布线PL供应控制信号的功能。

[0205] <工作例子>

[0206] 使用图8所示的存储单元221[i,j]、预充电电路132(j)、读出放大器133(j)及输入输出电路134(j)说明存储器100的工作模式。此外,假设对布线BGL(i)供应-3V。

[0207] <读出模式>

[0208] 首先,使用图9的时序图说明从存储单元221[i,j]读出数据时的读出放大器133(j)的工作例子。

[0209] [期间T11]

[0210] 在期间T11,使预充电电路132(j)工作,使布线BILa(j)及布线BILb(j)的电位初始化。具体而言,将布线PL的电位设定为高电平(VH_PL),将晶体管Tr21至晶体管Tr23变为开

启状态。由此,布线BILa(j)及布线BILb(j)被供应布线PRE的电位Vpre。注意,电位Vpre例如可以为(VH_SP+VL_SN)/2。VH_SP为对布线SP供应的高电平电位,VL_SN为对布线SN供应的低电平电位。

[0211] 在期间T11,布线CSEL的电位是低电平(VL_CSEL),输入输出电路134(j)中的晶体管Tr41、晶体管Tr42处于关闭状态。另外,布线WL(i)的电位是低电平(VL_WL),存储单元221[i,j]所包括的晶体管M11处于关闭状态。同样地,虽然在图8中未图示,但是布线WL[i+1]的电位是低电平(VL_WL),存储单元221[i+1,j]所包括的晶体管M11处于关闭状态。另外,布线SP及布线SN的电位是电位Vpre,读出放大器133(j)处于停止状态。

[0212] 注意,VL_WL优选为低于VL_SN的电位。此外,VL_WL优选为低于从VL_SN减去晶体管M11的Vth的电位的电位。换言之,在将VL_SN设定为基准电位(0V)时,将VL_WL设定为负电位(也称为“负电位”或“负偏压”)即可。

[0213] 通过对布线WL(i)供应负偏压,可以更确实地使晶体管M11处于关闭状态。尤其是,即便在高温工作下,也可以提供数据保持时间较长的存储装置。

[0214] 此外,通过对布线BGL(i)供应负偏压也可以使晶体管M11成为关闭状态。尤其是,通过对布线WL(i)和布线BGL(i)双方供应负偏压,与仅对其中一个供应负偏压的情况相比,可以以更小的偏压实现同等的效果。此外,由于可以降低施加到晶体管M11的电场应力,所以可以提高晶体管M11的可靠性。再者,可以降低晶体管M11的功耗。换言之,可以提高存储器100的可靠性,并可以降低功耗。

[0215] [期间T12]

[0216] 在期间T12,将布线PL的电位设定为低电平(VL_PL),将晶体管Tr21至晶体管Tr23变为关闭状态。另外,选择布线WL(i)。具体而言,通过将布线WL(i)的电位变为高电平(VH_WL),将存储单元221[i,j]所包括的晶体管M11变为开启状态。由此,在存储单元221[i,j]中,布线BILa(j)与电容器CA通过晶体管M11变为导通状态,根据电容器CA所保持的电荷量,布线BILa(j)的电位发生变化。

[0217] 在此,VH_WL优选为高于VH_SP的电位。具体而言,VH_WL优选为高于对VH_SP加上晶体管M11的Vth的电位的电位。

[0218] 在图9中,示出数据“1”储存在该存储单元221[i,j]中且储存在电容器CA的电荷量多的情况。具体而言,在储存在电容器CA的电荷量多的情况下,电荷从电容器CA释放到布线BILa(j),使得布线BILa(j)的电位从电位Vpre上升△V1。另一方面,数据“0”储存在该存储单元221[i,j]中且储存在电容器CA的电荷量少的情况下,电荷从布线BILa(j)流入电容器CA,使得布线BILa(j)的电位下降△V2(未图示)。

[0219] 在期间T12,布线CSEL的电位是低电平(VL_CSEL),输入输出电路134(j)中的晶体管Tr41、晶体管Tr42处于关闭状态。另外,布线SP及布线SN的电位是电位Vpre,读出放大器133(j)维持停止状态。

[0220] [期间T13]

[0221] 在期间T13,将布线SP的电位变到高电平(VH_SP),将布线SN的电位变到低电平(VL_SN)。于是,读出放大器133(j)变为工作状态。读出放大器133(j)具有放大布线BILa(j)和布线BILb(j)的电位差(图9中的△V1)的功能。由于读出放大器133(j)变为工作状态,所以布线BILa(j)的电位从Vpre+△V1接近布线SP的电位(VH_SP)。另外,布线BILb(j)的电位

从Vpre接近布线SN的电位(VL_SN)。

[0222] 注意,在期间T13初始,在布线BILa(j)的电位是Vpre-△V2的情况下,读出放大器133(j)处于工作状态,因此布线BILa(j)的电位从Vpre-△V2接近布线SN的电位(VL_SN)。另外,布线BILb(j)的电位从电位Vpre接近布线SP的电位(VH_SP)。

[0223] 另外,在期间T13,布线PL的电位是低电平(VL_PL),预充电电路132(j)中的晶体管Tr21至晶体管Tr23处于关闭状态。另外,布线CSEL的电位是低电平(VL_CSEL),输入输出电路134(j)中的晶体管Tr41、晶体管Tr42处于关闭状态。另外,布线WL(i)的电位是高电平(VH_WL),存储单元221[i,j]所包括的晶体管M11处于开启状态。因此,在存储单元221[i,j]中,对应于布线BILa(j)的电位(VH_SP)的电荷量储存在电容器CA。

[0224] [期间T14]

[0225] 在期间T14,通过控制布线CSEL的电位,将输入输出电路134(j)变为开启状态。具体地,通过将布线CSEL的电位设定为高电平(VH_CSEL),将晶体管Tr41及晶体管Tr42变为开启状态。由此,将布线BILa(j)的电位供应给布线SALa(j),并将布线BILb(j)的电位供应给布线SALb(j)。

[0226] 此外,在期间T14,布线PL的电位为低电平(VL_PL),在预充电电路132(j)中,使晶体管Tr21至晶体管Tr23处于关闭状态。此外,布线WL(i)的电位为高电平(VH_WL),存储单元221[i,j]所具有的晶体管M11处于开启状态。此外,布线SP的电位为高电平(VH_SP),布线SN的电位为低电平(VL_SN),读出放大器133(j)处于工作状态。由此,在存储单元221[i,j]中,对应于布线BILa(j)的电位(VH_SP)的电荷储存在电容器CA。

[0227] [期间T15]

[0228] 在期间T15,通过控制布线CSEL的电位,使输入输出电路134(j)成为关闭状态。具体地,将布线CSEL的电位设定为低电平(VL_CSEL),使得晶体管Tr41及晶体管Tr42成为关闭状态。

[0229] 此外,在期间T15,对布线WL(i)供应VL_WL,使布线WL(i)处于非选择状态。具体地,布线WL(i)的电位为低电平(VL_WL)。于是,存储单元221[i,j]所具有的晶体管成为关闭状态。由此,对应于布线BLa的电位(VH_SP)的电荷量储存在该存储单元221[i,j]所具有的电容器CA。因此,即便在进行了数据的读出之后,数据也保持在存储单元221[i,j]中。

[0230] 通过将供应给字线WL(i)的VL_WL设定为负电位,可以更确实地使晶体管M11成为关闭状态。尤其是,即便在高温工作下,也可以提供数据保持时间较长的存储装置。

[0231] 此外,在期间T15,即便使输入输出电路134(j)处于关闭状态,只要是读出放大器133(j)处于工作状态,布线BILa(j)及布线BILb(j)的电位被读出放大器133(j)保持。由此,读出放大器133(j)具有暂时保持从存储单元221[i,j]读出的数据的功能。

[0232] 通过进行上述工作,可以从存储单元221[i,j]读出数据。所读出的数据通过布线SALa(j)及/或布线SALb(j)供应给输出电路140(参照图1)。注意,也可以与该存储单元221[i,j]同样地从存储单元221[i+1,j]读出数据。

[0233] <写入模式>

[0234] 接着,使用图10所示的时序图说明将数据写入到存储单元221[i,j]时的读出放大器133(j)的工作例子。可以基于与以上的相同的原理将数据写入到存储单元221[i+1,j]。

[0235] [期间T21]

[0236] 在期间T21,使预充电电路132(j)所包括的晶体管Tr21至晶体管Tr23变为开启状态,使布线BILa(j)及布线BILb(j)的电位初始化。具体而言,将布线PL的电位设定为高电平(VH_PL),将晶体管Tr21至晶体管Tr23变为开启状态。由此,布线BILa(j)及布线BILb(j)被供应布线PRE的电位Vpre。此外,电位Vpre例如可以为(VH_SP+VL_SN)/2。

[0237] [期间T22]

[0238] 然后,在期间T22,将布线PL的电位设定为低电平(VL_PL),使得晶体管Tr21至晶体管Tr23成为关闭状态。此外,选择与被写入数据的存储单元221[i,j]连接的布线WL(i)。具体地,将布线WL(i)的电位设定为高电平(VH_WL),使得存储单元221[i,j]所具有的晶体管M11成为开启状态。由此,在存储单元221[i,j]中,布线BILa(j)与电容器CA通过晶体管M11成为导通状态。

[0239] 注意,在写入模式中工作的期间,既可一直对布线BGL(i)供应负偏压,又可在布线WL(i)的电位成为VH_WL时使布线BGL(i)的电位上升。在图10中,在期间T22,将布线BGL(i)的电位设定为L电位(例如,0V)。

[0240] 通过伴随布线WL(i)的电位上升而使布线BGL(i)的电位上升,晶体管M11的阈值电压Vth变小,由此可以提高工作速度。由此,可以缩短写入工作所需的时间。因此,可以提高存储器100的工作速度。

[0241] 此外,通过使布线WL(i)和布线BGL(i)双方的电位上升,与仅使其中一个电位上升的情况相比可以以更少的电位上升实现同等的工作速度。此外,由于可以降低施加到晶体管M11的电场应力,所以可以提高晶体管M11的可靠性。再者,可以降低晶体管M11的功耗。换言之,可以提高存储器100的可靠性,并可以降低功耗。

[0242] 此时,当已在存储单元221[i,j]中储存数据“1”时,电荷从电容器CA释放到布线BILa(j),使得布线BILa(j)的电位从电位Vpre上升△V1。

[0243] [期间T23]

[0244] 在期间T23,将布线SP的电位设定为高电平(VH_SP),并将布线SN的电位设定为低电平(VL_SN),使得读出放大器133(j)成为工作状态。

[0245] [期间T24]

[0246] 在期间T24,通过控制布线CSEL的电位,使输入输出电路134(j)成为开启状态。由此,布线BILa(j)与布线SALa(j)成为导通状态,布线BILb(j)与布线SALb(j)成为导通状态。

[0247] 将数据信号WDATA通过布线SALa(j)及布线SALb(j)供应给输入输出电路134(j)。通过对布线SALa(j)及布线SALb(j)供应相当于数据信号WDATA的写入电位,将写入电位通过输入输出电路134(j)供应给布线BILa(j)及布线BILb(j)。例如,当在存储单元221[i,j]中储存数据“0”时,对布线SALa(j)供应低电平(VL_SN),并对布线SALb(j)供应高电平(VH_SP)。

[0248] 于是,读出放大器133(j)所具有的晶体管Tr31至晶体管Tr34的开关状态反转,对布线BILa(j)供应布线SN的电位(VL_SN),并对布线BILb(j)供应布线SP的电位(VL_SP)。由此,将对应于表示数据“0”的电位(VL_SN)的电荷量储存在电容器CA。通过进行上述工作,可以对存储单元221[i,j]写入数据。

[0249] [期间T25]

[0250] 在期间T25,对布线WL(i)供应VL_WL,使布线WL(i)处于非选择状态。由此,保持写

入到存储单元221[i,j]中的电荷。伴随布线WL(i)的电位上升而使布线BGL(i)的电位上升时,在布线WL(i)的电位成为VL_WL时降低布线BGL(i)的电位。例如,对布线BGL(i)供应-3V。

[0251] 此外,通过将布线CSEL的电位设定为低电平(VL_CSEL),使晶体管Tr41及晶体管Tr42成为关闭状态。

[0252] 此外,在对布线BILa(j)供应布线SALa(j)的电位之后,即使输入输出电路134(j)中的晶体管Tr41及晶体管Tr42成为关闭状态,只要是读出放大器133(j)处于工作状态,也可以由读出放大器133(j)保持布线BILa(j)及布线BILb(j)的电位。由此,晶体管Tr41及晶体管Tr42从开启状态变成关闭状态的时序既可在选择布线WL(i)之前又可在选择布线WL(i)之后。

[0253] 通过进行上述工作,可以对存储单元221[i,j]写入数据。注意,也可以与存储单元221[i,j]同样地对存储单元221[i+1,j]写入数据。

[0254] 通过将供应给布线VL(i)的VL_WL设定为负电位,可以更确实地使晶体管M11成为关闭状态。尤其是,即便在高温工作下,也可以提供数据保持时间较长的存储装置。

[0255] <刷新模式>

[0256] 为了保持写入到存储单元221[i,j]的数据,每隔固定期间进行刷新工作(再次写入工作)。使用图11所示的时序图说明刷新工作中的读出放大器133(j)的工作例子。可以基于与以上的相同的原理进行刷新工作。

[0257] [期间T31]

[0258] 在期间T31,将预充电电路132(j)所包括的晶体管Tr21至晶体管Tr23变为开启状态,使布线BILa(j)及布线BILb(j)的电位初始化。具体而言,将布线PL的电位设定为高电平(VH_PL),将晶体管Tr21至晶体管Tr23变为开启状态。由此,布线BILa(j)及布线BILb(j)被供应布线PRE的电位Vpre。

[0259] [期间T32]

[0260] 在期间T32,将布线PL的电位设定为低电平(VL_PL),使得晶体管Tr21至晶体管Tr23成为关闭状态。此外,选择与被写入数据的存储单元221[i,j]连接的布线WL(i)。具体地,将布线WL(i)的电位设定为高电平(VH_WL),使得存储单元221[i,j]所具有的晶体管M11成为开启状态。由此,在存储单元221[i,j]中,布线BILa(j)与电容器CA通过晶体管M11成为导通状态。

[0261] 注意,在刷新模式中工作的期间,既可一直对布线BGL(i)供应负偏压,又可在布线WL(i)的电位成为VH_WL时使布线BGL(i)的电位上升。在图11中,在期间T32,将布线BGL(i)的电位设定为L电位(例如,0V)。

[0262] 通过伴随布线WL(i)的电位上升而使布线BGL(i)的电位上升,可以提高晶体管M11的工作速度。由此,可以缩短刷新工作所需的时间。因此,可以提高存储器100的工作速度。

[0263] 此外,通过使布线WL(i)和布线BGL(i)双方的电位上升,与仅使其中一个电位上升的情况相比可以以更少的电位上升实现同等的工作速度。此外,由于可以降低施加到晶体管M11的电场应力,所以可以提高晶体管M11的可靠性。再者,可以降低晶体管M11的功耗。

[0264] 此时,当已在存储单元221[i,j]中储存数据“1”时,电荷从电容器CA释放到布线BILa(j),使得布线BILa(j)的电位从电位Vpre上升△V1。

[0265] [期间T33]

[0266] 在期间T33,将布线SP的电位设定为高电平(VH_SP),并将布线SN的电位设定为低电平(VL_SN),使得读出放大器133(j)成为工作状态。通过使读出放大器133(j)成为工作状态,布线BILa(j)的电位从Vpre+△V1接近布线SP的电位(VH_SP)。此外,布线BILb(j)的电位从Vpre接近布线SN的电位(VL_SN)。注意,在本说明书等中,将期间T33所需要的时间称为“写入时间”。

[0267] [期间T34]

[0268] 在期间T34,对布线WL(i)供应VL_WL,使布线WL(i)成为非选择状态。具体地,将布线WL(i)的电位设定为低电平(VL_WL),使得存储单元221[i,j]所具有的晶体管成为关闭状态。由此,对应于布线BLa的电位(VH_SP)的电荷量储存在存储单元221[i,j]所具有的电容器CA。

[0269] 通过将VL_WL设定为负电位,可以更确实地使晶体管M11处于关闭状态。尤其是,即便在高温工作下,也可以提供数据保持时间较长的存储装置。

[0270] 此外,伴随布线WL(i)的电位成为VL_WL而降低布线BGL(i)的电位。例如,对布线BGL(i)供应-3V。

[0271] 在刷新模式中,因为不进行数据读出或写入,所以输入输出电路134(j)可以一直处于关闭状态。由此,与读出模式及写入模式相比,刷新模式可以以更短时间进行。注意,也可以与存储单元221[i,j]同样地进行存储单元221[i+1,j]的刷新模式。

[0272] 另外,本实施方式可以与本说明书所记载的其他实施方式适当地组合而实施。

[0273] (实施方式3)

[0274] 在本实施方式中,对在上述实施方式中说明的可应用于外围电路111的Si晶体管以及可应用于存储单元211的OS晶体管的结构例子进行说明。注意,在本实施方式中,将上述Si晶体管和OS晶体管统称为半导体装置。

[0275] 〈半导体装置的结构例子〉

[0276] 图12所示的半导体装置包括晶体管300、晶体管500及电容器600。图13A是晶体管500的沟道长度方向上的截面图,图13B是晶体管500的沟道宽度方向上的截面图,图13C是晶体管300的沟道宽度方向上的截面图。

[0277] 晶体管500是在沟道形成区域中包含金属氧化物的晶体管(OS晶体管)。由于晶体管500的关态电流小,所以通过将该OS晶体管用于半导体装置,可以长期间保持存储内容。换言之,刷新工作的频率低或者不需要刷新工作,所以可以减小半导体装置的功耗。

[0278] 如图12所示,在本实施方式中说明的半导体装置包括晶体管300、晶体管500及电容器600。晶体管500设置在晶体管300的上方,电容器600设置在晶体管300及晶体管500的上方。

[0279] 晶体管300设置在衬底311上,并包括:导电体316、绝缘体315、由衬底311的一部分构成的半导体区域313;以及被用作源区或漏区的低电阻区域314a及低电阻区域314b。

[0280] 如图13C所示,在晶体管300中,导电体316隔着绝缘体315覆盖半导体区域313的顶面及沟道宽度方向的侧面。如此,通过使晶体管300具有Fin型结构,实效上的沟道宽度增加,所以可以改善晶体管300的通态特性。此外,由于可以增加栅电极的电场的影响,所以可以改善晶体管300的关态特性。

[0281] 另外,晶体管300可以为p沟道晶体管或n沟道晶体管。

[0282] 半导体区域313的沟道形成区域或其附近的区域、被用作源区或漏区的低电阻区域314a及低电阻区域314b等优选包含硅类半导体等半导体,更优选包含单晶硅。此外,也可以使用包含Ge(锗)、SiGe(硅锗)、GaAs(砷化镓)、GaAlAs(镓铝砷)等的材料形成。可以使用对晶格施加应力,改变晶面间距而控制有效质量的硅。此外,晶体管300也可以是使用GaAs和GaAlAs等的HEMT(High Electron Mobility Transistor:高电子迁移率晶体管)。

[0283] 在低电阻区域314a及低电阻区域314b中,除了应用于半导体区域313的半导体材料之外,还包含砷、磷等赋予n型导电性的元素或硼等赋予p型导电性的元素。

[0284] 作为被用作栅电极的导电体316,可以使用包含砷、磷等赋予n型导电性的元素或硼等赋予p型导电性的元素的硅等半导体材料、金属材料、合金材料或金属氧化物材料等导电材料。

[0285] 此外,由于导电体的材料决定功函数,所以通过改变导电体的材料,可以调整Vth。具体而言,作为导电体优选使用氮化钛或氮化钽等材料。为了兼具导电性和埋入性,作为导电体优选使用钨或铝等金属材料的叠层,尤其在耐热性方面上优选使用钨。

[0286] 注意,图12所示的晶体管300的结构只是一个例子,不局限于上述结构,根据电路结构或驱动方法使用适当的晶体管即可。例如,与晶体管500同样,也可以在晶体管300中使用氧化物半导体。

[0287] 以覆盖晶体管300的方式依次层叠有绝缘体320、绝缘体322、绝缘体324及绝缘体326。

[0288] 作为绝缘体320、绝缘体322、绝缘体324及绝缘体326,例如可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝、氮氧化铝及氮化铝等。

[0289] 绝缘体322也可以被用作使因设置在其下方的晶体管300等而产生的台阶平坦化的平坦化膜。例如,为了提高绝缘体322的顶面的平坦性,其顶面也可以通过利用化学机械抛光(CMP)法等的平坦化处理被平坦化。

[0290] 作为绝缘体324,优选使用能够防止氢或杂质从衬底311或晶体管300等扩散到设置有晶体管500的区域中的具有阻挡性的膜。

[0291] 作为对氢具有阻挡性的膜的一个例子,例如可以使用通过CVD法形成的氮化硅。在此,有时氢扩散到晶体管500等具有氧化物半导体的半导体元件中,导致该半导体元件的特性下降。因此,优选在晶体管500与晶体管300之间设置抑制氢的扩散的膜。具体而言,抑制氢的扩散的膜是指氢的脱离量少的膜。

[0292] 氢的脱离量例如可以利用热脱附谱分析法(TDS)等测量。例如,在TDS分析中的膜表面温度为50℃至500℃的范围内,当将换算为氢原子的脱离量换算为绝缘体324的每单位面积的量时,绝缘体324中的氢的脱离量为10×10^{15}atoms/cm^2以下,优选为5×10^{15}atoms/cm^2以下,即可。

[0293] 注意,绝缘体326的介电常数优选比绝缘体324低。例如,绝缘体326的相对介电常数优选低于4,更优选低于3。例如,绝缘体326的相对介电常数优选为绝缘体324的相对介电常数的0.7倍以下,更优选为0.6倍以下。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。

[0294] 此外,在绝缘体320、绝缘体322、绝缘体324及绝缘体326中埋入与电容器600或晶体管500连接的导电体328、导电体330等。此外,导电体328及导电体330具有插头或布线的

功能。注意,有时使用同一附图标记表示具有插头或布线的功能的多个导电体。此外,在本说明书等中,布线、与布线连接的插头也可以是一个构成要素。就是说,导电体的一部分有时被用作布线,并且导电体的一部分有时被用作插头。

[0295] 作为各插头及布线(导电体328及导电体330等)的材料,可以使用金属材料、合金材料、金属氮化物材料或金属氧化物材料等导电材料的单层或叠层。优选使用兼具耐热性和导电性的钨或钼等高熔点材料,尤其优选使用钨。或者,优选使用铝或铜等低电阻导电材料。通过使用低电阻导电材料可以降低布线电阻。

[0296] 也可以在绝缘体326及导电体330上形成布线层。例如,在图12中,依次层叠有绝缘体350、绝缘体352及绝缘体354。此外,在绝缘体350、绝缘体352及绝缘体354中形成有导电体356。导电体356具有与晶体管300连接的插头或布线的功能。此外,导电体356可以使用与导电体328及导电体330同样的材料形成。

[0297] 此外,与绝缘体324同样,绝缘体350例如优选使用对氢具有阻挡性的绝缘体。此外,导电体356优选包含对氢具有阻挡性的导电体。尤其是,在对氢具有阻挡性的绝缘体350所具有的开口中形成对氢具有阻挡性的导电体。通过采用该结构,可以使用阻挡层将晶体管300与晶体管500分离,从而可以抑制氢从晶体管300扩散到晶体管500中。

[0298] 注意,作为对氢具有阻挡性的导电体,例如优选使用氮化钽等。此外,通过层叠氮化钽和导电性高的钨,不但可以保持作为布线的导电性而且可以抑制氢从晶体管300扩散。此时,对氢具有阻挡性的氮化钽层优选与对氢具有阻挡性的绝缘体350接触。

[0299] 此外,也可以在绝缘体354及导电体356上形成布线层。例如,在图12中,依次层叠有绝缘体360、绝缘体362及绝缘体364。此外,在绝缘体360、绝缘体362及绝缘体364中形成有导电体366。导电体366具有插头或布线的功能。此外,导电体366可以使用与导电体328及导电体330同样的材料形成。

[0300] 此外,与绝缘体324同样,绝缘体360例如优选使用对氢具有阻挡性的绝缘体。此外,导电体366优选包含对氢具有阻挡性的导电体。尤其是,在对氢具有阻挡性的绝缘体360所具有的开口中形成对氢具有阻挡性的导电体。通过采用该结构,可以使用阻挡层将晶体管300与晶体管500分离,从而可以抑制氢从晶体管300扩散到晶体管500中。

[0301] 此外,也可以在绝缘体364及导电体366上形成布线层。例如,在图12中,依次层叠有绝缘体370、绝缘体372及绝缘体374。此外,在绝缘体370、绝缘体372及绝缘体374中形成有导电体376。导电体376具有插头或布线的功能。此外,导电体376可以使用与导电体328及导电体330同样的材料形成。

[0302] 此外,与绝缘体324同样,绝缘体370例如优选使用对氢具有阻挡性的绝缘体。此外,导电体376优选包含对氢具有阻挡性的导电体。尤其是,在对氢具有阻挡性的绝缘体370所具有的开口中形成对氢具有阻挡性的导电体。通过采用该结构,可以使用阻挡层将晶体管300与晶体管500分离,从而可以抑制氢从晶体管300扩散到晶体管500中。

[0303] 此外,也可以在绝缘体374及导电体376上形成布线层。例如,在图12中,依次层叠有绝缘体380、绝缘体382及绝缘体384。此外,在绝缘体380、绝缘体382及绝缘体384中形成有导电体386。导电体386具有插头或布线的功能。此外,导电体386可以使用与导电体328及导电体330同样的材料形成。

[0304] 此外,与绝缘体324同样,绝缘体380例如优选使用对氢具有阻挡性的绝缘体。此

外,导电体386优选包含对氢具有阻挡性的导电体。尤其是,在对氢具有阻挡性的绝缘体380所具有的开口中形成对氢具有阻挡性的导电体。通过采用该结构,可以使用阻挡层将晶体管300与晶体管500分离,从而可以抑制氢从晶体管300扩散到晶体管500中。

[0305] 在上面说明包括导电体356的布线层、包括导电体366的布线层、包括导电体376的布线层及包括导电体386的布线层,但是本实施方式的半导体装置不局限于此。与包括导电体356的布线层同样的布线层可以为三层以下,与包括导电体356的布线层同样的布线层可以为五层以上。

[0306] 在绝缘体384上依次层叠有绝缘体510、绝缘体512、绝缘体514及绝缘体516。作为绝缘体510、绝缘体512、绝缘体514及绝缘体516中的至少任何一个,优选使用对氧或氢具有阻挡性的物质。

[0307] 例如,作为绝缘体510及绝缘体514,优选使用能够防止氢或杂质从衬底311或设置有晶体管300的区域等扩散到设置有晶体管500的区域中的具有阻挡性的膜。因此,绝缘体510及绝缘体514可以使用与绝缘体324同样的材料。

[0308] 作为对氢具有阻挡性的膜的一个例子,可以使用通过CVD法形成的氮化硅。在此,有时氢扩散到晶体管500等具有氧化物半导体的半导体元件中,导致该半导体元件的特性下降。因此,优选在晶体管300与晶体管500之间设置抑制氢的扩散的膜。具体而言,抑制氢的扩散的膜是指氢的脱离量少的膜。

[0309] 例如,作为对氢具有阻挡性的膜,绝缘体510及绝缘体514优选使用氧化铝、氧化铪、氧化钽等金属氧化物。

[0310] 尤其是,氧化铝的不使氧及导致晶体管的电特性变动的氢、水分等杂质透过的阻挡效果高。因此,在晶体管的制造工序中及制造工序之后,氧化铝可以防止氢、水分等杂质进入晶体管500中。此外,氧化铝可以抑制氧从构成晶体管500的氧化物释放。因此,氧化铝适合用作晶体管500的保护膜。

[0311] 例如,作为绝缘体512及绝缘体516,可以使用与绝缘体320同样的材料。此外,通过由介电常数较低的材料形成层间膜,可以减少产生在布线之间的寄生电容。例如,作为绝缘体512及绝缘体516,可以使用氧化硅膜和氧氮化硅膜等。

[0312] 此外,在绝缘体510、绝缘体512、绝缘体514及绝缘体516中埋入有导电体518、构成晶体管500的导电体(导电体503)等。此外,导电体518被用作与电容器600或晶体管300连接的插头或布线。导电体518可以使用与导电体328及导电体330同样的材料形成。

[0313] 尤其是,与绝缘体510及绝缘体514接触的区域的导电体518优选为对氧、氢及水具有阻挡性的导电体。通过采用该结构,可以利用对氧、氢及水具有阻挡性的层将晶体管300与晶体管500分离,从而可以抑制氢从晶体管300扩散到晶体管500中。

[0314] 在绝缘体516的上方设置有晶体管500。

[0315] 如图13A和图13B所示,晶体管500包括:嵌入在绝缘体512及绝缘体516中的导电体503;配置在绝缘体516及导电体503上的绝缘体521;配置在绝缘体521上的绝缘体522;配置在绝缘体522上的绝缘体524;配置在绝缘体524上的氧化物530a;配置在氧化物530a上的氧化物530b;配置在氧化物530b上且彼此隔开的导电体542a及导电体542b;配置在导电体542a及导电体542b上且形成有与导电体542a和导电体542b之间重叠的开口的绝缘体580;配置在开口中的导电体560;配置在氧化物530b、导电体542a、导电体542b及绝缘体580与导

电体560之间的绝缘体550;配置在氧化物530b、导电体542a、导电体542b及绝缘体580与绝缘体550之间的氧化物530c。

[0316] 另外,如图13A和图13B所示,优选在氧化物530a、氧化物530b、导电体542a及导电体542b与绝缘体580之间配置有绝缘体544。此外,如图13A和图13B所示,导电体560优选包括设置在绝缘体550的内侧的导电体560a及嵌入在导电体560a的内侧的导电体560b。此外,如图13A和图13B所示,优选在绝缘体580、导电体560及绝缘体550上配置有绝缘体574。

[0317] 注意,下面有时将氧化物530a、氧化物530b及氧化物530c统称为氧化物530。此外,有时将导电体542a及导电体542b统称为导电体542。

[0318] 在晶体管500中,在形成沟道的区域及其附近层叠有氧化物530a、氧化物530b及氧化物530c的三层,但是本发明不局限于此。例如,可以设置氧化物530b的单层、氧化物530b与氧化物530a的两层结构、氧化物530b与氧化物530c的两层结构或者四层以上的叠层结构。另外,在晶体管500中,导电体560具有两层结构,但是本发明不局限于此。例如,导电体560也可以具有单层结构或三层以上的叠层结构。注意,图12、图13A、图13B所示的晶体管500的结构只是一个例子而不局限于上述结构,可以根据电路结构或驱动方法使用适当的晶体管。

[0319] 在此,导电体560被用作晶体管的栅电极,导电体542a及导电体542b被用作源电极或漏电极。如上所述,导电体560填埋于绝缘体580的开口中及夹在导电体542a与导电体542b之间的区域。导电体560、导电体542a及导电体542b相对于绝缘体580的开口的配置是自对准地被选择。换言之,在晶体管500中,可以在源电极与漏电极之间自对准地配置栅电极。由此,可以在不设置用于对准的余地的方式形成导电体560,所以可以实现晶体管500的占有面积的缩小。由此,可以实现半导体装置的微型化及高集成化。

[0320] 再者,导电体560自对准地形成在导电体542a与导电体542b之间的区域,所以导电体560不包括与导电体542a及导电体542b重叠的区域。由此,可以降低形成在导电体560与导电体542a及导电体542b之间的寄生电容。因此,可以提高晶体管500的开关速度,从而晶体管500可以具有高频率特性。

[0321] 导电体560有时被用作第一栅(也称为顶栅极)电极。导电体503有时被用作第二栅(也称为底栅极或背栅极)电极。在此情况下,通过独立地改变供应到导电体503的电位而不使其与供应到导电体560的电位联动,可以控制晶体管500的Vth。尤其是,通过对导电体503供应负电位,可以使晶体管500的Vth大于0V且可以减小关态电流。因此,与不对导电体503施加负电位时相比,在对导电体503施加负电位的情况下,可以减小对导电体560供应的电位为0V时的漏极电流。

[0322] 导电体503以与氧化物530及导电体560重叠的方式配置。由此,在对导电体560及导电体503供应电位的情况下,从导电体560产生的电场和从导电体503产生的电场连接,可以覆盖形成在氧化物530中的沟道形成区域。在本说明书等中,将由第一栅电极的电场和第二栅电极的电场电围绕沟道形成区域的晶体管的结构称为surrounded channel(S-channel:围绕沟道)结构。另外,在本说明书等中,surrounded channel(S-channel)结构具有如下特征,即与沟道形成区域相同,接触于被用作源电极及漏电极的导电体542a及导电体542b的氧化物530的侧面及周边为I型。另外,因为接触于导电体542a及导电体542b的氧化物530的侧面及周边与绝缘体580接触,所以与沟道形成区域相同,有可能成为I型。注意,

在本说明书等中,I型可以说与后面说明的高纯度本征相同。此外,本说明书等中公开的S-channel结构与Fin型结构及平面型结构不同。通过采用S-channel结构,可以提高对于短沟道效果的耐性,换言之,可以实现不容易发生短沟道效果的晶体管。

[0323] 另外,导电体503具有与导电体518同样的结构,以与绝缘体514及绝缘体516的开口的内壁接触的方式形成有导电体503a,其内侧形成有导电体503b。

[0324] 绝缘体521、绝缘体522、绝缘体524及绝缘体550被用作栅极绝缘膜。

[0325] 在此,与氧化物530接触的绝缘体524优选使用包含超过化学计量组成的氧的绝缘体。换言之,优选在绝缘体524中形成有过剩氧区域。通过以与氧化物530接触的方式设置上述包含过剩氧的绝缘体,可以减少氧化物530中的氧空位,从而可以提高晶体管500的可靠性。

[0326] 具体而言,作为具有过剩氧区域的绝缘体,优选使用通过加热使一部分的氧脱离的氧化物材料。通过加热使氧脱离的氧化物是指在TDS(Thermal Desorption Spectroscopy:热脱附谱)分析中换算为氧原子的氧的脱离量为1.0×10^{18}atoms/cm^3以上,优选为1.0×10^{19}atoms/cm^3以上,进一步优选为2.0×10^{19}atoms/cm^3以上,或者3.0×10^{20}atoms/cm^3以上的氧化物膜。另外,进行上述TDS分析时的膜的表面温度优选在100℃以上且700℃以下,或者100℃以上且400℃以下的范围内。

[0327] 当绝缘体524具有过剩氧区域时,绝缘体522优选具有抑制氧(例如,氧原子、氧分子等)的扩散的功能(不容易使上述氧透过)。

[0328] 当绝缘体522具有抑制氧或杂质的扩散的功能时,氧化物530所包含的氧不扩散到绝缘体521一侧,所以是优选的。另外,可以抑制导电体503与绝缘体524或氧化物530所包含的氧起反应。

[0329] 作为绝缘体522,例如优选使用包含氧化铝、氧化铪、氧化钽、氧化锆、锆钛酸铅(PZT)、钛酸锶($SrTiO_3$)或(Ba,Sr)TiO_3(BST)等所谓的high-k材料的绝缘体的单层或叠层。当进行晶体管的微型化及高集成化时,由于栅极绝缘膜的薄膜化,有时发生泄漏电流等问题。通过作为被用作栅极绝缘膜的绝缘体使用high-k材料,可以在保持物理厚度的同时降低晶体管工作时的栅极电位。

[0330] 尤其是,优选使用作为具有抑制杂质及氧等的扩散的功能(不容易使上述氧透过)的绝缘材料的包含铝和铪中的一方或双方的氧化物的绝缘体。作为包含铝和铪中的一方或双方的氧化物的绝缘体,优选使用氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)等。当使用这种材料形成绝缘体522时,绝缘体522被用作抑制氧从氧化物530释放或氢等杂质从晶体管500的周围部进入氧化物530的层。

[0331] 或者,例如也可以对上述绝缘体添加氧化铝、氧化铋、氧化锗、氧化铌、氧化硅、氧化钛、氧化钨、氧化钇、氧化锆。此外,也可以对上述绝缘体进行氮化处理。还可以在上述绝缘体上层叠氧化硅、氧氮化硅或氮化硅。

[0332] 绝缘体521优选具有热稳定性。例如,因为氧化硅及氧氮化硅具有热稳定性,所以是优选的。另外,通过high-k材料的绝缘体与氧化硅或氧氮化硅组合,可以形成具有热稳定性且相对介电常数高的叠层结构的绝缘体521。

[0333] 绝缘体521、绝缘体522及绝缘体524也可以具有两层以上的叠层结构。此时,不局限于使用相同材料构成的叠层结构,也可以是使用不同材料形成的叠层结构。

[0334] 在晶体管500中,优选将被用作氧化物半导体的金属氧化物用于包含沟道形成区域的氧化物530。例如,作为氧化物530优选使用In-M-Zn氧化物(元素M为选自铝、镓、钇、铜、钒、铍、硼、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨和镁等中的一种或多种)等金属氧化物。此外,作为氧化物530,也可以使用In-Ga氧化物、In-Zn氧化物。

[0335] 作为在氧化物530中被用作沟道形成区域的金属氧化物,优选使用其带隙为2eV以上,优选为2.5eV以上的金属氧化物。如此,通过使用带隙较宽的金属氧化物,可以减小晶体管的关态电流。

[0336] 在氧化物530中,当在氧化物530b之下设置有氧化物530a时,可以防止杂质从形成在氧化物530a下的结构物扩散到氧化物530b。当在氧化物530b之上设置有氧化物530c时,可以防止杂质从形成在氧化物530c的上方的结构物扩散到氧化物530b。

[0337] 另外,氧化物530优选具有各金属原子的原子个数比互不相同的氧化物的叠层结构。具体而言,用于氧化物530a的金属氧化物的构成元素中的元素M的原子个数比优选大于用于氧化物530b的金属氧化物的构成元素中的元素M的原子个数比。另外,用于氧化物530a的金属氧化物中的相对于In的元素M的原子个数比优选大于用于氧化物530b的金属氧化物中的相对于In的元素M的原子个数比。另外,用于氧化物530b的金属氧化物中的相对于元素M的In的原子个数比优选大于用于氧化物530a的金属氧化物中的相对于元素M的In的原子个数比。另外,氧化物530c可以使用可用于氧化物530a或氧化物530b的金属氧化物。

[0338] 优选的是,使氧化物530a及氧化物530c的导带底的能量高于氧化物530b的导带底的能量。换言之,氧化物530a及氧化物530c的电子亲和势优选小于氧化物530b的电子亲和势。

[0339] 在此,在氧化物530a、氧化物530b及氧化物530c的接合部中,导带底的能级平缓地变化。换言之,也可以将上述情况表达为氧化物530a、氧化物530b及氧化物530c的接合部的导带底的能级连续地变化或者连续地接合。为此,优选降低形成在氧化物530a与氧化物530b的界面以及氧化物530b与氧化物530c的界面的混合层的缺陷态密度。

[0340] 具体而言,通过使氧化物530a与氧化物530b、以及氧化物530b与氧化物530c除了氧之外还包含共同元素(为主要成分),可以形成缺陷态密度低的混合层。例如,在氧化物530b为In-Ga-Zn氧化物的情况下,作为氧化物530a及氧化物530c优选使用In-Ga-Zn氧化物、Ga-Zn氧化物及氧化镓等。

[0341] 此时,载流子的主要路径为氧化物530b。通过使氧化物530a及氧化物530c具有上述结构,可以降低氧化物530a与氧化物530b的界面及氧化物530b与氧化物530c的界面的缺陷态密度。因此,界面散射对载流子传导的影响减少,可以提高晶体管500的通态电流。

[0342] 在氧化物530b上设置有被用作源电极及漏电极的导电体542(导电体542a及导电体542b)。作为导电体542,优选使用选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、铪、钒、铌、锰、镁、锆、铍、铟、钌、铱、锶和镧中的金属元素、以上述金属元素为成分的合金或者组合上述金属元素的合金等。例如,优选使用氮化钽、氮化钛、钨、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钌、氮化钌、包含锶和钌的氧化物、包含镧和镍的氧化物等。另外,氮化钽、氮化钛、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钌、氮化钌、包含锶和钌的氧化物、包含镧和镍的氧化物是不容易氧化的导电材料或者吸收氧也维持导电性的材料,所以是优选的。

[0343] 另外,如图13A所示,有时在氧化物530与导电体542的界面及其附近作为低电阻区域形成有区域543(区域543a及区域543b)。此时,区域543a被用作源区和漏区中的一个,区域543b被用作源区和漏区中的另一个。此外,沟道形成区域形成在夹在区域543a和区域543b之间的区域中。

[0344] 通过以与氧化物530接触的方式形成上述导电体542,区域543的氧浓度有时降低。另外,在区域543中有时形成包括包含在导电体542中的金属及氧化物530的成分的金属化合物层。在此情况下,区域543的载流子密度增加,区域543成为低电阻区域。

[0345] 绝缘体544以覆盖导电体542的方式设置,抑制导电体542的氧化。此时,绝缘体544也可以以覆盖氧化物530的侧面且与绝缘体524接触的方式设置。

[0346] 作为绝缘体544,可以使用包含选自铪、铝、镓、钇、锆、钨、钛、钽、镍、锗和镁等中的一种或两种以上的金属氧化物。

[0347] 尤其是,作为绝缘体544,优选使用作为包含铝和铪中的一方或双方的氧化物的绝缘体的氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)等。尤其是,铝酸铪的耐热性比氧化铪膜高。因此,在后面的工序的热处理中不容易晶化,所以是优选的。另外,在导电体542是具有耐氧化性的材料或者吸收氧也其导电性不会显著降低的情况下,不需要必须设置绝缘体544。根据所需要的晶体管特性,适当地设计即可。

[0348] 绝缘体550被用作栅极绝缘膜。绝缘体550优选以与氧化物530c的内侧(顶面及侧面)接触的方式配置。绝缘体550优选使用通过加热而使氧释放的绝缘体形成。例如,可以使用在热脱附谱分析(TDS分析)中换算为氧原子的氧的脱离量为1.0×10^{18}atoms/cm^3以上,优选为1.0×10^{19}atoms/cm^3以上,进一步优选为2.0×10^{19}atoms/cm^3以上,或者3.0×10^{20}atoms/cm^3以上的氧化物膜。另外,进行上述TDS分析时的膜的表面温度优选在100℃以上且700℃以下的范围内。

[0349] 具体而言,可以使用包含过剩氧的氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅等。尤其是,氧化硅及氧氮化硅具有热稳定性,所以是优选的。

[0350] 通过作为绝缘体550以与氧化物530c的顶面接触的方式设置通过加热而释放氧的绝缘体,可以高效地从绝缘体550通过氧化物530c对氧化物530b的沟道形成区域供应氧。此外,与绝缘体524同样,优选降低绝缘体550中的水或氢等杂质的浓度。绝缘体550的厚度优选为1nm以上且20nm以下。

[0351] 另外,为了将绝缘体550所包含的过剩氧高效地供应到氧化物530,也可以在绝缘体550与导电体560之间设置金属氧化物。该金属氧化物优选抑制从绝缘体550到导电体560的氧扩散。通过设置抑制氧的扩散的金属氧化物,从绝缘体550到导电体560的过剩氧的扩散得到抑制。换言之,可以抑制供应到氧化物530的过剩氧的减少。另外,可以抑制因过剩氧导致的导电体560的氧化。作为该金属氧化物,可以使用可用于绝缘体544的材料。

[0352] 在图13A及图13B中,被用作第一栅电极的导电体560具有两层结构,但是也可以具有单层结构或三层以上的叠层结构。

[0353] 作为导电体560a,优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(N_2O、NO、NO_2等)、铜原子等杂质的扩散的功能的导电材料。另外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能的导电材料。通过使导电体560a

具有抑制氧的扩散的功能,可以抑制因绝缘体550所包含的氧导致导电体560b氧化而导电率下降。作为具有抑制氧的扩散的功能的导电材料,例如,优选使用钽、氮化钽、钌或氧化钌等。

[0354] 作为导电体560b,优选使用以钨、铜或铝为主要成分的导电材料。由于导电体560b还被用作布线,所以优选使用导电性高的导电体。例如,可以使用以钨、铜或铝为主要成分的导电材料。导电体560b也可以具有叠层结构,例如,可以采用钛、氮化钛和上述导电材料的叠层结构。

[0355] 绝缘体580优选隔着绝缘体544设置在导电体542上。绝缘体580优选具有过剩氧区域。例如,绝缘体580优选包含氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅或树脂等。尤其是,氧化硅及氧氮化硅具有热稳定性,所以是优选的。尤其是,氧化硅和具有空孔的氧化硅容易在后面的工序中形成过剩氧区域,所以是优选的。

[0356] 绝缘体580优选具有过剩氧区域。通过以与氧化物530c接触的方式设置通过加热而释放氧的绝缘体580,可以将绝缘体580中的氧通过氧化物530c高效地供应给氧化物530。另外,优选降低绝缘体580中的水或氢等杂质的浓度。

[0357] 绝缘体580的开口以与导电体542a和导电体542b之间的区域重叠的方式形成。由此,导电体560填埋于绝缘体580的开口中及夹在导电体542a与导电体542b之间的区域。

[0358] 在进行半导体装置的微型化时,需要缩短栅极长度,但是需要防止导电体560的导电性的下降。为此,在增大导电体560的厚度的情况下,导电体560有可能具有纵横比高的形状。在本实施方式中,由于将导电体560填埋于绝缘体580的开口,所以即使导电体560具有纵横比高的形状,在工序中也不发生导电体560的倒塌。

[0359] 绝缘体574优选以与绝缘体580的顶面、导电体560的顶面及绝缘体550的顶面的方式设置。通过利用溅射法形成绝缘体574,可以在绝缘体550及绝缘体580中形成过剩氧区域。由此,可以将氧从该过剩氧区域供应到氧化物530中。

[0360] 例如,作为绝缘体574,可以使用包含选自铪、铝、镓、钇、锆、钨、钛、钽、镍、锗和镁等中的一种或两种以上的金属氧化物。

[0361] 尤其是,氧化铝具有高阻挡性,即使是0.5nm以上且3.0nm以下的薄膜,也可以抑制氢及氮的扩散。由此,通过利用溅射法形成的氧化铝可以在被用作氧供应源的同时还具有氢等杂质的阻挡膜的功能。

[0362] 另外,优选在绝缘体574上设置被用作层间膜的绝缘体581。与绝缘体524等同样,优选降低绝缘体581中的水或氢等杂质的浓度。

[0363] 另外,在形成于绝缘体581、绝缘体574、绝缘体580及绝缘体544中的开口配置导电体540a及导电体540b。导电体540a及导电体540b以隔着导电体560彼此对置的方式设置。导电体540a及导电体540b具有与后面说明的导电体546及导电体548同样的结构。

[0364] 在绝缘体581上设置有绝缘体582。绝缘体582优选使用对氧或氢具有阻挡性的物质。因此,作为绝缘体582可以使用与绝缘体514同样的材料。例如,作为绝缘体582优选使用氧化铝、氧化铪、氧化钽等金属氧化物。

[0365] 尤其是,氧化铝的不使氧及导致晶体管的电特性变动的氢、水分等杂质透过的阻挡效果高。因此,在晶体管的制造工序中及制造工序之后,氧化铝可以防止氢、水分等杂质

进入晶体管500中。此外,氧化铝可以抑制氧从构成晶体管500的氧化物释放。因此,氧化铝适合用于晶体管500的保护膜。

[0366] 此外,在绝缘体582上设置有绝缘体586。作为绝缘体586可以使用与绝缘体320同样的材料。此外,通过由介电常数较低的材料形成层间膜,可以减少产生在布线之间的寄生电容。例如,作为绝缘体586,可以使用氧化硅膜及氧氮化硅膜等。

[0367] 此外,在绝缘体521、绝缘体522、绝缘体524、绝缘体544、绝缘体580、绝缘体574、绝缘体581、绝缘体582及绝缘体586中埋入导电体546及导电体548等。

[0368] 导电体546及导电体548被用作与电容器600、晶体管500或晶体管300连接的插头或布线。导电体546及导电体548可以使用与导电体328及导电体330同样的材料形成。

[0369] 接着,在晶体管500的上方设置有电容器600。电容器600包括导电体610、导电体620及绝缘体630。

[0370] 此外,也可以在导电体546及导电体548上设置导电体612。导电体612被用作与晶体管500连接的插头或者布线。导电体610被用作电容器600的电极。此外,可以同时形成导电体612及导电体610。

[0371] 作为导电体612及导电体610可以使用包含选自钼、钛、钽、钨、铝、铜、铬、钕、钪中的元素的金属膜或以上述元素为成分的金属氮化物膜(氮化钽膜、氮化钛膜、氮化钼膜、氮化钨膜)等。或者,也可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、添加有氧化硅的铟锡氧化物等导电材料。

[0372] 在图12中,导电体612及导电体610具有单层结构,但是不局限于此,也可以具有两层以上的叠层结构。例如,也可以在具有阻挡性的导电体与导电性高的导电体之间形成与具有阻挡性的导电体以及导电性高的导电体紧密性高的导电体。

[0373] 以隔着绝缘体630重叠于导电体610的方式设置导电体620。作为导电体620可以使用金属材料、合金材料、金属氧化物材料等导电材料。优选使用兼具耐热性和导电性的钨或钼等高熔点材料,尤其优选使用钨。当与导电体等其他构成要素同时形成导电体620时,使用低电阻金属材料的Cu(铜)或Al(铝)等即可。

[0374] 在导电体620及绝缘体630上设置有绝缘体650。绝缘体650可以使用与绝缘体320同样的材料形成。此外,绝缘体650可以被用作覆盖其下方的凹凸形状的平坦化膜。

[0375] 通过采用本结构,可以在抑制使用包含氧化物半导体的晶体管的半导体装置的电特性变动的同时提高可靠性。此外,可以提供一种通态电流大的包含氧化物半导体的晶体管。此外,可以提供一种关态电流小的包含氧化物半导体的晶体管。此外,可以提供一种功耗得到减少的半导体装置。此外,可以实现使用包含氧化物半导体的晶体管的半导体装置的微型化或高集成化。

[0376] 〈晶体管的结构例子〉

[0377] 注意,本实施方式所示的半导体装置的晶体管500的结构不局限于上述结构。下面,对可用于晶体管500的结构例子进行说明。

[0378] 〈晶体管的结构例子1〉

[0379] 参照图14A、图14B及图14C说明晶体管510A的结构例子。图14A是晶体管510A的俯视图。图14B是在图14A中以点划线L1-L2表示的部分的截面图。图14C是在图14A中以点划线

W1-W2表示的部分的截面图。在图14A的俯视图中,为了明确起见,省略构成要素的一部分而进行表示。

[0380] 在图14A、图14B及图14C中示出晶体管510A、被用作层间膜的绝缘体511、绝缘体512、绝缘体514、绝缘体516、绝缘体580、绝缘体582及绝缘体584。此外,示出与晶体管510A电连接且被用作接触插头的导电体546(导电体546a及导电体546b)及被用作布线的导电体503。

[0381] 晶体管510A包括:被用作第一栅电极的导电体560(导电体560a及导电体560b);被用作第二栅电极的导电体505(导电体505a及导电体505b);被用作第一栅极绝缘膜的绝缘体550;被用作第二栅极绝缘膜的绝缘体521、绝缘体522、绝缘体524;包括形成沟道的区域的氧化物530(氧化物530a、氧化物530b及氧化物530c);被用作源极和漏极中的一个的导电体542a;被用作源极和漏极中的另一个的导电体542b;绝缘体574。

[0382] 另外,在图14A、图14B及图14C所示的晶体管510A中,在设置于绝缘体580中的开口中隔着绝缘体574配置有氧化物530c、绝缘体550及导电体560。此外,氧化物530c、绝缘体550及导电体560配置在导电体542a和导电体542b之间。

[0383] 绝缘体511及绝缘体512被用作层间膜。

[0384] 作为层间膜,可以使用氧化硅、氧氮化硅、氮氧化硅、氧化铝、氧化铪、氧化钽、氧化锆、锆钛酸铅(PZT)、钛酸锶($SrTiO_3$)或(Ba,Sr)TiO_3(BST)等绝缘体的单层或叠层。或者,例如也可以对这些绝缘体添加氧化铝、氧化铋、氧化锗、氧化铌、氧化硅、氧化钛、氧化钨、氧化钇、氧化锆。此外,也可以对这些绝缘体进行氮化处理。还可以将氧化硅、氧氮化硅或氮化硅层叠于上述绝缘体。

[0385] 例如,绝缘体511优选被用作抑制水或氢等杂质从衬底一侧进入晶体管510A的阻挡膜。因此,作为绝缘体511优选使用具有抑制氢原子、氢分子、水分子、铜原子等杂质的扩散的功能(不容易使上述杂质透过)的绝缘材料。另外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能(不容易使上述氧透过)的绝缘材料。此外,例如,优选作为绝缘体511使用氧化铝或氮化硅等。通过采用该结构,可以抑制氢、水等杂质从与绝缘体511相比更靠近衬底一侧扩散到晶体管510A一侧。

[0386] 例如,绝缘体512的介电常数优选比绝缘体511低。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。

[0387] 导电体503以嵌入在绝缘体512中的方式形成。在此,导电体503的顶面的高度与绝缘体512的顶面的高度可以大致相同。导电体503具有单层结构,但是本发明不局限于此。例如,导电体503也可以具有两层以上的多层膜结构。作为导电体503,优选使用以钨、铜或铝为主要成分的导电性高的导电材料。

[0388] 在晶体管510A中,导电体560有时被用作第一栅(也称为顶栅极)电极。导电体505有时被用作第二栅(也称为底栅极)电极。在此情况下,通过独立地改变供应到导电体505的电位而不使其与供应到导电体560的电位联动,可以控制晶体管510A的阈值电压。尤其是,通过对导电体505供应负电位,可以使晶体管510A的阈值电压大于0V且可以减小关态电流。因此,与不对导电体505施加负电位时相比,在对导电体505施加负电位的情况下,可以减小对导电体560供应的电位为0V时的漏极电流。

[0389] 另外,例如通过将导电体505重叠于导电体560,在对导电体560及导电体505供应

电位的情况下,从导电体560产生的电场和从导电体505产生的电场连接,可以覆盖形成在氧化物530中的沟道形成区域。

[0390] 就是说,可以由被用作第一栅电极的导电体560的电场和被用作第二栅电极的导电体505的电场电围绕沟道形成区域。在本说明书中,将由第一栅电极的电场和第二栅电极的电场电围绕沟道形成区域的晶体管的结构称为surrounded channel(S-channel:围绕沟道)结构。

[0391] 与绝缘体511及绝缘体512同样,绝缘体514及绝缘体516被用作层间膜。例如,绝缘体514优选被用作抑制水或氢等杂质从衬底一侧进入晶体管510A的阻挡膜。通过采用该结构,可以抑制氢、水等杂质从与绝缘体514相比更靠近衬底一侧扩散到晶体管510A一侧。例如,绝缘体516的介电常数优选比绝缘体514低。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。

[0392] 在被用作第二栅极的导电体505中,以与绝缘体514及绝缘体516的开口的内壁接触的方式形成有导电体505a,其内侧形成有导电体505b。在此,导电体505a及导电体505b的顶面的高度与绝缘体516的顶面的高度可以大致相同。另外,在晶体管510A中,叠层有导电体505a与导电体505b,但是本发明不局限于此。例如,导电体505可以具有单层结构,也可以具有三层以上的叠层结构。

[0393] 在此,作为导电体505a优选使用具有抑制氢原子、氢分子、水分子、铜原子等杂质的扩散的功能(不容易使上述杂质透过)的导电材料。另外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能(不容易使上述氧透过)的导电材料。在本说明书中,“抑制杂质或氧的扩散的功能”是指抑制上述杂质和上述氧中的任一个或全部的扩散的功能。

[0394] 例如,通过使导电体505a具有抑制氧的扩散的功能,可以抑制因导电体505b氧化而导致导电率的下降。

[0395] 另外,在导电体505还具有布线的功能的情况下,作为导电体505b,优选使用以钨、铜或铝为主要成分的导电性高的导电材料。在此情况下,不一定需要设置导电体503。在附图中,导电体505b具有单层结构,但是也可以具有叠层结构,例如,可以采用钛、氮化钛和上述导电材料的叠层结构。

[0396] 绝缘体521、绝缘体522及绝缘体524被用作第二栅极绝缘膜。

[0397] 绝缘体522优选具有阻挡性。当绝缘体522具有阻挡性时,绝缘体522被用作抑制氢等杂质从晶体管510A的周围部进入晶体管510A的层。

[0398] 作为绝缘体522,例如优选使用包含氧化铝、氧化铪、含有铝及铪的氧化物(硅酸铪)、氧化钽、氧化锆、锆钛酸铅(PZT)、钛酸锶($SrTiO_3$)或(Ba,Sr)TiO_3(BST)等所谓的high-k材料的绝缘体的单层或叠层。当进行晶体管的微型化及高集成化时,由于栅极绝缘膜的薄膜化,有时发生泄漏电流等问题。通过作为被用作栅极绝缘膜的绝缘体使用high-k材料,可以在保持物理厚度的同时降低晶体管工作时的栅极电位。

[0399] 例如,绝缘体521优选具有热稳定性。例如,因为氧化硅及氧氮化硅具有热稳定性,所以是优选的。另外,通过high-k材料的绝缘体与氧化硅或氧氮化硅组合,可以形成具有热稳定性且相对介电常数高的叠层结构的绝缘体521。

[0400] 注意,在图14B及图14C中,第二栅极绝缘膜具有三层的叠层结构,但是也可以具有

单层结构或双层结构或者四层以上的叠层结构。此时,不局限于使用相同材料构成的叠层结构,也可以是使用不同材料形成的叠层结构。

[0401] 包括被用作沟道形成区域的区域的氧化物530包括氧化物530a、氧化物530a上的氧化物530b及氧化物530b上的氧化物530c。当在氧化物530b之下设置有氧化物530a时,可以防止杂质从形成在氧化物530a下的结构物扩散到氧化物530b。当在氧化物530b之上设置有氧化物530c时,可以防止杂质从形成在氧化物530c的上方的结构物扩散到氧化物530b。作为氧化物530,可以使用上述金属氧化物之一的氧化物半导体。

[0402] 优选在设置于绝缘体580中的开口内隔着绝缘体574设置氧化物530c。当绝缘体574具有阻挡性时,可以抑制来自绝缘体580的杂质扩散到氧化物530。

[0403] 导电体542中的一个被用作源电极,另一个被用作漏电极。

[0404] 导电体542a、导电体542b可以使用铝、钛、铬、镍、铜、钇、锆、钼、银、钽或钨等金属或者以这些元素为主要成分的合金。尤其是,氮化钽等金属氮化物膜对氢或氧具有阻挡性,且耐氧化性较高,所以是优选的。

[0405] 此外,虽然在图14B中示出单层结构,但是也可以采用两层以上的叠层结构。例如,优选层叠氮化钽膜及钨膜。另外,也可以层叠钛膜及铝膜。另外,也可以采用在钨膜上层叠铝膜的两层结构、在铜-镁-铝合金膜上层叠铜膜的两层结构、在钛膜上层叠铜膜的两层结构、在钨膜上层叠铜膜的两层结构。

[0406] 另外,也可以使用:在钛膜或氮化钛膜上层叠铝膜或铜膜并在其上形成钛膜或氮化钛膜的三层结构、在钼膜或氮化钼膜上层叠铝膜或铜膜而并在其上形成钼膜或氮化钼膜的三层结构等。另外,也可以使用包含氧化铟、氧化锡或氧化锌的透明导电材料。

[0407] 此外,也可以在导电体542上设置阻挡层。阻挡层优选使用对氧或氢具有阻挡性的物质。通过采用该结构,可以抑制在形成绝缘体574时导电体542氧化。

[0408] 阻挡层例如可以使用金属氧化物。尤其是,优选使用氧化铝、氧化铪、氧化镓等对氧或氢具有阻挡性的绝缘膜。此外,也可以使用利用CVD法形成的氮化硅。

[0409] 通过包括阻挡层,可以扩大导电体542的材料的选择范围。例如,导电体542可以使用钨或铝等耐氧化性低且导电性高的材料。另外,例如可以使用容易进行沉积或加工的导电体。

[0410] 绝缘体550被用作第一栅极绝缘膜。优选在设置于绝缘体580中的开口内隔着氧化物530c及绝缘体574设置绝缘体550。

[0411] 当进行晶体管的微型化及高集成化时,由于栅极绝缘膜的薄膜化,有时发生泄漏电流等问题。此时,与第二栅极绝缘膜同样,绝缘体550也可以具有叠层结构。通过使被用作栅极绝缘膜的绝缘体具有high-k材料与具有热稳定性的材料的叠层结构,可以在保持物理厚度的同时降低晶体管工作时的栅极电位。此外,可以实现具有热稳定性及高相对介电常数的叠层结构。

[0412] 被用作第一栅电极的导电体560包括导电体560a及导电体560a上的导电体560b。与导电体505a同样,作为导电体560a优选使用具有抑制氢原子、氢分子、水分子、铜原子等杂质的扩散的功能的导电材料。另外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能的导电材料。

[0413] 当导电体560a具有抑制氧的扩散的功能时,可以提高导电体560b的材料的选择

性。也就是说,通过包括导电体560a,可以抑制导电体560b的氧化,而可以防止导电率的下降。

[0414] 作为具有抑制氧的扩散的功能的导电材料,例如,优选使用钽、氮化钽、钌或氧化钌等。此外,作为导电体560a,可以使用可用于氧化物530的氧化物半导体。在此情况下,通过利用溅射法形成导电体560b,可以降低导电体560a的电阻率而使其成为导电体。该导电体可以称为OC(Oxide Conductor)电极。

[0415] 作为导电体560b,优选使用以钨、铜或铝为主要成分的导电材料。由于导电体560被用作布线,所以优选使用导电性高的导电体。例如,可以使用以钨、铜或铝为主要成分的导电材料。导电体560b也可以具有叠层结构,例如,可以采用钛、氮化钛和上述导电材料的叠层结构。

[0416] 在绝缘体580与晶体管510A之间配置绝缘体574。作为绝缘体574优选使用具有抑制水或氢等杂质及氧的扩散的功能的绝缘材料。例如优选使用氧化铝或氧化铪等。此外,例如,可以使用氧化镁、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕或氧化钽等金属氧化物、氮氧化硅或氮化硅等。

[0417] 通过包括绝缘体574,可以抑制绝缘体580所包含的水、氢等杂质经过氧化物530c、绝缘体550扩散到氧化物530b。此外,可以抑制绝缘体580所包含的过剩氧使导电体560氧化。

[0418] 绝缘体580、绝缘体582及绝缘体584被用作层间膜。

[0419] 与绝缘体514同样,绝缘体582优选被用作抑制水或氢等杂质从外部进入晶体管510A的阻挡绝缘膜。

[0420] 此外,与绝缘体516同样,绝缘体580及绝缘体584的介电常数优选比绝缘体582低。通过将介电常数较低的材料用于层间膜,可以减少产生在布线之间的寄生电容。

[0421] 另外,晶体管510A也可以通过嵌入在绝缘体580、绝缘体582及绝缘体584中的导电体546等插头或布线电连接到其他结构。

[0422] 另外,与导电体505同样,作为导电体546的材料,可以使用金属材料、合金材料、金属氮化物材料或金属氧化物材料等导电材料的单层或叠层。例如,优选使用兼具耐热性和导电性的钨或钼等高熔点材料。或者,优选使用铝或铜等低电阻导电材料。通过使用低电阻导电材料可以降低布线电阻。

[0423] 例如,通过作为导电体546使用对氢及氧具有阻挡性的导电体的氮化钽等与导电性高的钨的叠层结构,可以在保持布线的导电性的同时抑制来自外部的杂质的扩散。

[0424] 通过具有上述结构,可以提供一种使用包含通态电流大的氧化物半导体的晶体管的半导体装置。或者,可以提供一种使用包含关态电流小的氧化物半导体的晶体管的半导体装置。或者,可以提供一种在电特性变动得到抑制而具有稳定电特性的同时可靠性得到提高的半导体装置。

[0425] 〈晶体管的结构例子2〉

[0426] 参照图15A、图15B及图15C说明晶体管510B的结构例子。图15A是晶体管510B的俯视图。图15B是在图15A中以点划线L1-L2表示的部分的截面图。图15C是在图15A中以点划线W1-W2表示的部分的截面图。在图15A的俯视图中,为了明确起见,省略构成要素的一部分。

[0427] 晶体管510B是晶体管510A的变形例子。由此,为了防止重复说明,主要对与晶体管

510A不同之处进行说明。

[0428] 晶体管510B包括导电体542(导电体542a及导电体542b)与氧化物530c、绝缘体550及导电体560重叠的区域。通过采用该结构,可以提供通态电流高的晶体管。此外,可以提供控制性高的晶体管。

[0429] 被用作第一栅电极的导电体560包括导电体560a及导电体560a上的导电体560b。与导电体505a同样,作为导电体560a优选使用具有抑制氢原子、氢分子、水分子、铜原子等杂质的扩散的功能的导电材料。另外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能的导电材料。

[0430] 当导电体560a具有抑制氧的扩散的功能时,可以提高导电体560b的材料的选择性。也就是说,通过包括导电体560a,可以抑制导电体560b的氧化,而可以防止导电率的下降。

[0431] 此外,优选以覆盖导电体560的顶面及侧面、绝缘体550的侧面以及氧化物530c的侧面的方式设置绝缘体574。作为绝缘体574优选使用具有抑制水或氢等杂质及氧的扩散的功能的绝缘材料。例如优选使用氧化铝或氧化铪等。此外,例如,可以使用氧化镁、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕或氧化钽等金属氧化物、氮氧化硅或氮化硅等。

[0432] 通过设置绝缘体574,可以抑制导电体560的氧化。此外,通过包括绝缘体574,可以抑制绝缘体580所包含的水、氢等杂质扩散到晶体管510B。

[0433] 另外,也可以在导电体546与绝缘体580之间设置具有阻挡性的绝缘体576(绝缘体576a及绝缘体576b)。通过设置绝缘体576,可以抑制绝缘体580的氧与导电体546起反应而导致导电体546氧化。

[0434] 另外,通过设置具有阻挡性的绝缘体576,可以扩大用于插头或布线的导电体的材料的选择范围。例如,通过作为导电体546使用具有吸收氧的性质且具有高导电性的金属材料,可以提供低功耗的半导体装置。具体而言,可以使用钨或铝等耐氧化性低且导电性高的材料。另外,例如可以使用容易进行成膜或加工的导电体。

[0435] 〈晶体管的结构例子3〉

[0436] 参照图16A、图16B及图16C说明晶体管510C的结构例子。图16A是晶体管510C的俯视图。图16B是在图16A中以点划线L1-L2表示的部分的截面图。图16C是在图16A中以点划线W1-W2表示的部分的截面图。在图16A的俯视图中,为了明确起见,省略构成要素的一部分。

[0437] 晶体管510C是晶体管510A的变形例子。由此,为了防止重复说明,主要对与晶体管510A不同之处进行说明。

[0438] 图16A、图16B及图16C所示的晶体管510C在导电体542a与氧化物530b之间配置有导电体547a,在导电体542b与氧化物530b之间配置有导电体547b。在此,导电体542a(导电体542b)具有超过导电体547a(导电体547b)的顶面及导电体560一侧的侧面延伸并与氧化物530b的顶面接触的区域。在此,作为导电体547,可以使用可用于导电体542的导电体。此外,导电体547的厚度优选至少厚于导电体542。

[0439] 由于图16A、图16B及图16C所示的晶体管510C具有上述结构,与晶体管510A相比,可以将导电体542靠近导电体560。或者,可以将导电体542a的端部及导电体542b的端部重叠于导电体560。由此,可以减小晶体管510C的实质上的沟道长度,而可以提高通态电流及频率特性。

[0440] 另外,导电体547a(导电体547b)优选与导电体542a(导电体542b)重叠。通过采用该结构,在形成填埋导电体546a(导电体546b)的开口的蚀刻时,导电体547a(导电体547b)被用作蚀刻停止层而可以防止氧化物530b的过蚀刻。

[0441] 此外,在图16A、图16B及图16C所示的晶体管510C中,也可以以接触于绝缘体544之上的方式配置绝缘体545。绝缘体544优选被用作抑制水或氢等杂质或过剩氧从绝缘体580一侧进入晶体管510C的阻挡绝缘膜。作为绝缘体545,可以使用可用于绝缘体544的绝缘体。此外,作为绝缘体544,例如也可以使用氮化铝、氮化铝钛、氮化钛、氮化硅或氮氧化硅等氮化物绝缘体。

[0442] 另外,在图16A、图16B及图16C所示的晶体管510C中,与图14A、图14B及图14C所示的晶体管510A不同,导电体505也可以具有单层结构。此时,可以在已形成为图案的导电体505上形成成为绝缘体516的绝缘膜,通过利用CMP法等直到导电体505的顶面露出为止去除该绝缘膜的顶部。在此,优选提高导电体505的顶面的平坦性。例如,导电体505的顶面的平均表面粗糙度(Ra)可以为1nm以下,优选为0.5nm以下,更优选为0.3nm以下。由此,可以提高形成在导电体505上的绝缘层的平坦性,而可以提高氧化物530b及氧化物530c的结晶性。

[0443] 〈晶体管的结构例子4〉

[0444] 参照图17A、图17B及图17C说明晶体管510D的结构例子。图17A是晶体管510D的俯视图。图17B是在图17A中以点划线L1-L2表示的部分的截面图。图17C是在图17A中以点划线W1-W2表示的部分的截面图。在图17A的俯视图中,为了明确起见,省略构成要素的一部分。

[0445] 晶体管510D是上述晶体管的变形例子。由此,为了防止重复说明,主要对与上述晶体管不同之处进行说明。

[0446] 在图17A至图17C中,将具有第二栅极的功能的导电体505还用作布线而不设置导电体503。此外,在氧化物530c上包括绝缘体550,在绝缘体550上包括金属氧化物552。此外,在金属氧化物552上包括导电体560,在导电体560上包括绝缘体570。此外,在绝缘体570上包括绝缘体571。

[0447] 金属氧化物552优选具有抑制氧扩散的功能。通过在绝缘体550与导电体560之间设置抑制氧扩散的金属氧化物552,向导电体560的氧扩散得到抑制。换言之,可以抑制供应到氧化物530的氧量的减少。另外,可以抑制因氧导致的导电体560的氧化。

[0448] 另外,金属氧化物552可以被用作第一栅极的一部分。例如,可以将可用作氧化物530的氧化物半导体用作金属氧化物552。在此情况下,通过利用溅射法形成导电体560,可以降低金属氧化物552的电阻值使其变为导电层。可以将其称为OC(Oxide Conductor)电极。

[0449] 另外,金属氧化物552有时被用作栅极绝缘膜的一部分。因此,在将氧化硅或氧氮化硅等用于绝缘体550的情况下,作为金属氧化物552优选使用作为相对介电常数高的high-k材料的金属氧化物。通过采用该叠层结构,可以形成具有热稳定性且相对介电常数高的叠层结构。因此,可以在保持物理厚度的同时降低在晶体管工作时施加的栅极电位。另外,可以减少被用作栅极绝缘膜的绝缘层的等效氧化物厚度(EOT)。

[0450] 虽然示出晶体管510D中的金属氧化物552是单层的结构,但是也可以采用两层以上的叠层结构。例如,可以将被用作栅电极的一部分的金属氧化物与被用作栅极绝缘膜的一部分的金属氧化物层叠。

[0451] 当将金属氧化物552用作栅电极时,可以在不减弱来自导电体560的电场的影响的情况下提高晶体管510D的通态电流。另外,当将金属氧化物552用作栅极绝缘膜时,通过利用绝缘体550及金属氧化物552的物理厚度保持导电体560与氧化物530之间的距离,可以抑制导电体560与氧化物530之间的泄漏电流。由此,通过设置绝缘体550及金属氧化物552的叠层结构,可以容易调节导电体560与氧化物530之间的物理距离及从导电体560施加到氧化物530的电场强度。

[0452] 具体而言,可以通过使可用于氧化物530的氧化物半导体低电阻化来将其用作金属氧化物552。或者,可以使用包含选自铪、铝、镓、钇、锆、钨、钛、钽、镍、锗和镁等中的一种或两种以上的金属氧化物。

[0453] 尤其是,优选使用作为包含铝和铪中的一方或双方的氧化物的绝缘层的氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)等。尤其是,铝酸铪的耐热性比氧化铪膜高。因此,在后面的工序的加热处理中不容易晶化,所以是优选的。注意,金属氧化物552不是必需的构成要素,可以根据所需的晶体管特性适当地设计。

[0454] 作为绝缘体570优选使用具有抑制水或氢等杂质及氧的透过的功能的绝缘材料。例如优选使用氧化铝或氧化铪等。由此,可以防止导电体560因来自绝缘体570的上方的氧而氧化。另外,可以抑制来自绝缘体570的上方的水或氢等杂质通过导电体560及绝缘体550进入氧化物530中。

[0455] 绝缘体571被用作硬掩模。通过设置绝缘体571,可以以使导电体560的侧面与衬底表面大致垂直的方式对导电体560进行加工,具体而言,可以使导电体560的侧面与衬底表面所形成的角度为75度以上且100度以下,优选为80度以上且95度以下。

[0456] 另外,也可以通过作为绝缘体571使用抑制水或氢等杂质及氧的透过的功能的绝缘材料,来将绝缘体571兼作用阻挡层。在此情况下,也可以不设置绝缘体570。

[0457] 通过将绝缘体571用作硬掩模,选择性地去除绝缘体570、导电体560、金属氧化物552、绝缘体550及氧化物530c的一部分,可以使它们的侧面大致一致,且使氧化物530b的表面的一部分露出。

[0458] 另外,晶体管510D在露出的氧化物530b的表面的一部分具有区域531a及区域531b。区域531a和区域531b中的一个被用作源区,另一个被用作漏区。

[0459] 例如通过利用离子注入法、离子掺杂法、等离子体浸没离子注入法或等离子体处理等,对露出的氧化物530b的表面引入磷或硼等杂质元素,来可以形成区域531a及区域531b。注意,在本实施方式等中,“杂质元素”是指主要成分元素之外的元素。

[0460] 另外,也可以在使氧化物530b的表面的一部分露出之后形成金属膜,然后进行加热处理,来将包含在该金属膜中的元素扩散到氧化物530b中,由此形成区域531a及区域531b。

[0461] 氧化物530b中的被引入杂质元素的区域的电阻率下降。由此,有时将区域531a及区域531b称为“杂质区域”或“低电阻区域”。

[0462] 通过将绝缘体571和/或导电体560用作掩模,可以自对准地形成区域531a及区域531b。因此,区域531a和/或区域531b不与导电体560重叠,可以减小寄生电容。此外,偏置区域不形成在沟道形成区域与源漏区域(区域531a或区域531b)之间。通过自对准地形成区域531a及区域531b,可以实现通态电流的增加、阈值电压的降低、工作频率的提高等。

[0463] 另外,为了进一步降低关态电流,也可以在沟道形成区域与源漏区域之间设置偏置区域。偏置区域是电阻率高的区域,且是不被进行上述杂质元素的引入的区域。通过在形成绝缘体575后进行上述杂质元素的引入,可以形成偏置区域。在此情况下,与绝缘体571等同样,绝缘体575也被用作掩模。因此,氧化物530b的与绝缘体575重叠的区域不被引入杂质元素,由此可以将该区域的电阻率保持为高。

[0464] 晶体管510D在绝缘体570、导电体560、金属氧化物552、绝缘体550及氧化物530c的侧面包括绝缘体575。绝缘体575优选为相对介电常数低的绝缘体。例如,优选使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅或树脂等。尤其是,当将氧化硅、氧氮化硅、氮氧化硅或具有空孔的氧化硅用于绝缘体575时,在后面的工序中可在绝缘体575中容易形成过剩氧区域,所以是优选的。另外,氧化硅及氧氮化硅具有热稳定性,所以是优选的。此外,绝缘体575优选具有扩散氧的功能。

[0465] 另外,晶体管510D在绝缘体575、氧化物530上包括绝缘体574。绝缘体574优选利用溅射法形成。通过利用溅射法,可以形成水或氢等杂质少的绝缘体。例如,作为绝缘体574,优选使用氧化铝。

[0466] 有时利用溅射法形成的氧化膜从被形成的结构体抽出氢。因此,绝缘体574从氧化物530及绝缘体575抽出氢及水,来可以降低氧化物530及绝缘体575的氢浓度。

[0467] 〈晶体管的结构例子5〉

[0468] 参照图18A至图18C说明晶体管510E的结构例子。图18A是晶体管510E的俯视图。图18B是在图18A中以点划线L1-L2表示的部分的截面图。图18C是在图18A中以点划线W1-W2表示的部分的截面图。在图18A的俯视图中,为了明确起见,省略构成要素的一部分。

[0469] 晶体管510E是上述晶体管的变形例子。由此,为了防止重复说明,主要对与上述晶体管不同之处进行说明。

[0470] 在图18A至图18C中,在露出的氧化物530b的表面的一部分包括区域531a及区域531b而不设置导电体542。区域531a和区域531b中的一个被用作源区,另一个被用作漏区。此外,在氧化物530b与绝缘体574之间包括绝缘体573。

[0471] 图18B所示的区域531(区域531a及区域531b)是氧化物530b被添加下述元素而成的区域。区域531例如可以利用伪栅极形成。

[0472] 具体而言,在氧化物530b上设置伪栅极,将该伪栅极用作掩模,对氧化物530b添加使该氧化物530b低电阻化的元素。也就是说,该元素被添加到氧化物530的不与伪栅极重叠的区域中,由此形成区域531。作为该元素的添加方法,可以使用:对离子化了的源气体进行质量分离而添加的离子注入法;不对离子化了的源气体进行质量分离而添加的离子掺杂法;以及等离子体浸没离子注入法等。

[0473] 另外,作为使氧化物530低电阻化的元素,典型的有硼或磷。另外,也可以使用氢、碳、氮、氟、硫、氯、钛、稀有气体元素等。作为稀有气体元素的典型例子有氦、氖、氩、氪及氙等。该元素的浓度可以利用二次离子质谱分析法(SIMS:SecondaryIonMassSpectrometry)等进行测量。

[0474] 尤其是,硼及磷可以使用非晶硅或低温多晶硅的生产线的装置,所以是优选的。可以使用已有的设置,由此可以降低设备投资。

[0475] 接着,也可以在氧化物530b及伪栅极上形成成为绝缘体573的绝缘膜及成为绝缘体574的绝缘膜。通过设置成为绝缘体573的绝缘膜和成为绝缘体574的绝缘膜的叠层,可以设置区域531与氧化物530c及绝缘体550重叠的区域。

[0476] 具体而言,在成为绝缘体574的绝缘膜上设置成为绝缘体580的绝缘膜,然后对成为绝缘体580的绝缘膜进行CMP(Chemical Mechanical Polishing)处理,去除成为绝缘体580的绝缘膜的一部分,使伪栅极露出。接着,在去除伪栅极时,优选还去除与伪栅极接触的绝缘体573的一部分。由此,在设置于绝缘体580中的开口的侧面,绝缘体574及绝缘体573露出,在该开口的底面,设置在氧化物530b中的区域531的一部分露出。接着,在该开口依次形成成为氧化物530c的氧化膜,成为绝缘体550的绝缘膜及成为导电体560的导电膜,然后利用CMP处理等直到绝缘体580露出为止去除成为氧化物530c的氧化膜、成为绝缘体550的绝缘膜及成为导电体560的导电膜的一部分,由此可以形成图18A至图18C所示的晶体管。

[0477] 注意,不一定需要设置绝缘体573及绝缘体574。根据所需要的晶体管特性,适当地设计即可。

[0478] 图18A至图18C所示的晶体管可以利用已有的装置,并且不设置导电体542,由此可以降低成本。

[0479] 〈晶体管的结构例子6〉

[0480] 虽然在图12、图13A及图13B中示出被用作栅极的导电体560形成在绝缘体580的开口内部的结构例子,但是例如也可以采用在该导电体的上方设置有该绝缘体的结构。图19A、图19B、图20A、图20B示出这种晶体管的结构例子。

[0481] 图19A是晶体管的俯视图,图19B是晶体管的立体图。此外,图20A示出沿着图19A中的X1-X2的截面图,图20B示出沿着图19A中的Y1-Y2的截面图。

[0482] 图19A、图19B、图20A、图20B所示的晶体管包括具有背栅极的功能的导电体BGE、具有栅极绝缘膜的功能的绝缘体BGI、氧化物半导体S、具有栅极绝缘膜的功能的绝缘体TGI、具有前栅极的功能的导电体TGE、具有布线的功能的导电体WE。此外,导电体PE具有将导电体WE连接到氧化物S、导电体BGE或导电体TGE的插头的功能。注意,在此示出氧化物半导体S由氧化物S1、S2、S3这三层构成的例子。

[0483] 〈晶体管的电特性〉

[0484] 接着,对OS晶体管的电特性进行说明。以下,作为一个例子,说明包括第一栅极及第二栅极的晶体管。在包括第一栅极及第二栅极的晶体管中,通过对第一栅极及第二栅极施加不同的电位,可以控制阈值电压。例如,通过对第二栅极施加负电位,可以使晶体管的阈值电压大于0V,而降低关态电流。也就是说,通过对第二栅极施加负电位,可以减小对第一栅极施加的电位为0V时的漏极电流。

[0485] 此外,在氧化物半导体被添加氢等杂质时,有时其载流子密度增加。例如,在氧化物半导体被添加氢时,有时该氢与键合于金属原子的氧起反应而生成水,而形成氧空位。在氢进入该氧空位的情况下,载流子密度增加。另外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。也就是说,被添加氢等杂质的氧化物半导体成为n型,其电阻下降。

[0486] 因此,可以选择性地降低氧化物半导体的电阻。换言之,可以在氧化物半导体中设置载流子密度低且被用作沟道形成区域的半导体的区域以及载流子密度高且被用作源区

或漏区的低电阻区域。

[0487] 在此,对在将不同的电位施加到第一栅极及第二栅极时,设置在氧化物半导体中的低电阻区域及高电阻区域的构成对晶体管的电特性造成的影响进行评价。

[0488] [晶体管结构]

[0489] 图21A及图21C是用于电特性的评价的晶体管的截面图。注意,在图21A及图21C中,为了明确起见,未图示一部分的构成要素。

[0490] 图21A及图21C所示的晶体管包括被用作第一栅极的导电体TGE、被用作第一栅极绝缘膜的绝缘体TGI、被用作设置在第一栅极的侧面的侧壁的绝缘体SW、氧化物半导体S、被用作第二栅极的导电体BGE、被用作第二栅极绝缘膜的绝缘体BGI。绝缘体BGI具有由与导电体BGE接触的第一层、第一层上的第二层、第二层上的第三层构成的三层结构。第三层与氧化物半导体S接触。

[0491] 在此,图21A所示的晶体管所包括的氧化物半导体S包括n+区域以及与导电体TGE重叠的i区域。另一方面,图21C所示的晶体管所包括的氧化物半导体S包括n+区域、与导电体TGE重叠的i区域以及位于n+区域与i区域之间的n-区域。

[0492] n+区域是被用作源区或漏区且载流子密度高的低电阻区域。i区域是被用作沟道形成区域且其载流子密度比n+区域低的高电阻区域。n-区域是其载流子密度比n+区域低且比i区域高的区域。

[0493] 另外,虽然未图示,但是氧化物半导体S的n+区域与被用作源极或漏极的S/D电极接触。

[0494] [电特性的评价结果]

[0495] 对图21A所示的晶体管及图21C所示的晶体管进行Id-Vg特性的计算,而对晶体管的电特性进行评价。

[0496] 在此,作为晶体管的电特性的指标,使用晶体管的阈值电压(以下,也称为Vsh)的变化量(以下,也称为△Vsh)。注意,在Id-Vg特性中,将Vsh定义为$Id=1.0\times10^{-12}$[A]时的Vg的值。

[0497] 注意,Id-Vg特性是指在将施加到被用作晶体管的第一栅极的导电体TGE的电位(以下,也称为栅极电位(Vg))从第一值变化到第二值时的源极与漏极之间的电流(以下,也称为漏极电流(Id))的变动特性。

[0498] 在此,将源极与漏极之间的电位(以下,也称为漏极电位Vd)设定为+0.1V,将源极与被用作第一栅极的导电体TGE之间的电位从-1V变化到+4V,在该条件下对漏极电流(Id)的变动进行评价。

[0499] 另外,使用Silvaco公司制造的器件仿真器ATLAS进行计算。此外,下表示出用于计算的参数。注意,Eg表示能隙,Nc表示导带的有效态密度,Nv表示价带的有效态密度。

[0500] [表1]

[0501]

软件		Silvaco 公司 Atlas 2D		
结构		沟道长度（L）	350	nm
		沟道宽度（W）	350	nm
BGE		功函数	5.0	eV
		厚度（布线）	20	nm
		L 方向长度	510	nm
BGI	第三层	相对介电常数	4.1	
		厚度	10	nm
	第二层	相对介电常数	16.4	
		厚度	10	nm
	第一层	相对介电常数	4.1	
		厚度	10	nm
OS		电子亲和势	4.5	eV
		Eg	2.9	eV
		相对介电常数	15	
		电子迁移率	20	cm^2/Vs
		空穴迁移率	0.01	cm^2/Vs
		Nc	5E+18	cm^{-3}
		Nv	5E+18	cm^{-3}
		厚度	15	nm
n+区域		L 方向长度	655 or 700	nm
		载流子浓度	5E+18	cm^{-3}
n-区域		L 方向长度	45 or 0	nm
		载流子浓度	1E+17	cm^{-3}
TGI		相对介电常数	4.1	
		厚度	10	nm

[0502]

SW	相对介电常数	4.1	
	宽度	15	nm
TGE	功函数	5.0	eV
	厚度	20	nm
	L方向长度	350	nm
S/D电极	功函数	4.5	eV

[0503] 在图21A所示的晶体管中,将一个n+区域设定为700nm,将一个n-区域设定为0nm。在图21C所示的晶体管中,将一个n+区域设定为655nm,将一个n-区域设定为45nm。此外,在图21A所示的晶体管及图21C所示的晶体管中,第二栅极大于i区域。此外,在本评价中,将被用作第二栅极的导电体BGE的电位(以下,也称为背栅极电位(Vbg))设定为0.00V、-3.00V或-6.00V。

[0504] 图21B示出图21A所示的晶体管的根据计算而得到的Id-Vg特性的结果。在背栅极电位为-3.00V的情况下,与0.00V的情况相比,晶体管的阈值电压的变动量(△Vsh)为+1.2V。此外,在背栅极电位为-6.00V的情况下,与0.00V的情况相比,晶体管的阈值电压的变动量(△Vsh)为+2.3V。也就是说,在背栅极电位为-6.00V的情况下,与-3.00V的情况相比,晶体管的阈值电压的变动量(△Vsh)为+1.1V。因此,即使被用作第二栅极的导电体BGE的电位增大,晶体管的阈值电压的变动量也几乎不变化。此外,即使背栅极电位增大,上升特性也不变化。

[0505] 图21D示出图21C所示的晶体管的根据计算而得到的Id-Vg特性的结果。在背栅极电位为-3.00V的情况下,与0.00V的情况相比,晶体管的阈值电压的变动量(△Vsh)为+1.2V。此外,在背栅极电位为-6.00V的情况下,与0.00V的情况相比,晶体管的阈值电压的变动量(△Vsh)为+3.5V。也就是说,在背栅极电位为-6.00V的情况下,与-3.00V的情况相比,晶体管的阈值电压的变动量(△Vsh)为+2.3V。因此,被用作第二栅极的导电体BGE的电位越大,晶体管的阈值电压的变动量越大。另一方面,背栅极电位越大,上升特性越下降。

[0506] 由此,确认到:在图21C所示的晶体管中,被用作第二栅极的导电体BGE的电位越大,晶体管的阈值电压的变动量越大。另一方面,在图21A所示的晶体管中,即使被用作第二栅极的导电体BGE的电位增大,晶体管的阈值电压的变动量也不变化。

[0507] 另外,本实施方式可以与本说明书所记载的其他实施方式适当地组合而实施。

[0508] (实施方式4)

[0509] 在本实施方式中,对可用于在上述实施方式中说明的OS晶体管的金属氧化物的构成进行说明。

[0510] 〈金属氧化物的构成〉

[0511] 在本说明书等中,有时记载为CAAC(c-axis aligned crystal)或CAC(Cloud-Aligned Composite)。注意,CAAC是指结晶结构的一个例子,CAC是指功能或材料构成的一个例子。

[0512] CAC-OS或CAC-metal oxide在材料的一部分中具有导电性的功能,在材料的另一部分中具有绝缘性的功能,作为材料的整体具有半导体的功能。此外,在将CAC-OS或CAC-metal oxide用于晶体管的沟道形成区域的情况下,导电性的功能是使被用作载流子的电子(或空穴)流过的功能,绝缘性的功能是不使被用作载流子的电子流过的功能。通过导电性的功能和绝缘性的功能的互补作用,可以使CAC-OS或CAC-metal oxide具有开关功能(控制On/Off的功能)。通过在CAC-OS或CAC-metal oxide中使各功能分离,可以最大限度地提高各功能。

[0513] 此外,CAC-OS或CAC-metal oxide包括导电性区域及绝缘性区域。导电性区域具有上述导电性的功能,绝缘性区域具有上述绝缘性的功能。此外,在材料中,导电性区域和绝缘性区域有时以纳米粒子级分离。另外,导电性区域和绝缘性区域有时在材料中不均匀地分布。此外,有时观察到其边缘模糊而以云状连接的导电性区域。

[0514] 此外,在CAC-OS或CAC-metal oxide中,导电性区域和绝缘性区域有时以0.5nm以上且10nm以下,优选为0.5nm以上且3nm以下的尺寸分散在材料中。

[0515] 此外,CAC-OS或CAC-metal oxide由具有不同带隙的成分构成。例如,CAC-OS或CAC-metal oxide由具有起因于绝缘性区域的宽隙的成分及具有起因于导电性区域的窄隙的成分构成。在该结构中,当使载流子流过时,载流子主要在具有窄隙的成分中流过。此外,具有窄隙的成分通过与具有宽隙的成分的互补作用,与具有窄隙的成分联动而使载流子流过具有宽隙的成分。因此,在将上述CAC-OS或CAC-metal oxide用于晶体管的沟道形成区域时,在晶体管的导通状态中可以得到高电流驱动力,即,大通态电流及高场效应迁移率。

[0516] 就是说,也可以将CAC-OS或CAC-metal oxide称为基质复合材料(matrix composite)或金属基质复合材料(metal matrix composite)。

[0517] 〈金属氧化物的结构〉

[0518] 氧化物半导体被分为单晶氧化物半导体和非单晶氧化物半导体。作为非单晶氧化物半导体例如有CAAC-OS(c-axis aligned crystalline oxide semiconductor)、多晶氧化物半导体、nc-OS(nanocrystalline oxide semiconductor)、a-like OS(amorphous-like oxide semiconductor)及非晶氧化物半导体等。

[0519] 作为用于晶体管的半导体的氧化物半导体,优选使用结晶性高的薄膜。通过使用该薄膜可以提高晶体管的稳定性或可靠性。作为该薄膜,例如,可以举出单晶氧化物半导体薄膜或多晶氧化物半导体薄膜。但是,在衬底上形成单晶氧化物半导体薄膜或多晶氧化物半导体薄膜需要进行高温或激光加热的工序。因此,制造工序的成本变高且处理量下降。

[0520] 非专利文献2及非专利文献3中报告了2009年发现了具有CAAC结构的In-Ga-Zn氧化物(也称为CAAC-IGZO)。在非专利文献2及非专利文献3中,报告了CAAC-IGZO具有c轴取向性、晶界不明确、可以低温形成在衬底上。另外,还报告了使用CAAC-IGZO的晶体管具有优良的电特性及可靠性。

[0521] 另外,2013年发现了具有nc结构的In-Ga-Zn氧化物(称为nc-IGZO)(参照非专利文献4)。在非专利文献4中,报告了nc-IGZO在微小的区域(例如,1nm以上且3nm以下的区域)中的原子排列具有周期性,在不同区域间观察不到结晶取向的规律性。

[0522] 非专利文献5及非专利文献6示出分别对上述CAAC-IGZO、nc-IGZO及结晶性低的IGZO的薄膜照射电子束时的平均结晶尺寸的推移。在结晶性低的IGZO薄膜中,在对其照射

电子束之前就能够观察到1nm左右的结晶性IGZO。因此,在非专利文献5及非专利文献6中报告了在IGZO中没能确认到完全的非晶结构(completely amorphous structure)的存在。再者,公开了与结晶性低的IGZO薄膜相比CAAC-IGZO薄膜及nc-IGZO薄膜的相对于电子束照射的稳定性较高。因此,作为晶体管的半导体优选使用CAAC-IGZO薄膜或nc-IGZO薄膜。

[0523] CAAC-OS具有c轴取向性,其多个纳米晶在a-b面方向上连结而结晶结构具有畸变。注意,畸变是指在多个纳米晶连结的区域中晶格排列一致的区域与其他晶格排列一致的区域之间的晶格排列的方向变化的部分。

[0524] 虽然纳米晶基本上是六角形,但是并不局限于正六角形,有不是正六角形的情况。此外,在畸变中有时具有五角形或七角形等晶格排列。另外,在CAAC-OS中,即使在畸变附近也观察不到明确的晶界(grain boundary)。即,可知由于晶格排列畸变,可抑制晶界的形成。这可能是由于CAAC-OS因为a-b面方向上的氧原子排列的低密度或因金属元素被取代而使原子间的键合距离产生变化等而能够包容畸变。

[0525] CAAC-OS有具有层状结晶结构(也称为层状结构)的倾向,在该层状结晶结构中层叠有包含铟及氧的层(下面称为In层)和包含元素M、锌及氧的层(下面称为(M,Zn)层)。另外,铟和元素M彼此可以取代,在用铟取代(M,Zn)层中的元素M的情况下,也可以将该层表示为(In,M,Zn)层。另外,在用元素M取代In层中的铟的情况下,也可以将该层表示为(In,M)层。

[0526] CAAC-OS是结晶性高的氧化物半导体。另一方面,在CAAC-OS中观察不到明确的晶界,因此不容易发生起因于晶界的电子迁移率的下降。此外,氧化物半导体的结晶性有时因杂质的进入或缺陷的生成等而降低,因此可以说CAAC-OS是杂质或缺陷(氧空位等)少的氧化物半导体。因此,包含CAAC-OS的氧化物半导体的物理性质稳定。因此,包含CAAC-OS的氧化物半导体具有高耐热性及高可靠性。此外,CAAC-OS对制造工序中的高温度(所谓热积存;thermal budget)也很稳定。由此,通过在OS晶体管中使用CAAC-OS,可以扩大制造工序的自由度。

[0527] 在nc-OS中,微小的区域(例如1nm以上且10nm以下的区域,特别是1nm以上且3nm以下的区域)中的原子排列具有周期性。另外,nc-OS在不同的纳米晶之间观察不到结晶取向的规律性。因此,在膜整体中观察不到取向性。所以,有时nc-OS在某些分析方法中与a-like OS或非晶氧化物半导体没有差别。

[0528] a-like OS是具有介于nc-OS与非晶氧化物半导体之间的结构的氧化物半导体。a-like OS包含空洞或低密度区域。也就是说,a-like OS的结晶性比nc-OS及CAAC-OS的结晶性低。

[0529] 氧化物半导体具有各种结构及各种特性。本发明的一个方式的氧化物半导体也可以包括非晶氧化物半导体、多晶氧化物半导体、a-like OS、nc-OS、CAAC-OS中的两种以上。

[0530] 〈具有氧化物半导体的晶体管〉

[0531] 接着,说明将上述氧化物半导体用于晶体管的情况。

[0532] 通过将上述氧化物半导体用于晶体管,可以实现场效应迁移率高的晶体管。另外,可以实现可靠性高的晶体管。

[0533] 非专利文献7公开了使用上述氧化物半导体的晶体管在非导通状态下的泄漏电流极低,具体而言,晶体管的每沟道宽度1μm的关态电流为yA/μm(10^{-24}A/μm)等级(order)。例

如,已公开了一种应用了使用氧化物半导体的晶体管的泄漏电流低这一特性的低功耗CPU等(参照非专利文献8)。

[0534] 另外,还有利用使用氧化物半导体的晶体管的泄漏电流低这一特性将该晶体管应用于显示装置的报告(参照非专利文献9)。在显示装置中,显示图像在1秒间被切换数十次。每1秒钟的图像切换次数被称为“刷新频率”。另外,刷新频率有时被称为“驱动频率”。这样的人眼难以识别的高速画面切换被认为是导致眼睛疲劳的原因。于是,提出了降低显示装置的刷新频率以减少图像改写次数的技术。另外,刷新频率得到降低的驱动可以降低显示装置的功耗。将该驱动方法称为“空转停止(IDS)驱动”。

[0535] 另外,优选将载流子密度低的氧化物半导体用于晶体管。在要降低氧化物半导体膜的载流子密度的情况下,可以降低氧化物半导体膜中的杂质浓度以降低缺陷态密度。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为“高纯度本征”或“实质上高纯度本征”。例如,氧化物半导体中的载流子密度可以低于$8\times10^{11}/cm^3$,优选低于$1\times10^{11}/cm^3$,更优选低于$1\times10^{10}/cm^3$,且为$1\times10^{-9}/cm^3$以上。

[0536] 此外,高纯度本征或实质上高纯度本征的氧化物半导体膜具有较低的缺陷态密度,因此有时具有较低的陷阱态密度。

[0537] 此外,被氧化物半导体的陷阱能级俘获的电荷到消失需要较长的时间,有时像固定电荷那样动作。因此,在陷阱态密度高的氧化物半导体中形成有沟道形成区域的晶体管的电特性有时不稳定。

[0538] 因此,为了使晶体管的电特性稳定,减少氧化物半导体中的杂质浓度是有效的。为了减少氧化物半导体中的杂质浓度,优选还减少附近膜中的杂质浓度。作为杂质有氢、氮、碱金属、碱土金属、铁、镍、硅等。

[0539] 〈杂质〉

[0540] 在此,说明氧化物半导体中的各杂质的影响。

[0541] 在氧化物半导体包含第14族元素之一的硅或碳时,在氧化物半导体中形成缺陷能级。因此,将氧化物半导体中或氧化物半导体的界面附近的硅或碳的浓度(通过二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)测得的浓度)设定为$2\times10^{18}atoms/cm^3$以下,优选为$2\times10^{17}atoms/cm^3$以下。

[0542] 另外,当氧化物半导体包含碱金属或碱土金属时,有时形成缺陷能级而形成载流子。因此,使用包含碱金属或碱土金属的氧化物半导体的晶体管容易具有常开启特性。由此,优选减少氧化物半导体中的碱金属或碱土金属的浓度。具体而言,使通过SIMS测得的氧化物半导体中的碱金属或碱土金属的浓度为$1\times10^{18}atoms/cm^3$以下,优选为$2\times10^{16}atoms/cm^3$以下。

[0543] 当氧化物半导体包含氮时,容易产生作为载流子的电子,使载流子密度增高,而n型化。其结果是,在将包含氮的氧化物半导体用于半导体的晶体管容易具有常开启特性。因此,优选尽可能地减少该氧化物半导体中的氮,例如,利用SIMS测得的氧化物半导体中的氮浓度低于$5\times10^{19}atoms/cm^3$,优选为$5\times10^{18}atoms/cm^3$以下,更优选为$1\times10^{18}atoms/cm^3$以下,进一步优选为$5\times10^{17}atoms/cm^3$以下。

[0544] 包含在氧化物半导体中的氢与键合于金属原子的氧起反应生成水,因此有时形成氧空位。当氢进入该氧空位时,有时产生作为载流子的电子。另外,有时由于氢的一部分与

键合于金属原子的氧键合,产生作为载流子的电子。因此,使用包含氢的氧化物半导体的晶体管容易具有常开启特性。由此,优选尽可能减少氧化物半导体中的氢。具体而言,在氧化物半导体中,将利用SIMS测得的氢浓度设定为低于1×10^{20}atoms/cm^3,优选低于1×10^{19}atoms/cm^3,更优选低于5×10^{18}atoms/cm^3,进一步优选低于1×10^{18}atoms/cm^3。

[0545] 通过将杂质被充分降低的氧化物半导体用于晶体管的沟道形成区域,可以使晶体管具有稳定的电特性。

[0546] CAAC结构及nc结构的发现有助于使用CAAC结构或具有nc结构的氧化物半导体的晶体管的电特性及可靠性的提高、制造工序的成本的降低以及处理量的提高。另外,已进行利用上述晶体管的泄漏电流低这一特性将该晶体管应用于显示装置及LSI的研究。

[0547] 另外,本实施方式可以与本说明书所记载的其他实施方式适当地组合而实施。

[0548] (实施方式5)

[0549] 在本实施方式中,对能够使用在上述实施方式中说明的存储装置的产品的概念以及电子设备的一个例子进行说明。

[0550] 〈产品的概念〉

[0551] 首先,图22示出可以应用根据本发明的一个方式的存储装置的产品的概念。图22所示的区域701表示高温度特性(High T operate),区域702表示高频率特性(High f operate),区域703表示低关闭特性(Ioff),并且区域704表示区域701、区域702以及区域703重叠的区域。

[0552] 当要满足区域701时,只要将碳化硅或氮化镓等碳化物或氮化物用于晶体管的沟道形成区域,就大致满足。此外,当要满足区域702时,只要将单晶硅或结晶硅等硅化物用于晶体管的沟道形成区域,就大致满足。此外,当要满足区域703时,只要将氧化物半导体或金属氧化物用于晶体管的沟道形成区域,就大致满足。

[0553] 根据本发明的一个方式的存储装置例如可以应用于区域704所示的范围内的产品。

[0554] 现有产品难以满足区域701、区域702以及区域703的全部。但是,根据本发明的一个方式的存储装置所具有的晶体管在沟道形成区域中含有结晶OS。当在沟道形成区域中含有结晶OS的情况下,可以提供满足高温度特性、高频率特性以及低关闭特性的存储装置及电子设备。

[0555] 作为区域704所示的范围内的产品,例如可以举出具有低功耗及高性能的CPU等的电子设备、被要求高温环境下的高可靠性的车载电子设备等。更具体而言,图23A、图23B、图23C、图23D、图23E1及图23E2示出安装有根据本发明的一个方式的存储装置的电子设备的一个例子。

[0556] 〈电子设备〉

[0557] 根据本发明的一个方式的存储装置可以安装在各种各样的电子设备。尤其是,根据本发明的一个方式的存储装置可以用作内置于电子设备中的存储器。作为电子设备的例子,例如除了电视装置、台式或笔记本型个人计算机、用于计算机等的显示器、数字标牌(Digital Signage)、弹珠机等大型游戏机等具有较大的屏幕的电子设备以外,还可以举出数码相机、数码摄像机、数码相框、移动电话机、便携式游戏机、便携式信息终端、声音再现装置等。

[0558] 本发明的一个方式的电子设备也可以包括天线。通过由天线接收信号,可以在显示部上显示影像或信息等。另外,在电子设备包括天线及二次电池时,可以将天线用于非接触电力传送。

[0559] 本发明的一个方式的电子设备也可以包括传感器(该传感器具有测定如下因素的功能:力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)。

[0560] 本发明的一个方式的电子设备可以具有各种功能。例如,可以具有如下功能:将各种信息(静态图像、动态图片、文字图像等)显示在显示部上的功能;触控面板的功能;显示日历、日期或时间等的功能;执行各种软件(程序)的功能;进行无线通信的功能;读出储存在存储介质中的程序或数据的功能;等。图23A、图23B、图23C、图23D、图23E1及图23E2示出电子设备的例子。

[0561] 图23A示出信息终端之一的移动电话机(智能手机)。信息终端5500包括外壳5510及显示部5511,作为输入界面在显示部5511中具备触摸屏,并且在外壳5510上设置有按钮。

[0562] 图23B示出台式信息终端5300。台式信息终端5300包括信息终端主体5301、显示器5302及键盘5303。

[0563] 注意,在上述例子中,图23A及图23B示出智能手机及台式信息终端作为电子设备的例子,但是也可以应用智能手机及台式信息终端以外的信息终端。作为智能手机及台式信息终端以外的信息终端,例如可以举出PDA(Personal Digital Assistant:个人数码助理)、笔记本式信息终端、工作站等。

[0564] 图23C示出电器产品的一个例子的电冷藏冷冻箱5800。电冷藏冷冻箱5800包括外壳5801、冷藏室门5802及冷冻室门5803等。

[0565] 在上述例子中,作为电器产品说明电冷藏冷冻箱,但是作为其他电器产品,例如可以举出吸尘器、微波炉、电烤箱、电饭煲、热水器、IH炊具、饮水机、包括空气调节器的冷暖空調机、洗衣机、干衣机、视听设备等。

[0566] 图23D示出游戏机的一个例子的便携式游戏机5200。便携式游戏机包括外壳5201、显示部5202及按钮5203等。

[0567] 虽然图23D示出便携式游戏机作为游戏机的一个例子,但是可以应用根据本发明的一个方式的存储装置的游戏机不局限于此。作为可以应用根据本发明的一个方式的存储装置的游戏机,例如可以举出家用固定式游戏机、设置在娱乐设施(游戏中心,游乐园等)的街机游戏机、设置在体育设施的击球练习用投球机等。

[0568] 图23E1示出移动体的一个例子的汽车5700,图23E2是示出汽车室内的前挡风玻璃周边的图。图23E2示出安装在仪表盘的显示面板5701、显示面板5702、显示面板5703以及安装在立柱的显示面板5704。

[0569] 通过显示速度表、转速计、行驶距离、燃料表、排档状态、空调的设定,显示面板5701至显示面板5703可以提供各种信息。另外,使用者可以适当地改变显示面板所显示的显示内容及布置等,可以提高设计性。显示面板5701至显示面板5703还可以被用作照明装置。

[0570] 通过将由设置在汽车5700的摄像装置(未图示)拍摄的影像显示在显示面板5704上,可以补充被立柱遮挡的视野(死角)。也就是说,通过显示由设置在汽车5700外侧的摄像

装置拍摄的影像,可以补充死角,从而可以提高安全性。另外,通过显示补充看不到的部分的影像,可以更自然、更舒适地确认安全。显示面板5704还可以被用作照明装置。

[0571] 虽然在上述例子中作为移动体的一个例子说明汽车,但是移动体不局限于汽车。例如,作为移动体,也可以举出电车、单轨铁路、船舶、飞机(直升机、无人驾驶飞机(无人机)、飞机、火箭)等,可以对这些移动体应用根据本发明的一个方式的存储装置。

[0572] 根据本发明的一个方式的存储装置即使在高温环境下也其数据保持时间很长,即使在低温环境下也可以进行高速工作。通过对上述各种电子设备应用根据本发明的一个方式的存储装置,可以提供在高温环境下或低温环境下都能够确实地进行工作的可靠性高的电子设备。此外,可以降低电子设备的功耗。

[0573] 另外,本实施方式可以与本说明书所记载的其他实施方式适当地组合而实施。

[0574] [实施例1]

[0575] 在本实施例中,估计出实施方式1所示的存储单元211的工作频率。注意,在本实施例中,由于作为存储单元211所包括的晶体管M11使用OS晶体管,所以存储单元211构成DOSRAM。

[0576] DOSRAM被要求的规格之一的“变动容许电压”是指对DOSRAM的电容器施加的电压从写入数据后变动的量的容许值。此外,DOSRAM的“数据保持时间”是指对DOSRAM所包括的电容器施加的电压的变动量到达变动容许电压为止所需要的时间。在本实施例中,将“变动容许电压”设为0.2V,将“数据保持时间”设为对电容器(保持电容为3.5fF)施加的电压从数据写入之后的状态降低0.2V所需的时间。例如,在本实施例中,“DOSRAM的数据保持为1小时”是指对DOSRAM所包括的电容器施加的电位从写入数据之后降低0.2V为止的时间为1小时。

[0577] DOSRAM的数据保持时间取决于DOSRAM所包括的晶体管的截止电流的大小。在此,可以将晶体管的截止电流换称为晶体管的栅极电压V_G=0V时的漏电流I_D(以下,记载为Icut)。例如,在DOSRAM的数据保持特性只取决于DOSRAM所包括的晶体管的Icut的大小时,DOSRAM的数据保持时间与DOSRAM所包括的晶体管的Icut的大小成反比。

[0578] 当已知DOSRAM所包括的晶体管的Icut时,DOSRAM的数据保持时间可以通过如下方法求出:在保持数据时从电容器消失的电荷的量(相当于电容器的保持电容(3.5fF)与施加到电容器的电压下降的量(0.2V)之积的0.7fC)除以Icut。另外,通过设定目标的DOSRAM的保持时间而将上述电荷量0.7fC除以该保持时间,来估计DOSRAM所包括的晶体管所需的Icut值(以下,记载为Icut0)。在将保持时间的目标设为1小时的情况下,晶体管所需的Icut大约为200zA(200×10^{-21}A)。通过以图24所示的Icut0为200zA的方式调整背栅极电压,可以实现具有高数据保持特性并在宽温度范围具有高工作频率的DOSRAM。在本实施例中,评价DOSRAM的背栅极电压与工作频率的关系。

[0579] 当估计出DOSRAM的工作频率时,制造具有与图13A及图13B所示的晶体管500相同的结构的晶体管(以下,将其称为样品1),从其电特性抽取估计所需的参数。在本实施例中,作为图2B的晶体管M11假设晶体管500,估计出DOSRAM的工作频率。

[0580] 首先,说明样品1的结构。如图13A、图13B所示,样品1包括配置于衬底(未图示)上的绝缘体524、配置于绝缘体524上的氧化物530a、配置于氧化物530a上的氧化物530b、配置于氧化物530b上的氧化物530c、配置于氧化物530c上的绝缘体550、配置于绝缘体550上的

导电体560(导电体560a及导电体560b)。

[0581] 作为绝缘体524,使用厚度为35nm的氧氮化硅。

[0582] 作为氧化物530a,使用通过DC溅射法形成的厚度为5nm的In-Ga-Zn氧化物。在形成氧化物530a时,使用In:Ga:Zn=1:3:4[原子个数比]的靶材,作为沉积气体使用氧气体45sccm,成膜压力设为0.7Pa,沉积功率设为500W,沉积温度设为200℃,靶材与衬底的间隔设为60mm。

[0583] 作为氧化物530b,使用通过DC溅射法形成的厚度为20nm的In-Ga-Zn氧化物。在形成氧化物530b时,使用In:Ga:Zn=4:2:4.1[原子个数比]的靶材,作为沉积气体使用氩气体30sccm以及氧气体15sccm,沉积压力设为0.7Pa,沉积功率设为500W,衬底温度设为200℃,靶材与衬底的间隔设为60mm。

[0584] 作为氧化物530c,使用通过DC溅射法形成的厚度为5nm的In-Ga-Zn氧化物。在形成氧化物530c时,使用In:Ga:Zn=4:2:4.1[原子个数比]的靶材,作为沉积气体使用氧气体45sccm,沉积压力设为0.7Pa,沉积功率设为500W,衬底温度设为130℃,靶材与衬底的间隔设为60mm。

[0585] 作为绝缘体550使用厚度为8nm的氧氮化硅。此外,作为导电体560a使用厚度为10nm的氮化钛。此外,作为导电体560b使用钨。

[0586] 具有上述结构的样品1是沟道长度为0.37μm且沟道宽度为0.24μm的晶体管。此外,与晶体管500同样,样品1以对上述结构追加的方式还包括绝缘体514、绝缘体516、导电体503、绝缘体522、导电体542、绝缘体554、导电体540、绝缘体580、绝缘体574及绝缘体581等。

[0587] 接着,在样品1中进行晶体管500的I_D-V_G测量。I_D-V_G测量通过将晶体管的漏极电位V_D设为+1.08V,源极电位V_S设为0V且将栅极电位V_G从-1.0V扫描到+3.3V来进行。在背栅极电压V_{BG}为-7.1V的条件下进行I_D-V_G测量。测量温度的标准为-37℃、27℃、83℃、121℃、144℃、192℃的六个。具体而言,晶体管的I_D-V_G测量以将形成有作为测量对象的晶体管的5英寸角衬底固定于设定为上述各温度的热卡盘上的状态进行。另外,在每个背栅极电压V_{BG}及测量温度下对样品1的三个元件进行测量。

[0588] 从所得到的I_D-V_G曲线算出晶体管的漂移电压(Vsh)及亚阈值摆幅值(Svalue)。另外,Svalue是指:以固定的漏极电压使漏极电流的值变化一个位数的亚阈值区域中的栅极电压的变化量。

[0589] 如上述实施方式所示,晶体管500的沟道形成区域使用金属氧化物。例如,与沟道形成区域使用Si的晶体管相比,沟道形成区域使用金属氧化物的晶体管在非导通状态下的泄漏电流极小。因此,有时难以通过实测检测出沟道形成区域使用金属氧化物的晶体管的Icut。在晶体管500中也难以实测出Icut,所以通过从上述I_D-V_G曲线得到的Vsh及Svalue使用算式(1)外推,估计出Icut。另外,如算式(1)所示,假设直到晶体管的关态电流到达V_G=0V为止I_D根据Svalue单调地减少。

[0590] [数1]

[0591] $$I_{cut} = 1 \times 10^{\left(-12-\frac{V_{sh}}{S_{value}}\right)} \qquad (1)$$

[0592] 接着,进行晶体管500的I_D-V_S测量。

[0593] 在此,说明DOSRAM工作频率的估计方法。DOSRAM的工作频率定义为DOSRAM的数据

写入循环时间的倒数。DOSRAM的数据写入循环时间是根据DOSRAM所包括的电容器的充电时间等设定的参数。在本实施例中,将相当于DOSRAM的数据写入循环时间(DOSRAM的工作频率的倒数)的40%的时间设定为DOSRAM所包括的电容器的充电时间。

[0594] DOSRAM的工作频率取决于DOSRAM所包括的电容器的充电时间。由此,在估计DOSRAM的工作频率时,要预先知道DOSRAM所包括的电容器的充电时间。在本实施例中,将DOSRAM所包括的电容器(保持电容是3.5fF)被供应0.52V以上的电位的状态定义为该电容器处于"被充电的状态"。由此,在本实施例中,从开始DOSRAM的数据写入工作直到该电容器被供应的电位到达0.52V为止的时间相当于DOSRAM所包括的电容器的充电时间。

[0595] DOSRAM所包括的电容器的充电时间取决于DOSRAM的数据写入时的DOSRAM所包括的晶体管的I_D的大小。于是,在本实施例中,通过将设想DOSRAM的数据写入时的DOSRAM所包括的晶体管被供应的电位(参照图25A)实际供应到根据本发明的一个方式的晶体管(L/W=0.37/0.24μm)而再现DOSRAM的数据写入工作,并测量此时的晶体管的I_D。图25A是假设通过晶体管M11将数据写入到图2B的电容器CA的情况(在图25A中将相当于图2B的电容器CA的电容器记为Cs)。D表示漏极,G表示栅极,S表示源极。晶体管Tr1的源极的电位(施加到电容器Cs的电压)为V_S。通过使晶体管Tr1成为开启状态,电流I_D流过,电容器Cs被充电。具体而言,将晶体管的栅极电位Vg设为+2.97V,漏极电位Vd设为+1.08V,源极电位V_S从0V扫描到+1.2V而进行晶体管的I_D测量。在背栅极电压V_{BG}为-7.1V的条件下进行I_D测量。测量温度的标准为-37℃、27℃、83℃、121℃、144℃、192℃的六个。

[0596] 此外,作为DOSRAM的结构,假设包括沟道长度(L)为60nm且沟道宽度(W)为60nm的晶体管以及保持电容为3.5fF的电容器的结构。因此,以假设为包括在DOSRAM中的晶体管(L/W=60/60nm)的尺寸校正从晶体管500(L/W=0.37μm/0.24μm)得到的I_D值。

[0597] 在DOSRAM的充电开始之后V_S到达写入判定电压V_{CS}时被视为充电结束。将此时的时间定义为充电时间t_W(参照图25B)。在将储存在DOSRAM所包括的保持电容Cs[F]的电容器中的电荷设为Q[C]、充电时间设为t_W[sec]、通过充电施加到电容器的电位设为V_{CS}(=Vs)[V]、DOSRAM所包括的晶体管的漏极电流设为I_D[A]时,各参数满足以下算式(2)的关系。

[0598] [数2]

[0599] $$Q = \int_0^{t_W} I_D \, dt = C_S \times V_{CS} \qquad (2)$$

[0600] 通过改变算式(2),可以以下面算式(3)表示DOSRAM所包括的电容器的充电时间t_W(参照图25C)。

[0601] [数3]

[0602] $$t_W = \int_0^{V_{CS}} \frac{C_S}{I_D} \, dV_S \qquad (3)$$

[0603] 在本实施例中,将3.5fF代入到算式(3)的Cs,将+0.52V代入到V_{CS},代入通过上述I_D-V_S测量得到的I_D,来算出DOSRAM所包括的电容器的充电时间t_W。

[0604] 可以以算式(4)表示DOSRAM的工作频率f与充电时间t_W的关系。

[0605] [数4]

[0606] $$f = \frac{A}{t_W} \quad (4)$$

[0607] 在算式(4)中,A是系数。设想在DOSRAM的一个工作时间中写入所需的时间占4成,所以在本实施例中,将系数A设为0.4计算出工作频率f。

[0608] 图26示出在样品1中将电源电压设定为3.3V且将背栅极电压设定为-7.1V时的DOSRAM的工作频率。在图26中,横轴示出温度的倒数[K^{-1}](在图26中,表示为“1000/Temperature[1/K]”),纵轴示出工作频率[MHz]。如图26所示,可确认到温度越高工作频率越高。此外,如图26所示,算出192℃下的工作频率为1053MHz。

[0609] 由此可知,通过将金属氧化物用于DOSRAM所包括的晶体管的沟道形成区域,温度越高DOSRAM的工作频率越高。

[0610] 本实施例所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

[0611] [实施例2]

[0612] 近年来,由于AI(Deep Learning)显著地发展或处理器的处理能量得到提高,所以运算存储器的大容量化及低功耗化被要求。在现有的DOSRAM中,为了确保单元晶体管的关闭状态及开启状态,使用3.3V电源。

[0613] 使用组合65nm CAAC-IGZO FET(在半导体层中包含具有CAAC结构的In-Ga-Zn氧化物的晶体管)与60nm Si CMOS的工艺试制存储电容64kb的DOSRAM,使用该DOSRAM的实测数据,探讨通过使字线电位、背栅极电位最优化来实现电源电压的降低。

[0614] 图27A是示出包括在存储单元中的CAAC-IGZO FET的装置结构的立体图。该晶体管具有与上述实施方式所示的晶体管500同样的结构。因此,该晶体管包括顶栅电极(TGE)、顶栅电极一侧的栅极绝缘层(TGI)、背栅电极(BGE)、背栅电极一侧的栅极绝缘层(BGI)等。该晶体管是S-channel结构晶体管。

[0615] 图27B示出每隔2V从0V至-18V改变CAAC-IGZO FET的背栅极电压Vbg时的Id-Vg特性的实测结果。此外,图28A示出场效应迁移率μFE的背栅极电压Vbg依赖性。图28B示出阈值电压Vth的背栅极电压Vbg依赖性。

[0616] 从图27A、图27B、图28A及图28B可知,在Si FET中通过沟道掺杂进行阈值控制,在CAAC-IGZO FET中通过背栅极电压Vbg以较广的范围控制阈值电压Vth。另一方面,背栅极电压Vbg向负方向过大时场效应迁移率降低。从图28A可知在Vbg小于-8V时场效应迁移率μFE的降低较大。

[0617] 图29示出所试制的64kb DOSRAM的方框图。所试制的64kb DOSRAM包括存储单元阵列801及外围电路802。以1.2V驱动字线驱动器电路803及位线驱动器电路等外围电路802。此外,字线驱动器电路803包括电平转换器804及缓冲器805。这些两个电路的低电位一侧电源利用在后面说明的用于顶栅极的负电位生成电路811中生成的负电位(VSSL)。字线WL与该缓冲器的输出连接。包括在构成存储单元阵列801的存储单元806中的CAAC-IGZO FET的背栅极与后面说明的用于背栅极的负电位生成电路821的输出连接,并被施加该生成电路供应的负电位(Vbg)。

[0618] 存储单元的刷新频率主要取决于单元晶体管的泄漏电流。在每个小时进行一次刷新时,需要使非选择时的漏极电流Id非常低,即在85℃下为200zA/FET以下(z为10^{-21}的词

头),调节背栅极电压Vbg且将Vg为0V时的漏极电流Id设定为200zA以下时,需要将Vbg设定为-7V以下。

[0619] 为了降低电源电压,探讨字线电位(顶栅极电位)及背栅极电位的复合最优化。对用于字线电位及背栅极电位的最优化的探讨的工作条件中的三种工作条件进行说明。第一个条件是驱动条件A,其中供应给顶栅极电压Vtg(相当于供应给字线WL的电压)的电压中将高电位一侧电压VDDH设定为3.3V且将低电位一侧电压VSSL设定为0V,将背栅极电压Vbg设定为-7V。第二个条件是驱动条件B,其中将高电位一侧电压VDDH设定为2.5V且将低电位一侧电压VSSL设定为-0.8V,将背栅极电压Vbg设定为-3V。第三个条件是驱动条件C,其中将高电位一侧电压VDDH设定为1.8V且将低电位一侧电压VSSL设定为-1.5V,将背栅极电压Vbg设定为0V。注意,为了得到100MHz左右的工作频率,至少需要几μA的通态电流。因此,这次探讨中将字线的电位差(VDDH-VSSL)固定为3.3V。

[0620] 图30A示出以驱动条件A、驱动条件B及驱动条件C驱动的CAAC-IGZO FET的Id-Vg特性。图30B及图30C是示出驱动条件A、驱动条件B及驱动条件C的工作电压的图。

[0621] 在保持写入到存储单元中的数据时,需要充分降低漏极电流Id。此外,在对存储单元写入数据时,为了提高写入速度,需要提高漏极电流Id。背栅电极一侧的栅极绝缘层(BGI)的厚度是EOT换算时顶栅电极一侧的栅极绝缘层(TGI)的厚度的5倍左右。因此,在驱动条件A中,为了实现极少的漏极电流,即1zA,需要将背栅极电压Vbg设定为-7V。

[0622] 另一方面,在驱动条件B中,不仅对背栅电极施加负电压,还对顶栅电极施加负电压。在驱动条件B中由于背栅极电压Vbg为-3V,所以阈值电压Vth的变动量比驱动条件A少,通过对顶栅电极作为VSSL供应负电位,可以充分降低CAAC-IGZO FET的漏极电流。再者,在驱动条件C中可以将背栅极电压Vbg设定为0V。

[0623] 通过对顶栅电极作为低电位一侧电压VSSL供应负电位,可以减小背栅极电压Vbg的绝对值。因此,可以提高存储装置的可靠性。

[0624] 图31示出使用组合65nm CAAC-IGZO FET与60nm Si CMOS的工艺试制的DOSRAM的VDDH、VSSL及Vbg以及数据保持状况的评价结果。图37示出试制的DOSRAM的芯片照片。在25℃的环境温度下将VDDH与VSSL的电位差设定为3.3V,对多种VDDH、VSSL及Vbg的组合进行评价。

[0625] 具体而言,对64kb DOSRAM存储单元阵列整体写入信息,保持1秒之后读出信息(图31表示为“write→1s hold→read”),判定是否准确地保持被写入的信息(Pass或Fail)。注意,将写入时间(对于存储单元容量的充电时间)设定为200ns,且将读出时间设定为150ns。

[0626] 在进行评价之前,去除VDDH=1.7V、VSSL=-1.2V以及Vbg=0V的条件下的错误位作为初期不良(图31中表示为“初期不良被去除而将区域○假设为无错误位”)。该条件是不容易产生错误位的条件。因此,该错误起因于DOSRAM的制造工艺。

[0627] 图32A、图32B示出85℃的环境温度下的保持时间(在图32中表示为“data retention at 85℃”、“write→hold→read”)及成品率的评价结果。评价在VDDH=1.8V、VSSL=-1.5V及Vbg=0V下进行。各保持时间的成品率以保持时间1秒时的成品率为100%来算出。从图31可知在保持时间为1小时时也可以实现高成品率。

[0628] 从图31及图32A、图32B可知,通过调整Vbg,在包括驱动条件B(Vbg=-3V)及驱动条件C(Vbg=0V)的任意条件下都得到正常工作及85℃1小时的保持特性。此外,从工作及保持

性能的观点证实可以实现电源电压从3.3V降低到1.8V。此时,可以将Vbg从-7V改变为0V。因此,单元晶体管或Vbg生成电路的负载得到降低,这有利于可靠性。

[0629] 假设单元面积3.696um^{2}的1Mb DOSRAM(最小阵列为128×128)估计上述工作电压的不同带来的影响。由于在驱动条件A中电压的绝对值较大,即Vbg为-7V,且需要高耐压晶体管,所以这里对驱动条件B与驱动条件C进行比较。

[0630] 图33A示出负电位生成电路(负电位生成电路811及/或负电位生成电路821)的方框图。负电位生成电路811由环形振荡器812、电荷泵813及比较器814构成。负电位生成电路811具有供应VSSL的功能。负电位生成电路821由环形振荡器822、电荷泵823及比较器824构成。负电位生成电路821具有供应Vbg的功能。

[0631] 图33B示出负电位生成电路(负电位生成电路811及/或负电位生成电路821)的工作波形。此外,图34A示出环形振荡器的工作验证条件。图34B示出电荷泵的工作验证条件。在负电位生成电路811中,环形振荡器812的间歇工作被比较器814的输出信号EN控制。环形振荡器812的输出ROOUT被供应给电荷泵813。同样地,在负电位生成电路821中,环形振荡器822的间歇工作被比较器824的输出信号EN控制。环形振荡器822的输出ROOUT被供应给电荷泵823。

[0632] 也就是说,电荷泵(电荷泵813及/或电荷泵823)的输出比规定电位高时环形振荡器(环形振荡器812及/或环形振荡器822)及电荷泵工作(也称为“Active状态”),该输出比规定电位低时工作停止(也称为“休眠状态”或“Sleep状态”)。

[0633] 在生成VSSL的负电位生成电路811中,工作时的负载电流(在图34B中记载为“负载电流”)平均为8uA(在图34B中记载为“8uA(Ave.)”)。由于背栅电极具有浮动结构,驱动条件A中的负电位生成电路821的负载电流较少(在图34B中记载为“less than 1pA”)。构成负电位生成电路811及负电位生成电路821的反相器的级数(在图34A中记载为“#of INV.s”)都是五级,电荷泵的级数(在图34B中记载为“#of stages”)都是六级,最低输出电压(在图34B中记载为“最低输出电压”)都是-5V左右(在图34B中记载为“-5V左右”)。

[0634] 图35A示出比较器(比较器814及/或比较器824)的电路图。图35B示出比较器的工作波形。在图35A中作为用于比较的差分对使用CAAC-IGZO FET,将比较的负电位VIN(VSSL或Vbg)施加到背栅极,将Vref施加到顶栅极。在使用Si FET时由于电阻串的分压等需要将负电位转换为正电位后进行比较,但是使用CAAC-IGZO FET时对背栅极供应负电位,在不增加用来转换为正电位的剩余的电路或功耗电流的情况下,可以进行负电位比较。可以在Vref=1.18V下判定VIN=-1.5V。

[0635] 图36A至图36C示出模拟的1Mb(存储电容,在图36C中记载为“密度”)DOSRAM的功耗及占有面积的估计结果。1Mb DOSRAM的每字线的存储单元数(在图36C中记载为“每WL的存储单元”)为128。图36A示出1Mb DOSRAM工作时的功耗(也称为“工作电力”或“Active Power”)及待机时的功耗(也称为“待机电力”或“Standby Power”)的估计结果。通过采用1.8V电源的驱动条件C,与2.5V的驱动条件B相比,待机电力大约缩减为50%,为120.2nW。

[0636] 图36B示出驱动条件B中的负电位生成电路811的功耗及工作时间的估计结果。从图36B可知,用来生成负电位的工作时间(也称为“Active Time”)为2.48μ秒,休眠时间(也称为“Sleep Time”)为28.4秒。也就是说,负电位(VSSL=-1.5V)的生成工作每28.4秒发生一次,可以几乎忽略对于待机电力的影响(在图36B中也称为平均电力(“Average

Power”))。

[0637] 在1Mb DOSRAM中,包括存储单元阵列的存储部(也称为“Memory”)等与负电位生成电路(也称为“Neg.Bias”)以外的电路的电源都可以关闭(1nW以下)(此外,在图36A中将存储部与负电位生成电路统称为“Total”)。因此,1Mb DOSRAM的功耗中负电位生成电路的休眠时的功耗(也称为“休眠电力”或“Sleep Power”)几乎占100%。

[0638] 注意,在负电位生成电路811中,驱动条件C(VSSL=-1.5V)的功耗比驱动条件B(VSSL=-0.8V)大。但是,驱动条件C中的负电位生成电路的工作电力132μW(参照图36A)较小,即1Mb DOSRAM的100MHz工作时的功耗4.83mW中的2.68%。

[0639] 图36C示出包括存储单元阵列的存储部的占有面积(也称为“Area A”)及负电位生成电路的占有面积(也称为“Area B”)的估计结果。1Mb DOSRAM的占有面积假设1个字线WL与128个存储单元连接的情况估计。如图36C所示,负电位生成电路的占有面积与1Mb DOSRAM的占有面积的比率(在图36中记载为“ratio A/(A+B)”)中较小,即0.209%。

[0640] 1.8V电源DOSRAM是适合于IoT或AI边缘计算机的低功耗嵌入存储器。

[0641] [符号说明]

[0642] C21:电容器、C22:电容器、C24:电容器、M11:晶体管、M12:晶体管、M13:晶体管、M14:晶体管、M15:晶体管、M16:晶体管、M21:晶体管、M24:晶体管、M31:晶体管、M34:晶体管、N11:节点、N12:节点、N13:节点、N14:节点、S1:氧化物、Tr21:晶体管、Tr22:晶体管、Tr23:晶体管、Tr31:晶体管、Tr32:晶体管、Tr33:晶体管、Tr34:晶体管、Tr41:晶体管、Tr42:晶体管、13:晶体管、14:晶体管、15:晶体管、16:晶体管、17:晶体管、18:晶体管、19:晶体管、20:晶体管、21:晶体管、33:晶体管、34:晶体管、35:晶体管、36:晶体管、37:晶体管、38:晶体管、39:晶体管、40:晶体管、41:晶体管、54:电路、55:电路

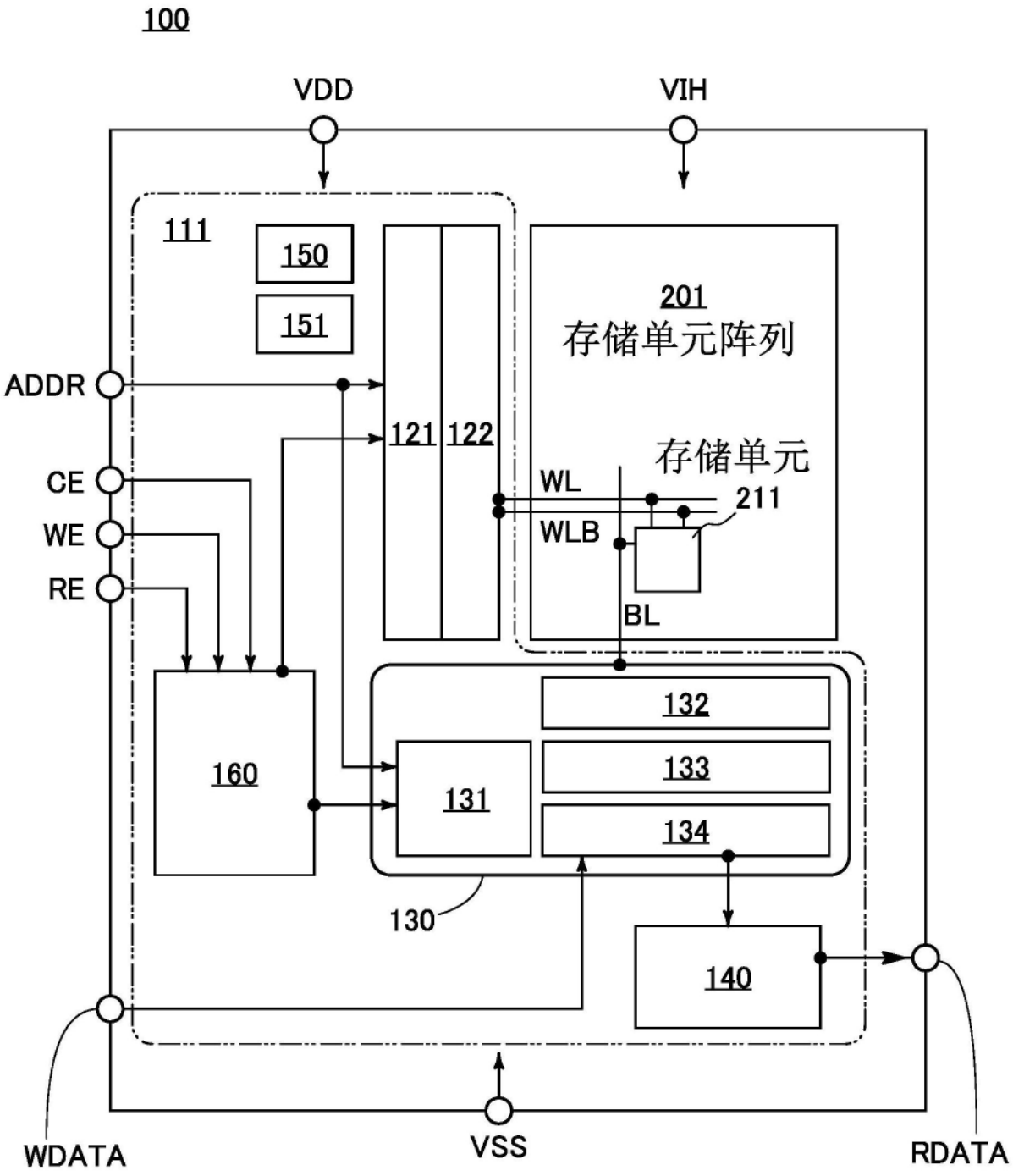

100
VDD
VIH
111
150
151
201
存储单元阵列
ADDR
121
122
存储单元
CE
WL
211
WE
WLB
RE
BL
132
160
131
133
134
130
140
WDATA
VSS
RDATA

图1

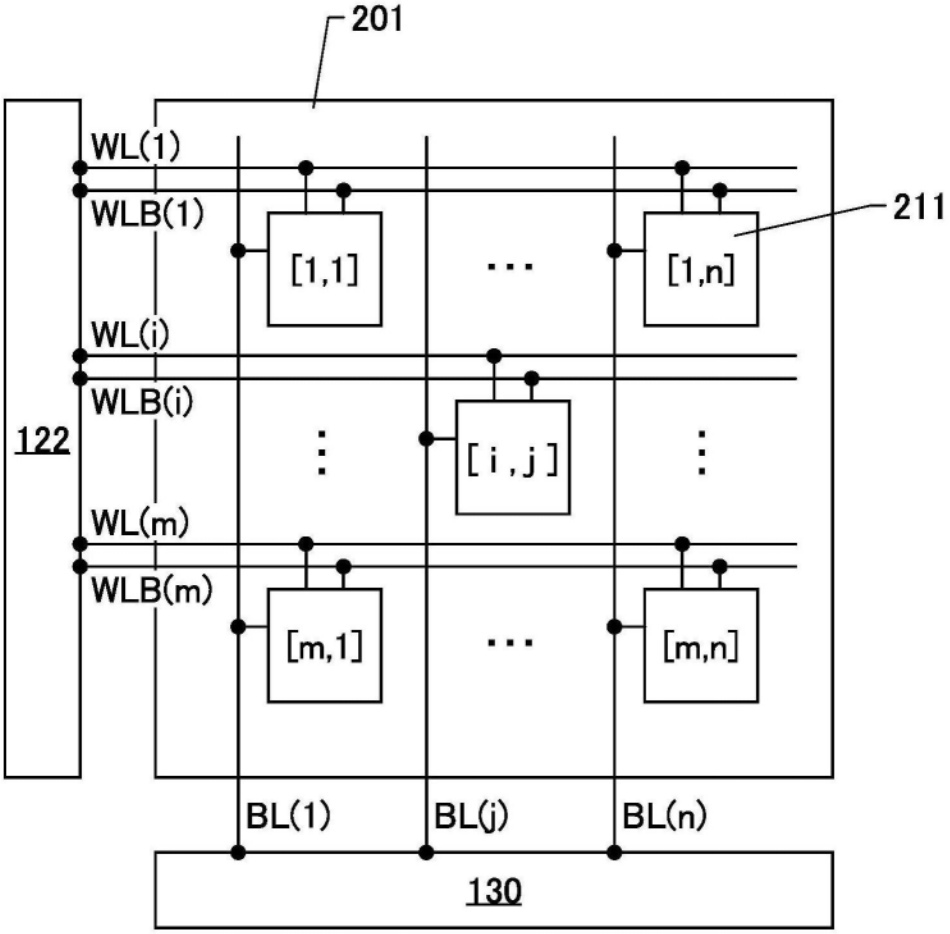

201
WL(1)
WLB(1)
[1,1]
[1,n]
211
WL(i)
WLB(i)
122
[i,j]
WL(m)
WLB(m)
[m,1]
[m,n]
BL(1)
BL(j)
BL(n)
130

图2A

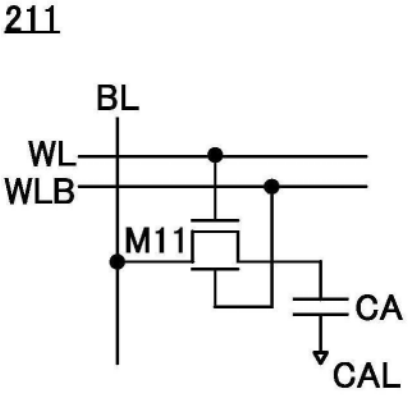

211
BL
WL
WLB
M11
CA
CAL

图2B

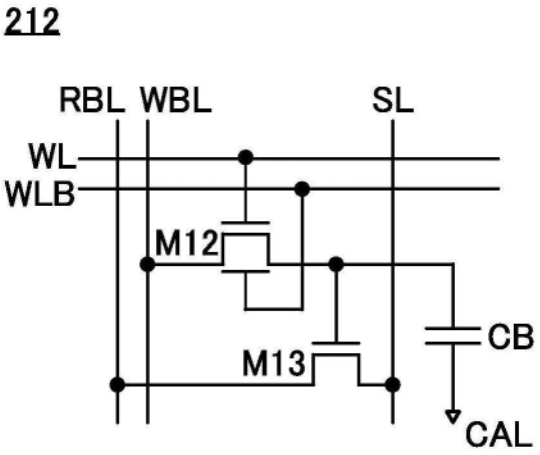

212
RBL
WBL
SL
WL
WLB
M12
M13
CB
CAL

图3A

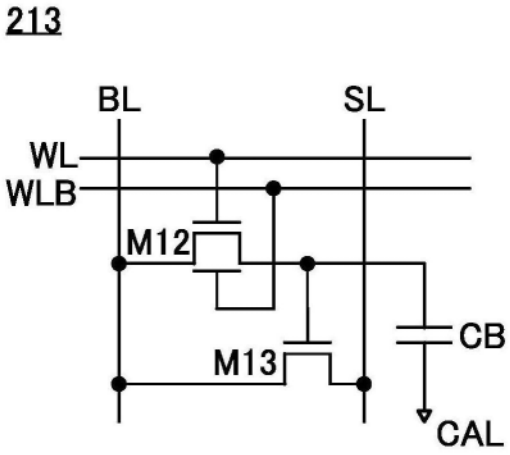

213
BL
SL
WL
WLB
M12
M13
CB
CAL

图3B

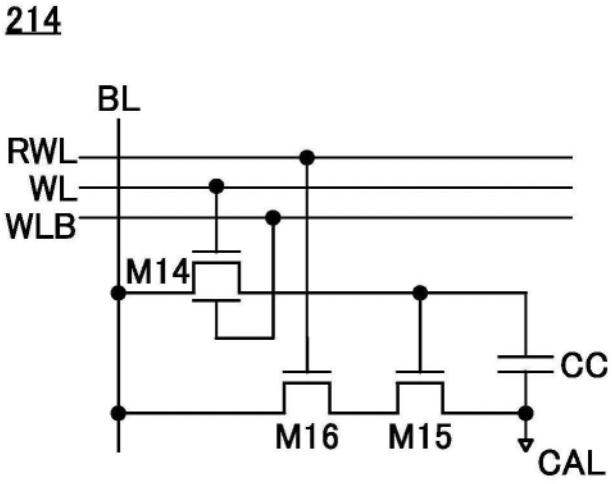

214
BL
RWL
WL
WLB
M14
M16
M15
CC
CAL

图3C

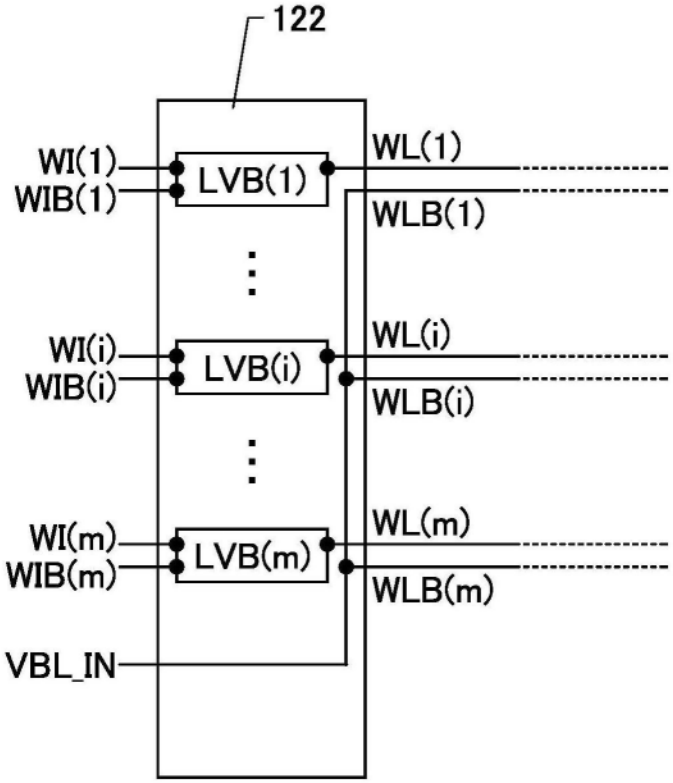

122
WI(1)
WIB(1)
LVB(1)
WL(1)
WLB(1)
WI(i)
WIB(i)
LVB(i)
WL(i)
WLB(i)
WI(m)
WIB(m)
LVB(m)
WL(m)
WLB(m)
VBL_IN

图4A

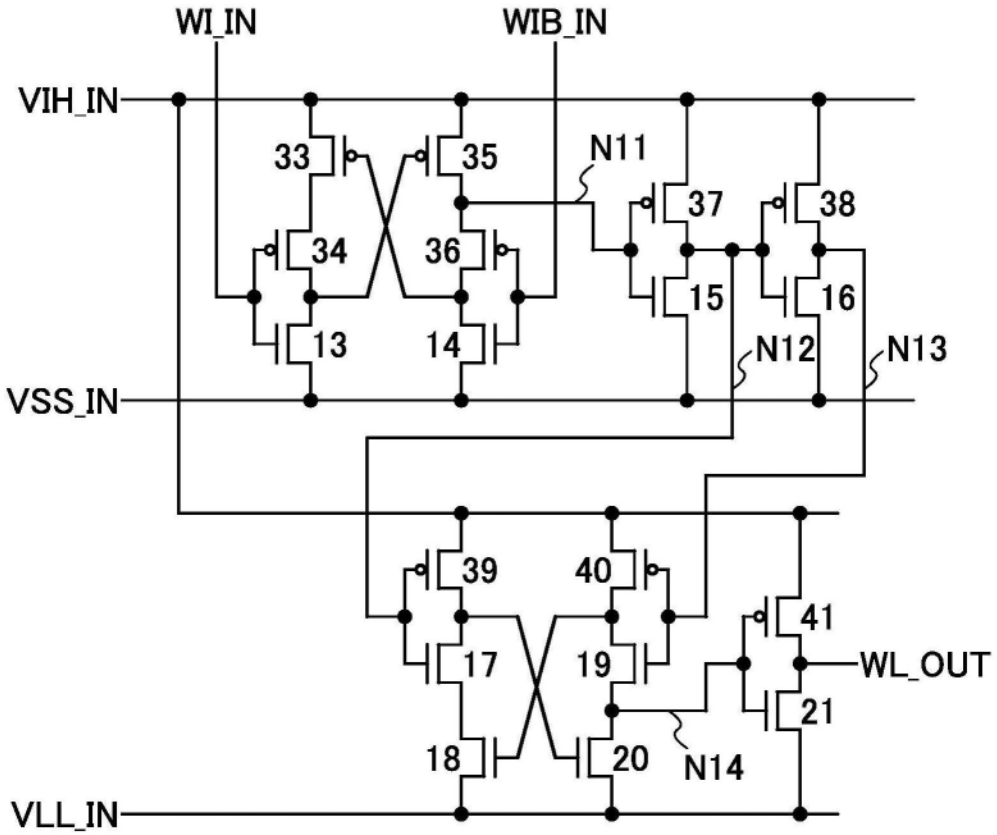

WI_IN
WIB_IN
VIH_IN
VSS_IN
VLL_IN
33
35
34
36
13
14
N11
37
38
15
16
N12
N13
39
40
17
19
18
20
41
21
N14
WL_OUT

图4B

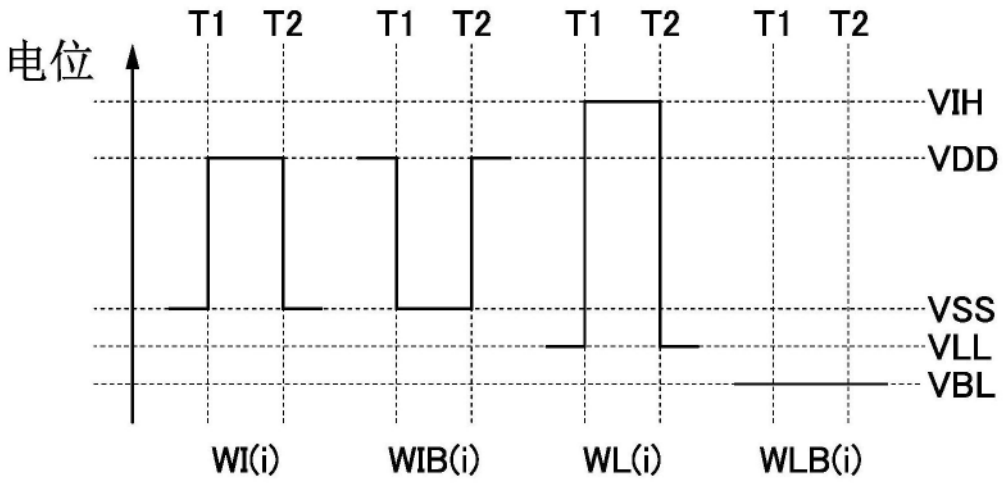

电位
T1
T2
T1
T2
T1
T2
T1
T2
VIH
VDD
VSS
VLL
VBL
WI(i)
WIB(i)
WL(i)
WLB(i)

图5A

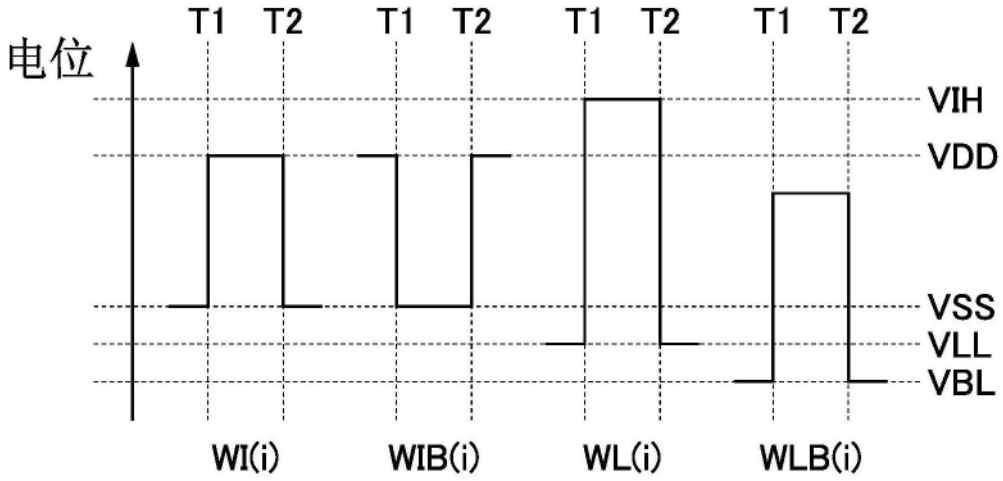

电位
T1
T2
T1
T2
T1
T2
T1
T2
VIH
VDD
VSS
VLL
VBL
WI(i)
WIB(i)
WL(i)
WLB(i)

图5B

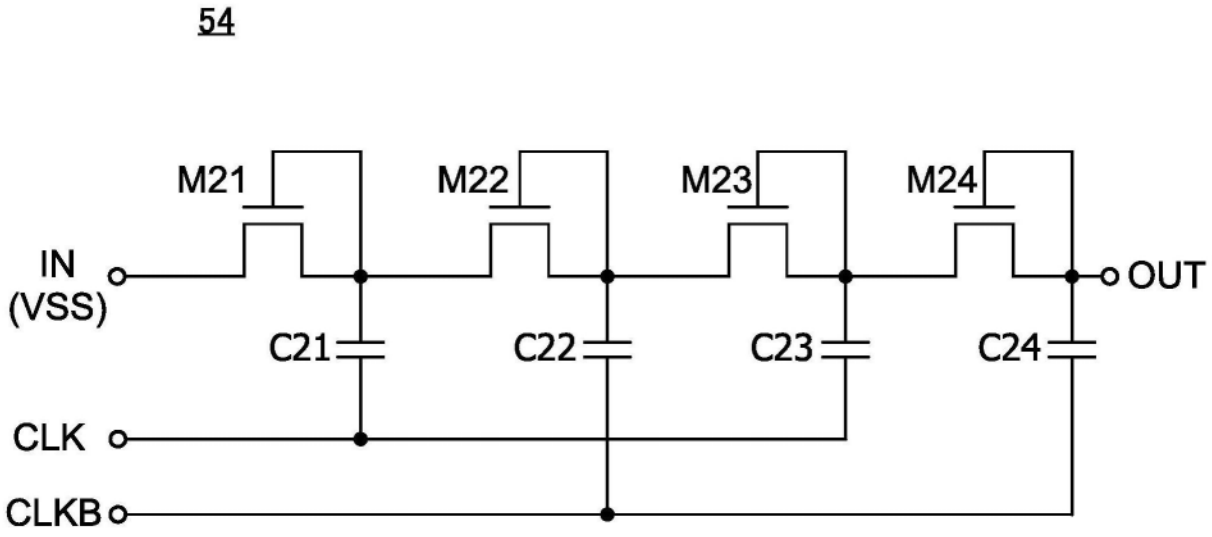

54
M21
M22
M23
M24
IN
(VSS)
OUT
C21
C22
C23
C24
CLK
CLKB

图6A

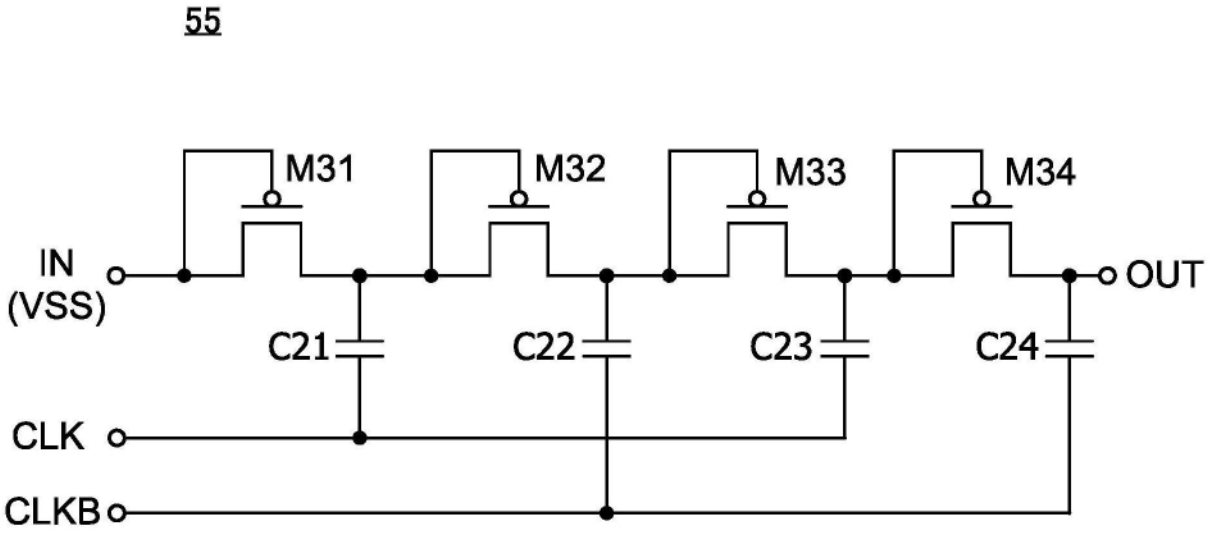


图6B

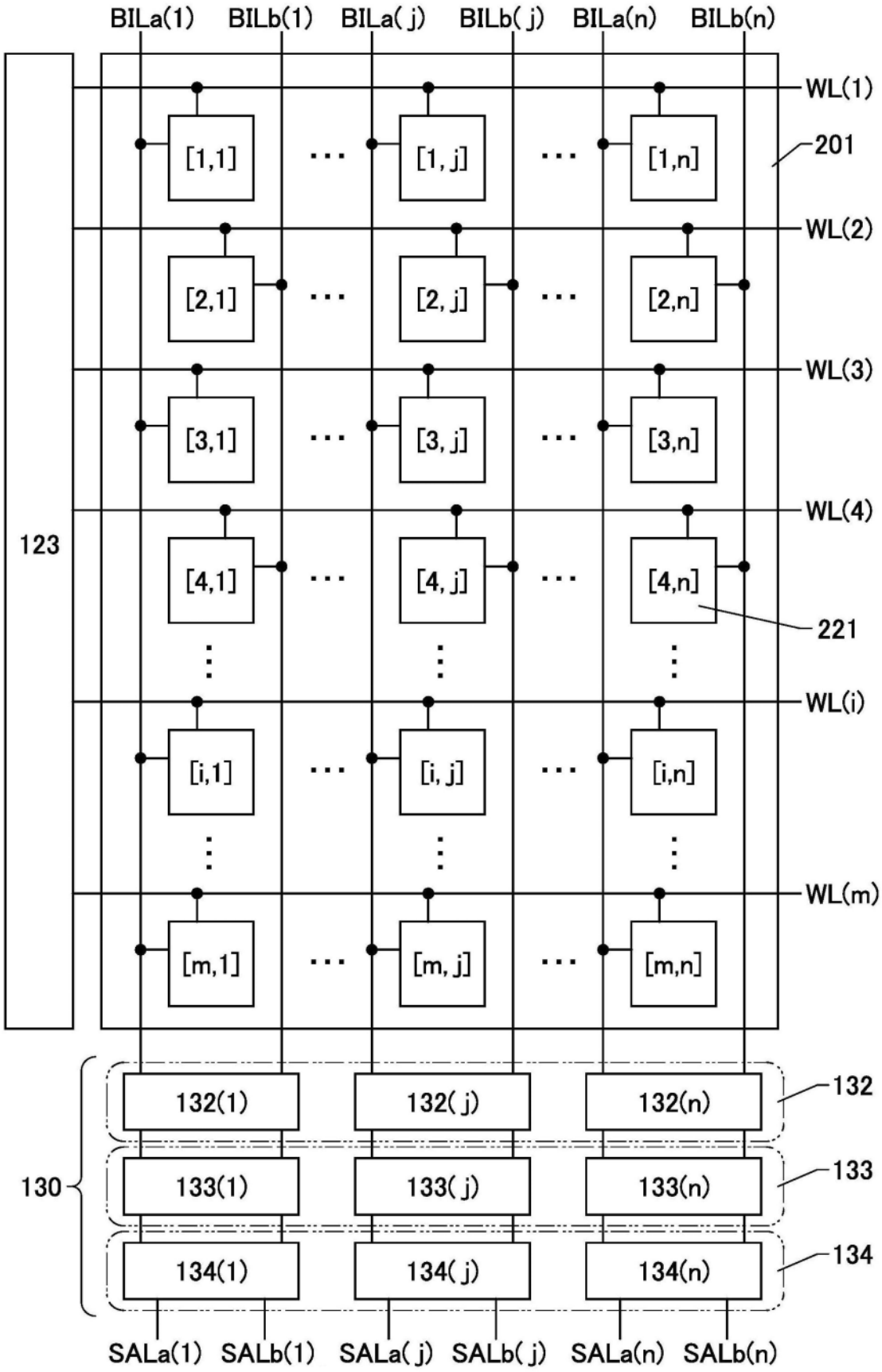

BILa(1)
BILb(1)
BILa(j)
BILb(j)
BILa(n)
BILb(n)
WL(1)
WL(2)
WL(3)
WL(4)
WL(i)
WL(m)
201
221
123
[1,1]
[1, j]
[1,n]
[2,1]
[2, j]
[2,n]
[3,1]
[3, j]
[3,n]
[4,1]
[4, j]
[4,n]
[i,1]
[i, j]
[i,n]
[m,1]
[m, j]
[m,n]
130
132(1)
132(j)
132(n)
132
133(1)
133(j)
133(n)
133
134(1)
134(j)
134(n)
134
SALa(1)
SALb(1)
SALa(j)
SALb(j)
SALa(n)
SALb(n)

图7

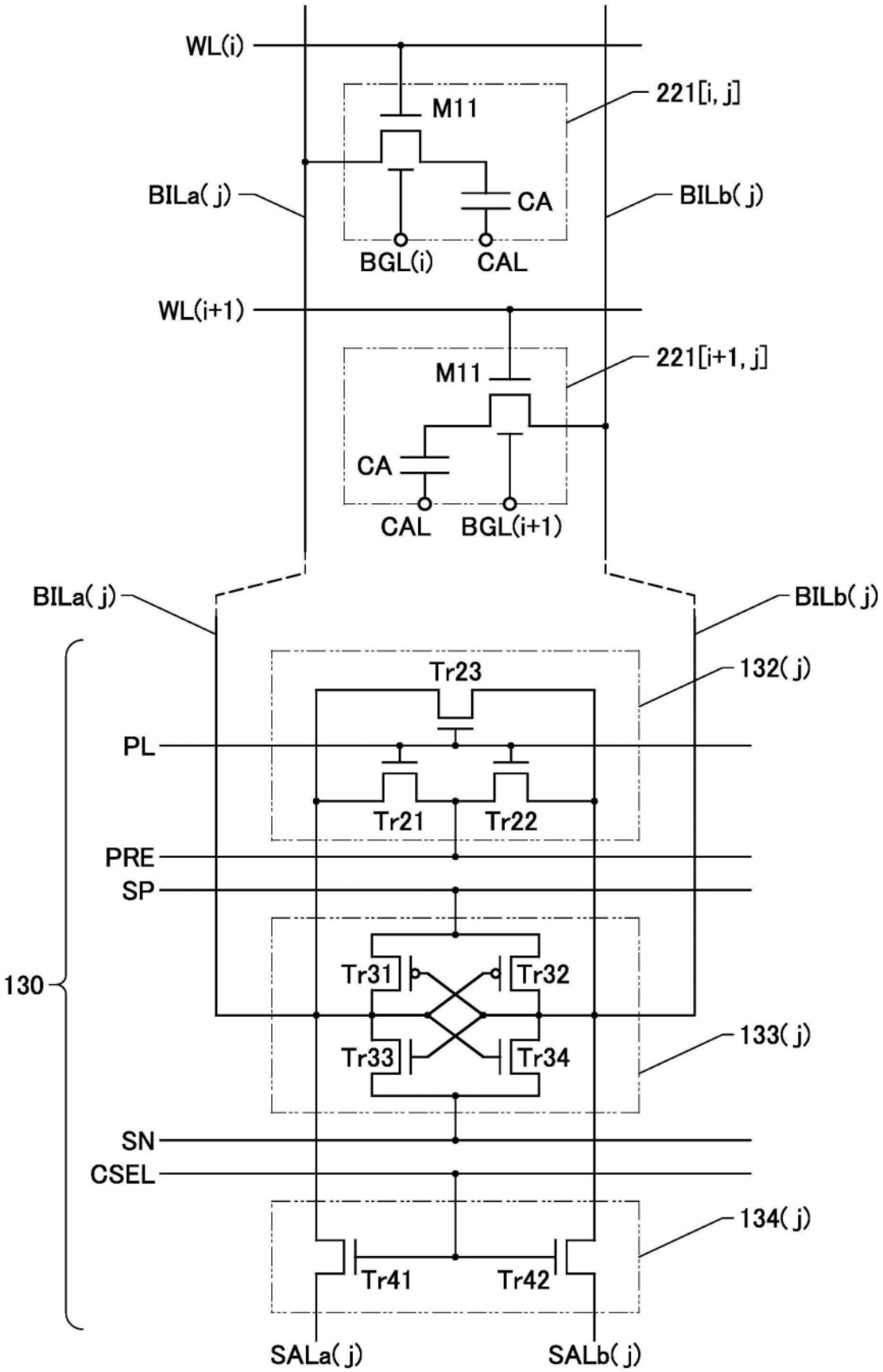

WL(i)
M11
221[i, j]
BILa(j)
CA
BILb(j)
BGL(i)
CAL
WL(i+1)
M11
221[i+1, j]
CA
CAL
BGL(i+1)
BILa(j)
BILb(j)
Tr23
132(j)
PL
Tr21
Tr22
PRE
SP
130
Tr31
Tr32
Tr33
Tr34
133(j)
SN
CSEL
134(j)
Tr41
Tr42
SALa(j)
SALb(j)

图8

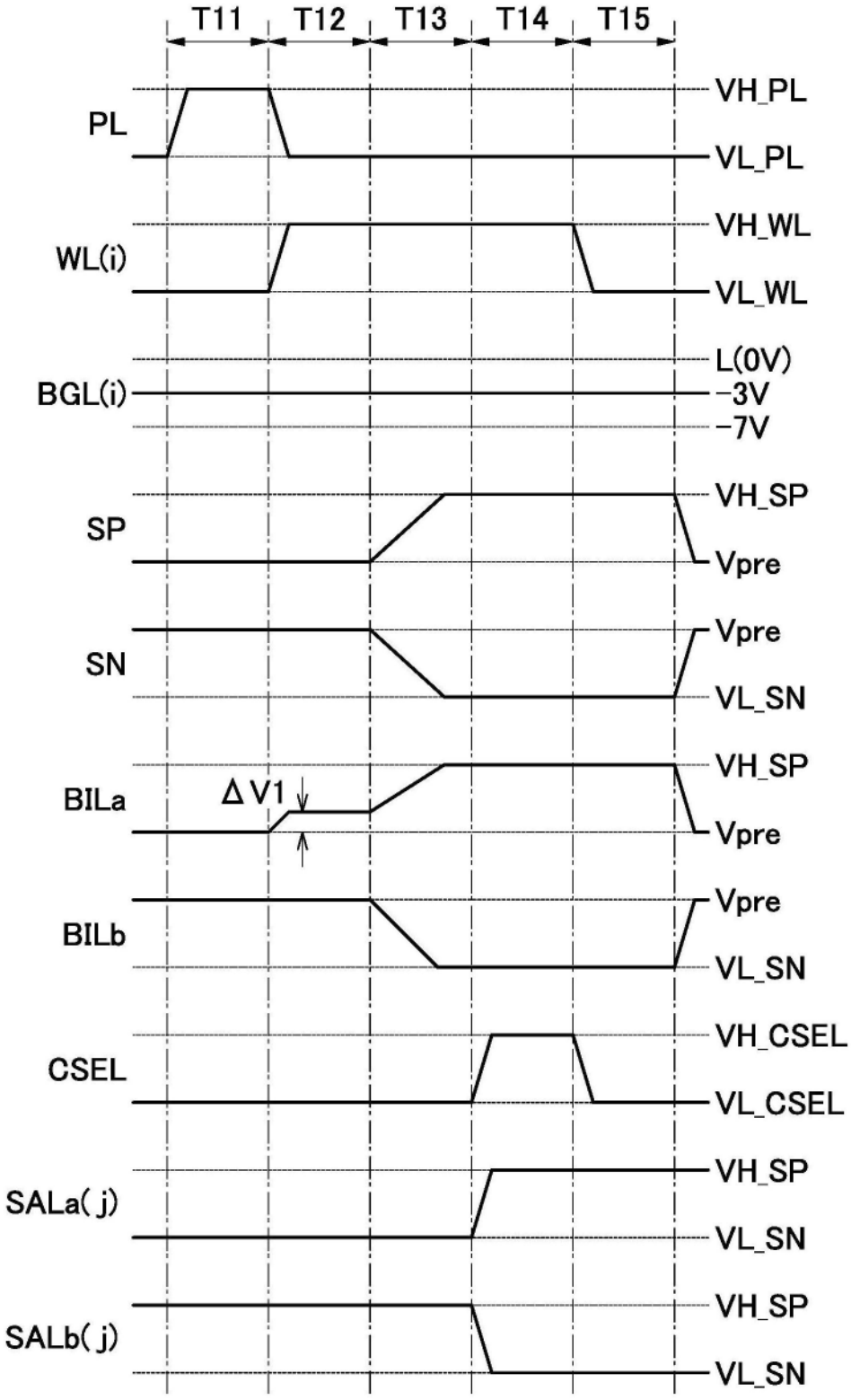

T11
T12
T13
T14
T15
PL
VH_PL
VL_PL
WL(i)
VH_WL
VL_WL
BGL(i)
L(0V)
-3V
-7V
SP
VH_SP
Vpre
SN
Vpre
VL_SN
BILa
ΔV1
VH_SP
Vpre
BILb
Vpre
VL_SN
CSEL
VH_CSEL
VL_CSEL
SALa(j)
VH_SP
VL_SN
SALb(j)
VH_SP
VL_SN

图9

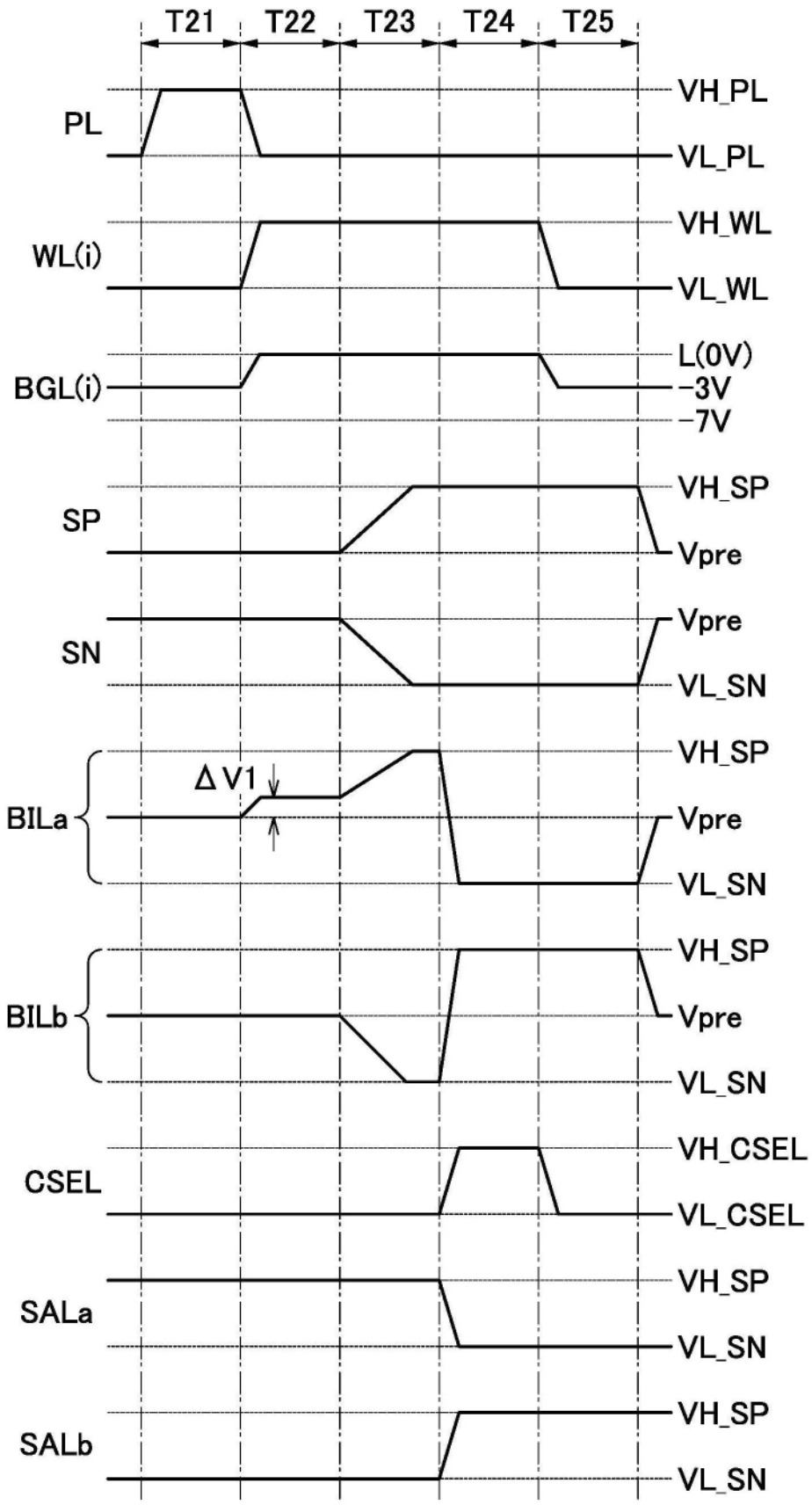

T21
T22
T23
T24
T25
PL
VH_PL
VL_PL
WL(i)
VH_WL
VL_WL
BGL(i)
L(0V)
-3V
-7V
SP
VH_SP
Vpre
SN
Vpre
VL_SN
ΔV1
BILa
VH_SP
Vpre
VL_SN
BILb
VH_SP
Vpre
VL_SN
CSEL
VH_CSEL
VL_CSEL
SALa
VH_SP
VL_SN
SALb
VH_SP
VL_SN

图10

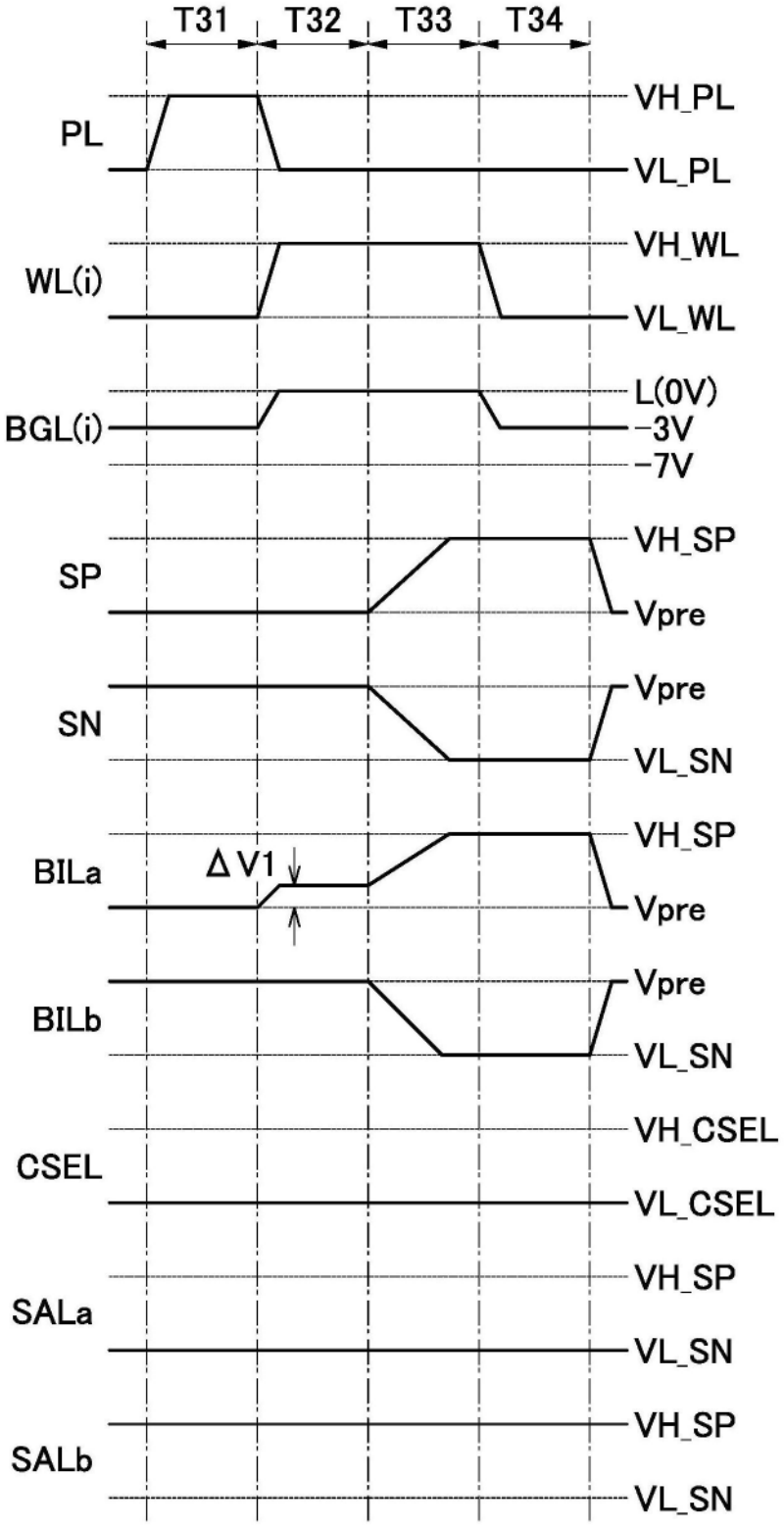

T31
T32
T33
T34
PL
VH_PL
VL_PL
WL(i)
VH_WL
VL_WL
BGL(i)
L(0V)
-3V
-7V
SP
VH_SP
Vpre
SN
Vpre
VL_SN
BILa
ΔV1
VH_SP
Vpre
BILb
Vpre
VL_SN
CSEL
VH_CSEL
VL_CSEL
SALa
VH_SP
VL_SN
SALb
VH_SP
VL_SN

图11

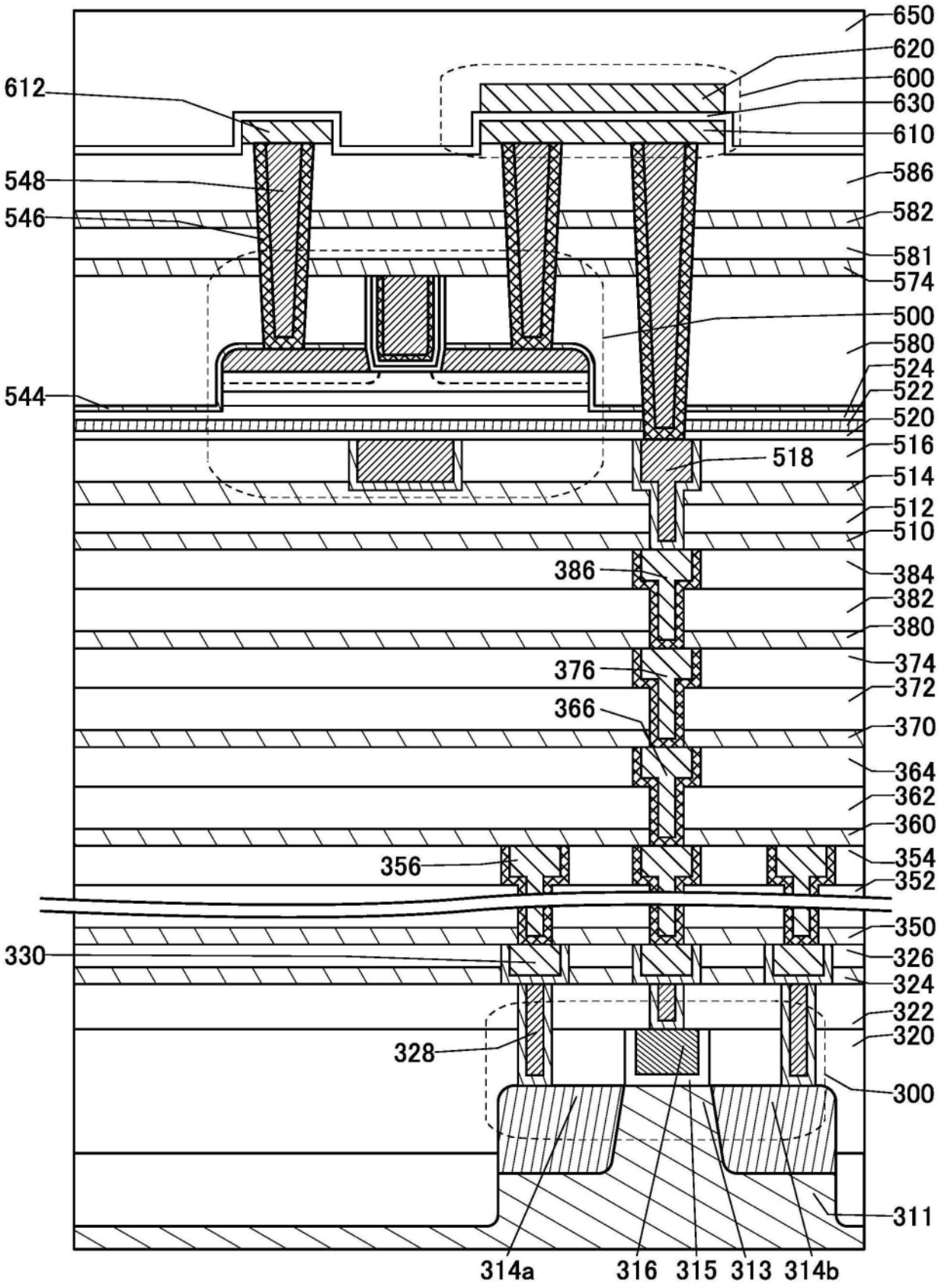

650
620
600
630
610
612
586
548
582
546
581
574
500
580
524
544
522
520
516
518
514
512
510
386
384
382
380
376
374
372
366
370
364
362
360
356
354
352
350
330
326
324
322
328
320
300
311
314a
316
315
313
314b

图12

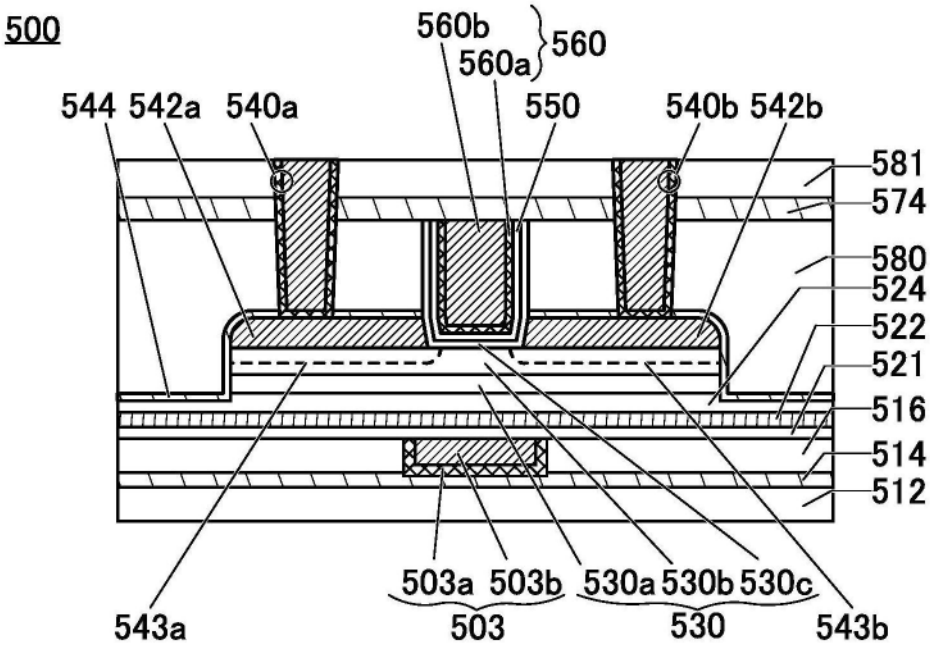

500
560b
560a
560
544
542a
540a
550
540b
542b
581
574
580
524
522
521
516
514
512
503a
503b
530a
530b
530c
543a
503
530
543b

图13A

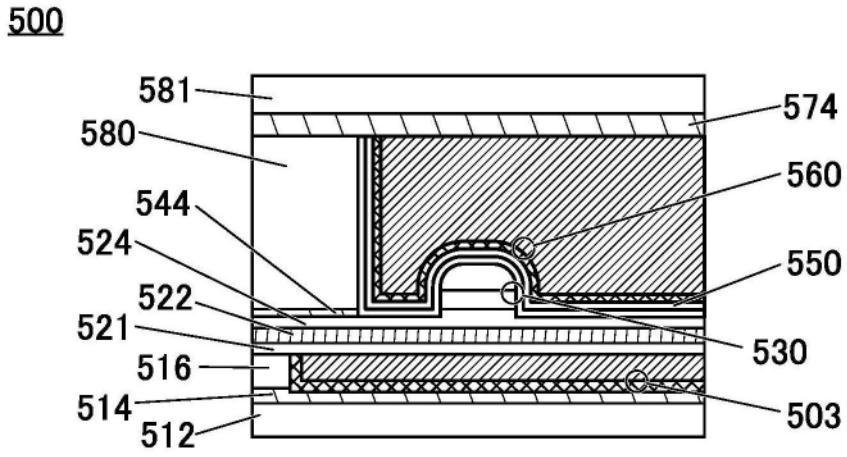

500
581
574
580
560
544
524
550
522
521
530
516
514
503
512

图13B

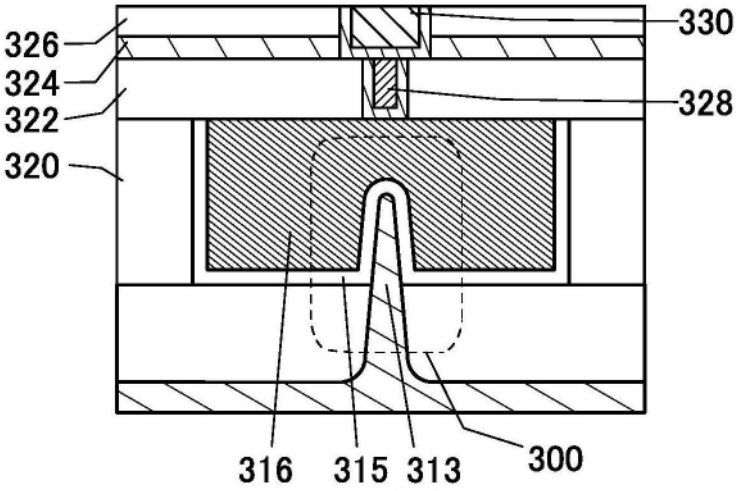

326
324
322
320
330
328
316
315
313
300

图13C

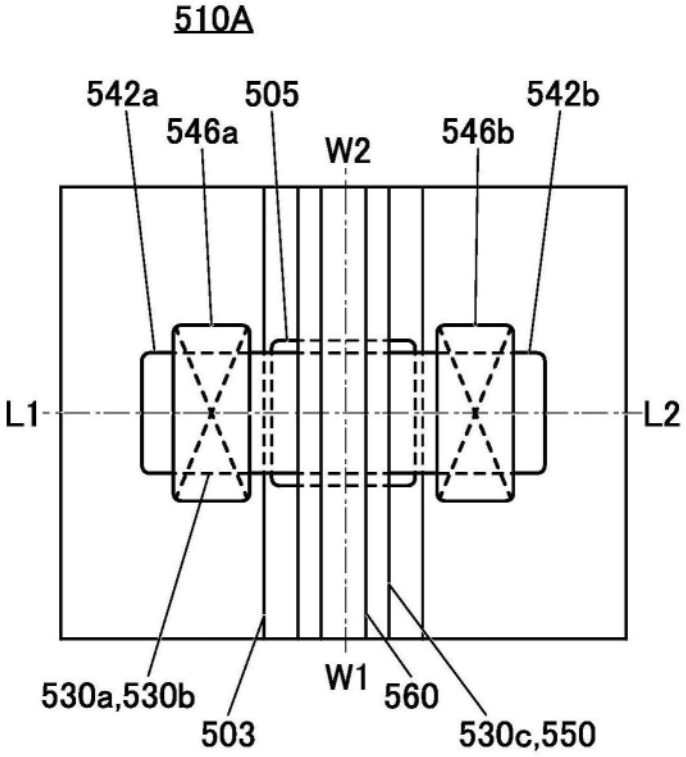

510A
542a
505
542b
546a
546b
W2
L1
L2
530a,530b
503
W1
560
530c,550

图14A

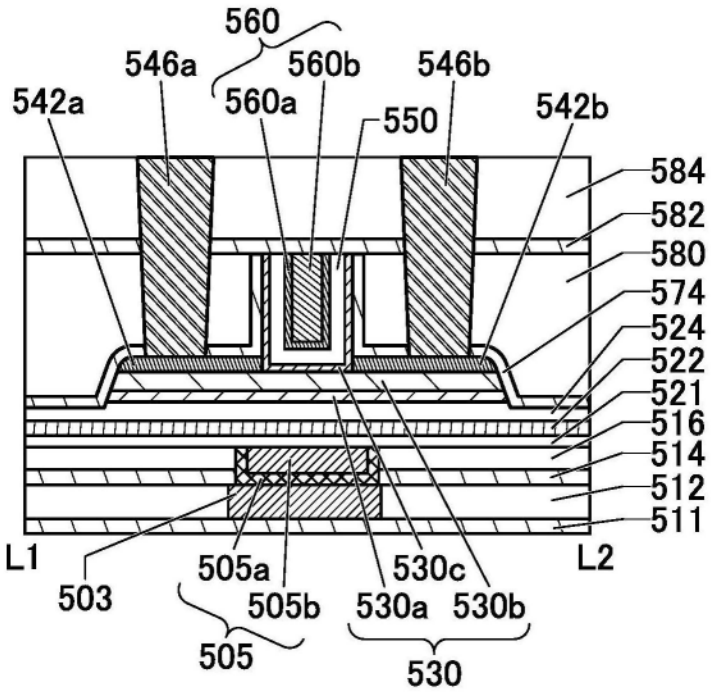

560
546a
560b
546b
542a
560a
550
542b
584
582
580
574
524
522
521
516
514
512
511
L1
503
505a
505b
530c
530a
530b
L2
505
530

图14B

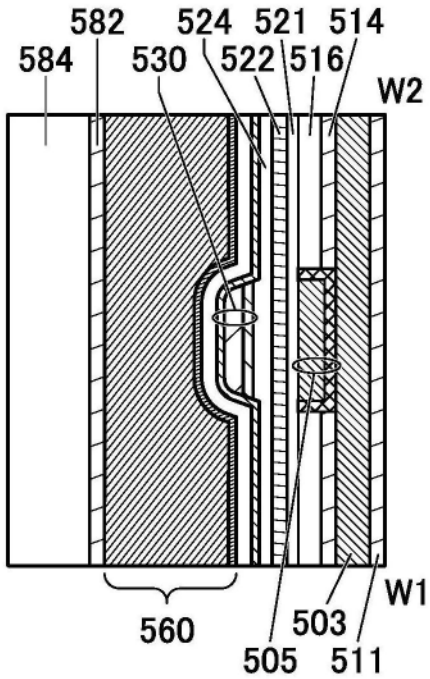

582
524
521
514
584
530
522
516
W2
W1
560
503
505
511

图14C

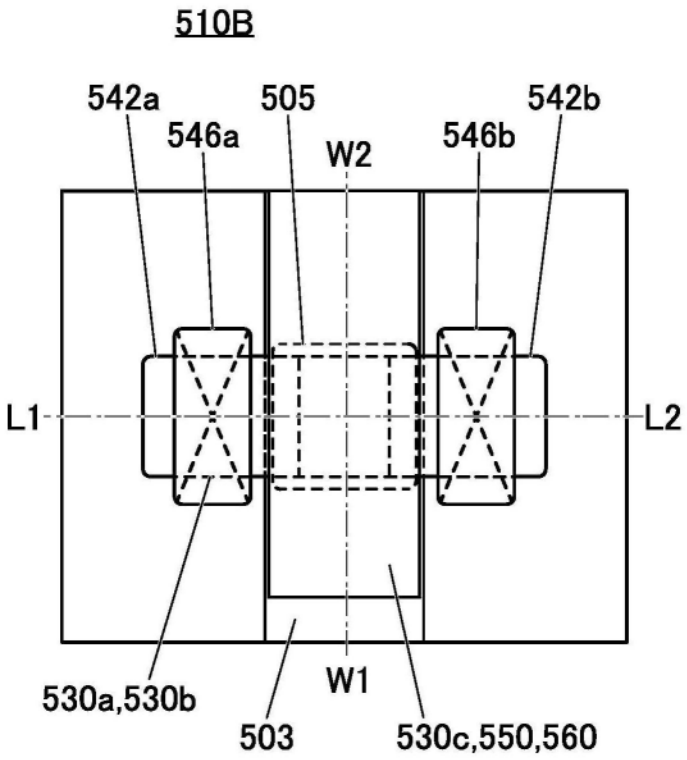

510B
542a
505
542b
546a
W2
546b
L1
L2
530a,530b
W1
503
530c,550,560

图15A

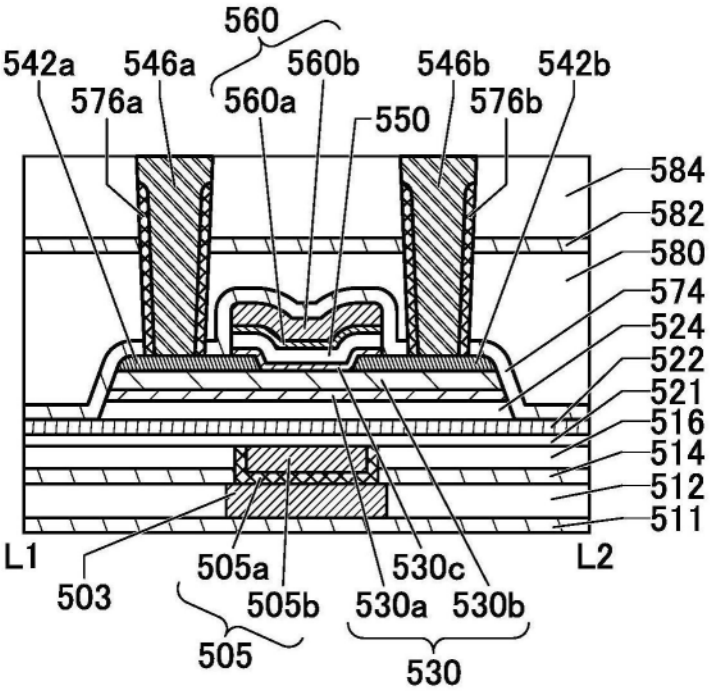

560
542a
546a
560b
546b
542b
576a
560a
550
576b
584
582
580
574
524
522
521
516
514
512
511
L1
L2
503
505a
530c
505b
530a
530b
505
530

图15B

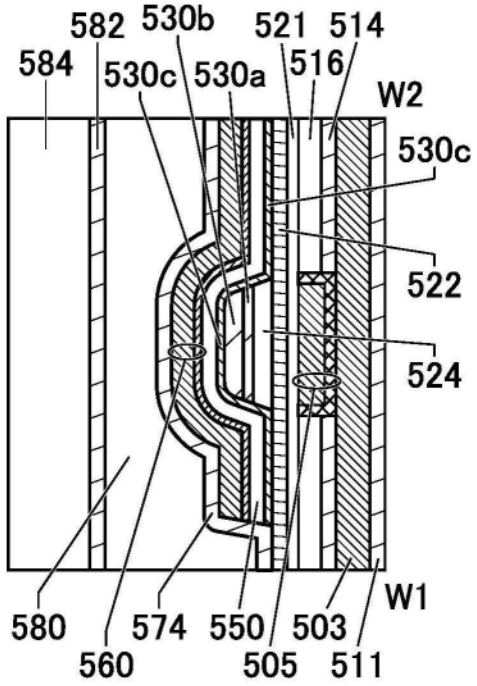

582
530b
521
514
584
530c
530a
516
W2
530c
522
524
580
574
550
503
W1
560
505
511

图15C

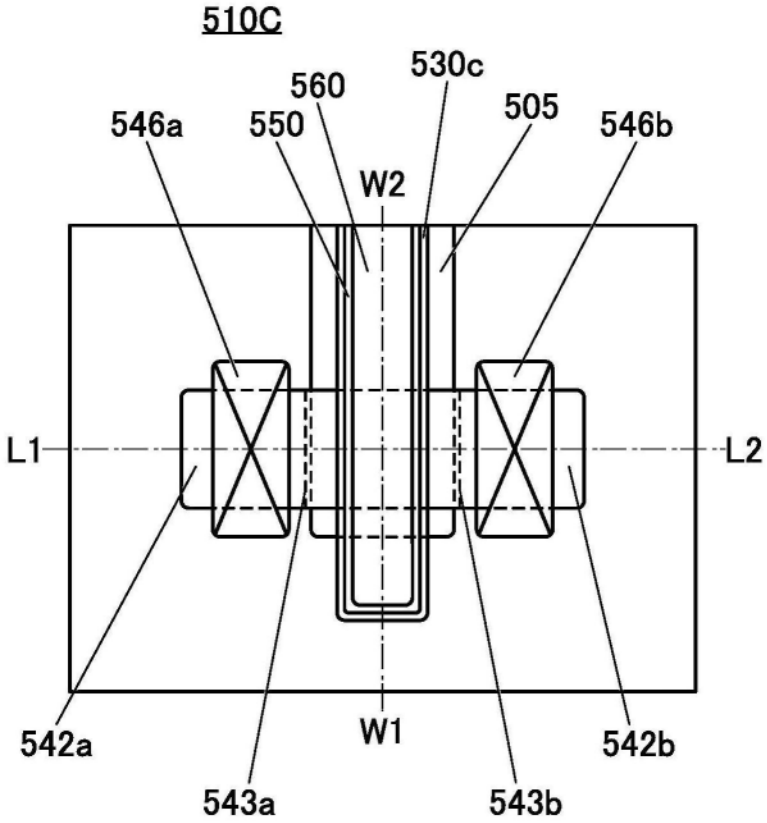

510C
530c
560
505
546a
550
546b
W2
L1
L2
542a
W1
542b
543a
543b

图16A

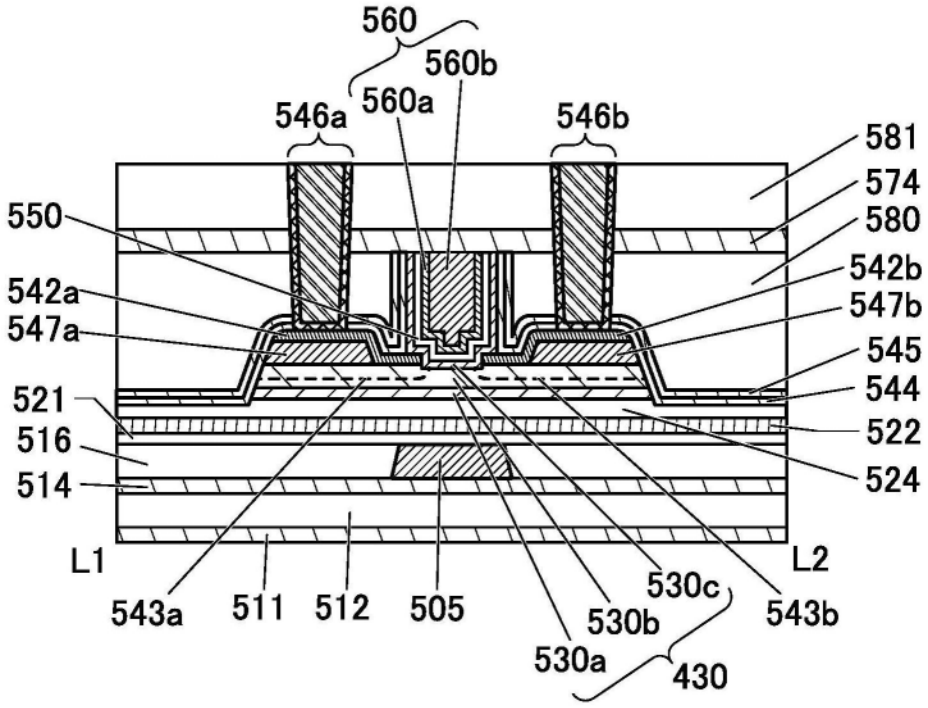

560
560b
560a
546a
546b
581
574
580
542b
547b
545
544
522
524
550
542a
547a
521
516
514
L1
L2
543a
511
512
505
530c
530b
530a
543b
430

图16B

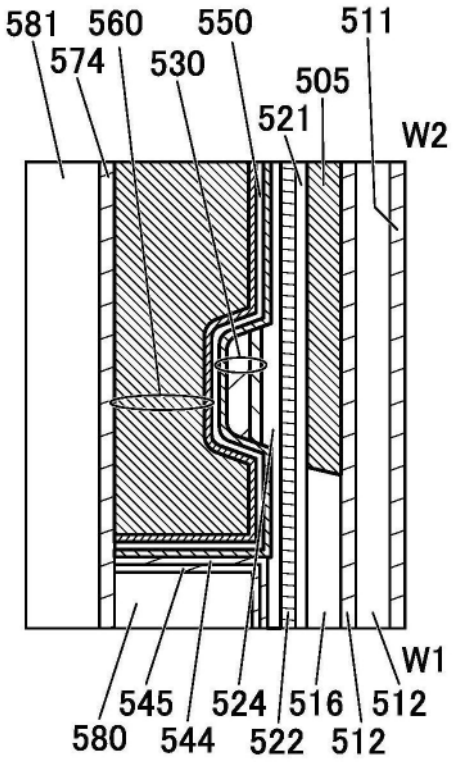

581
560
550
511
574
530
505
521
W2
W1
580
545
544
524
522
516
512
512

图16C

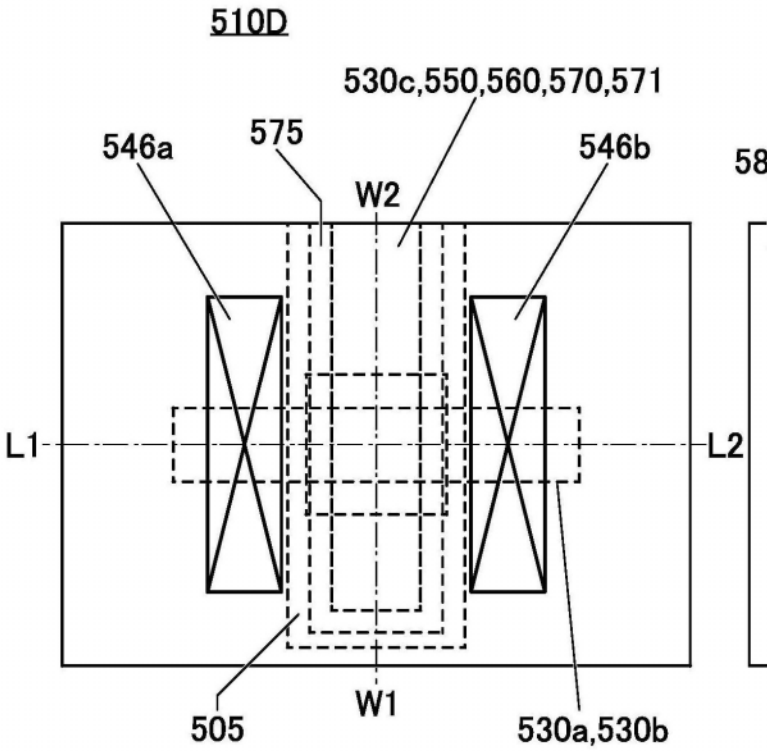


图17A

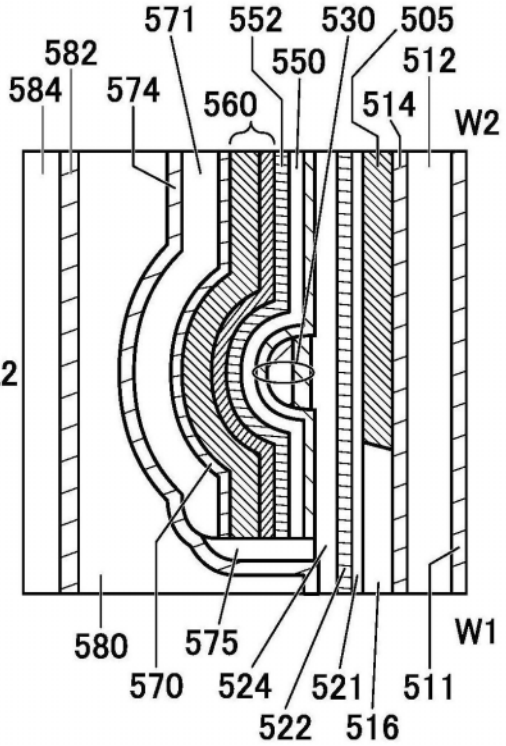


图17C

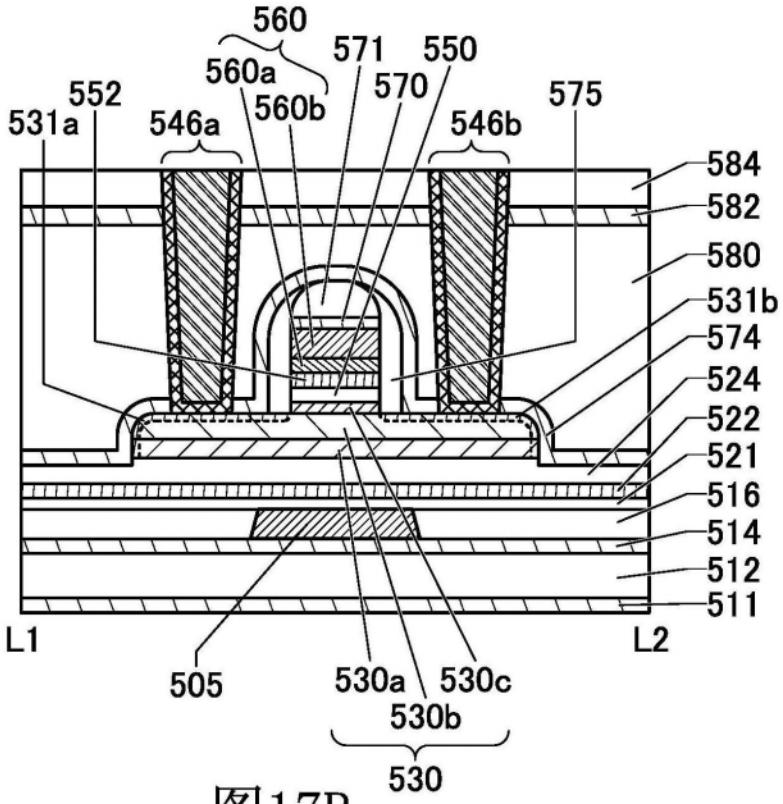


图17B

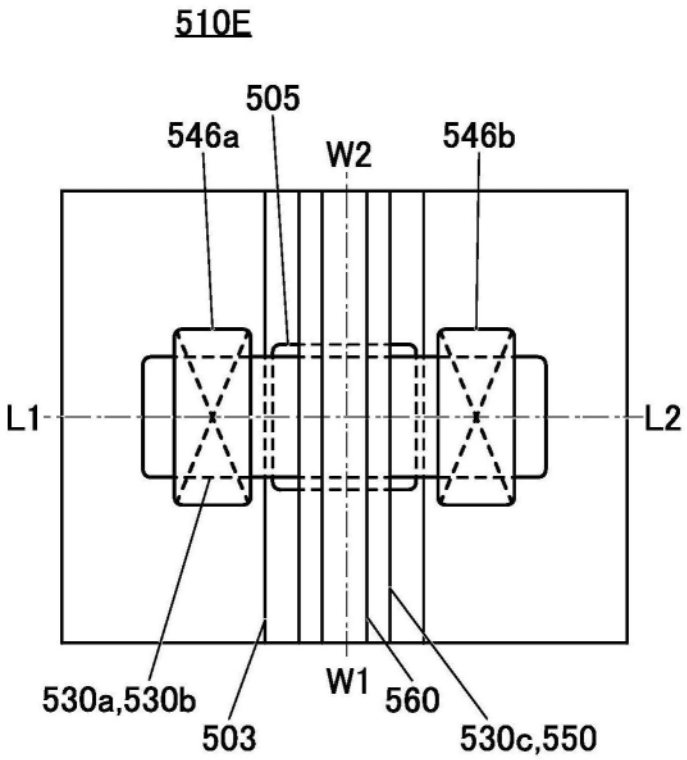

510E
505
546a
W2
546b
L1
L2
530a,530b
503
W1
560
530c,550

图18A

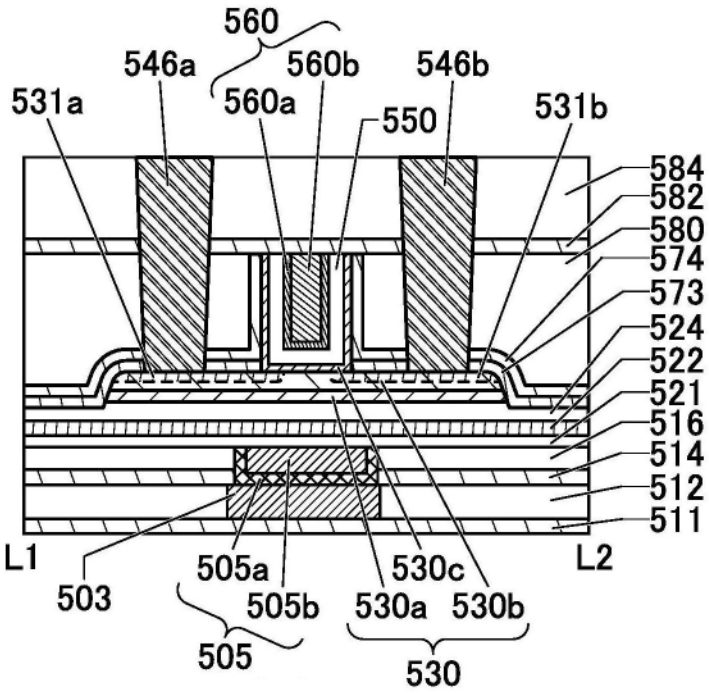

560
546a
560b
546b
531a
560a
550
531b
584
582
580
574
573
524
522
521
516
514
512
511
L1
L2
503
505a
505b
530c
530a
530b
505
530

图18B

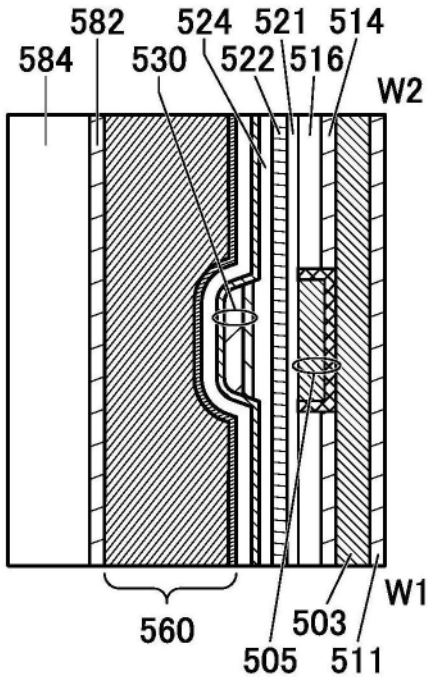

582
524
521
514
584
530
522
516
W2
W1
560
503
505
511

图18C

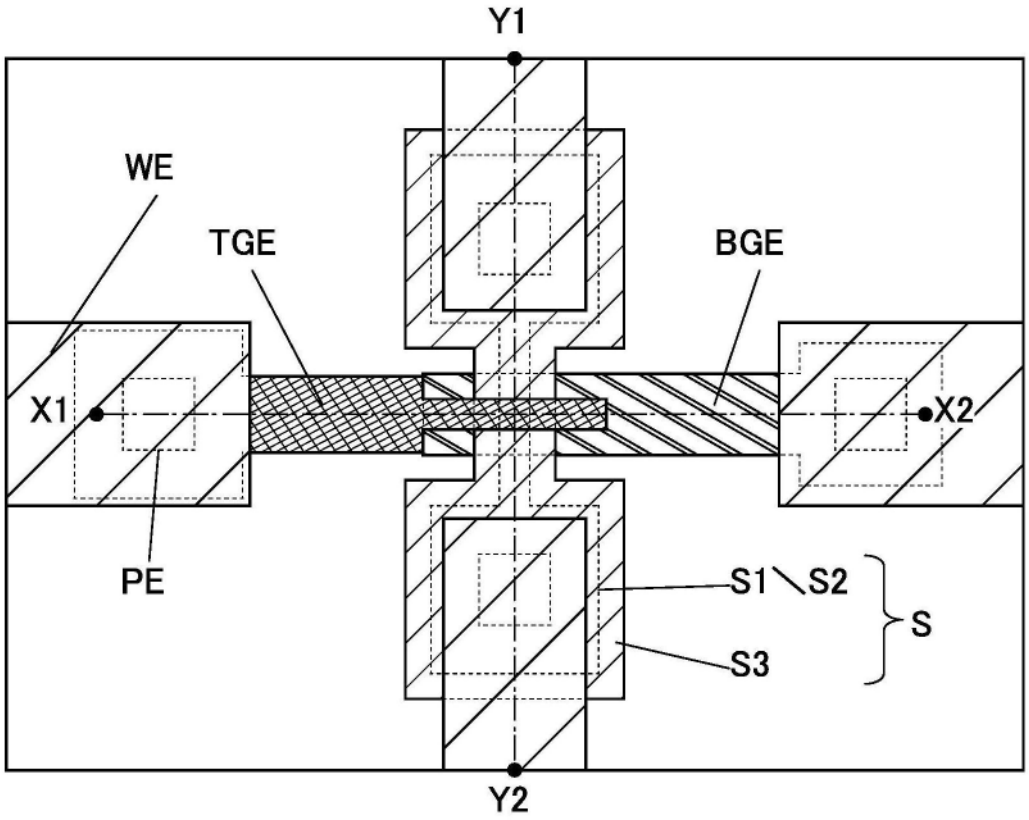

Y1
WE
TGE
BGE
X1
X2
PE
S1
S2
S
S3
Y2

图19A

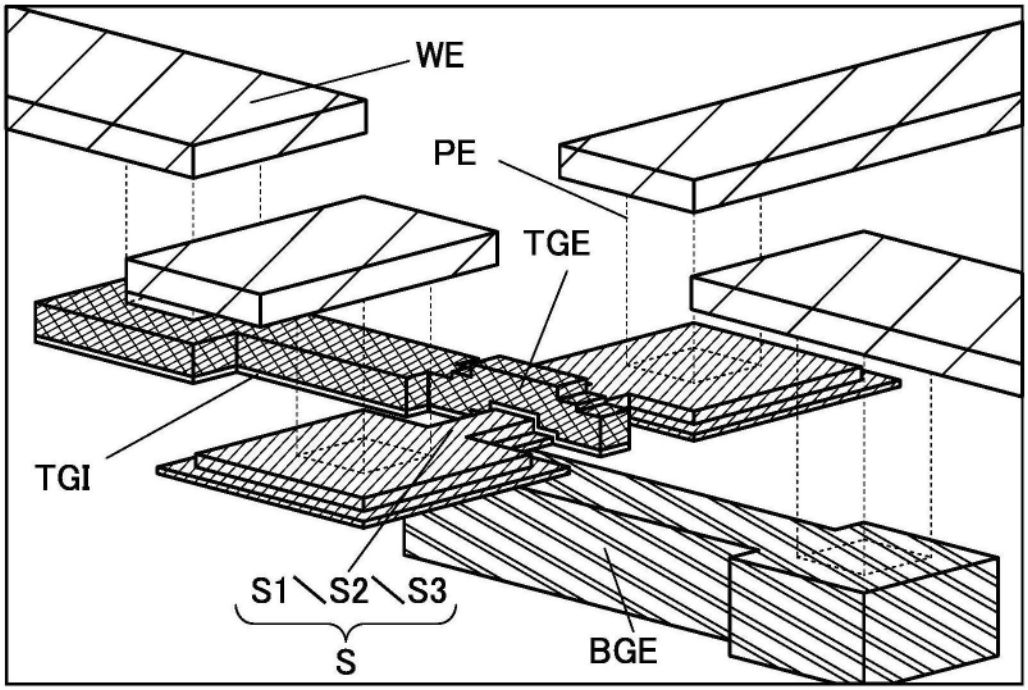


图19B

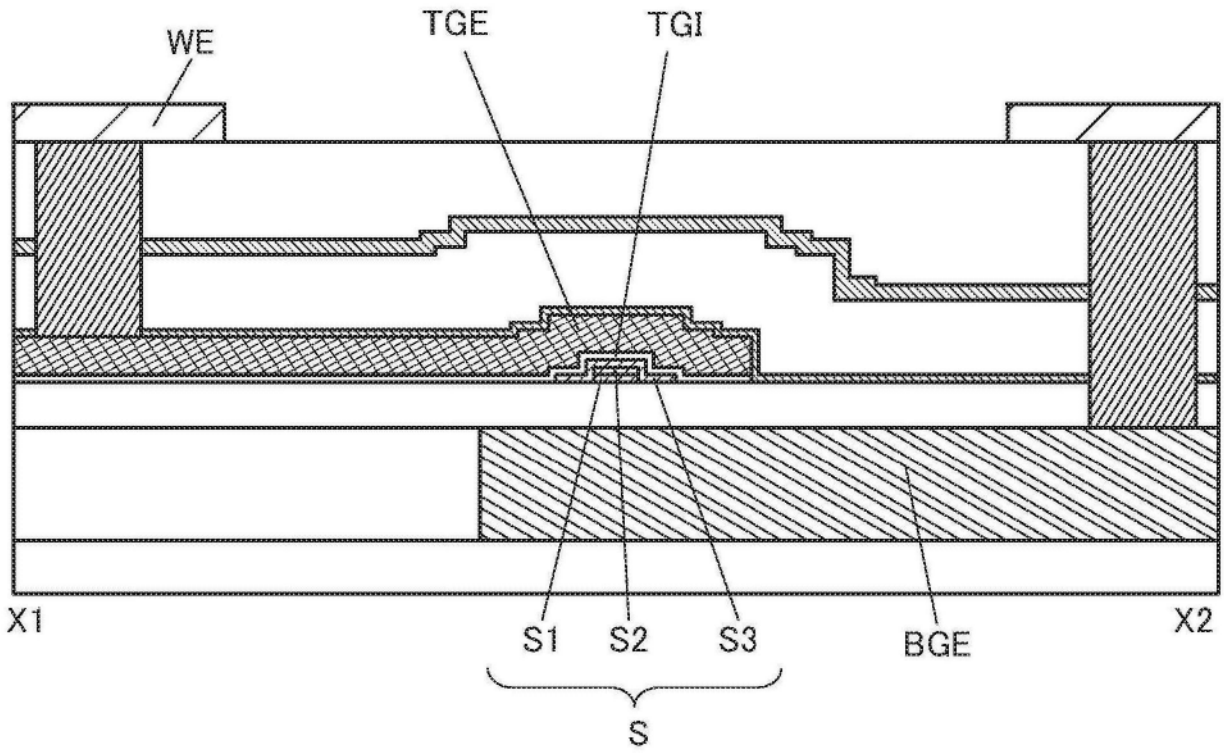


图20A

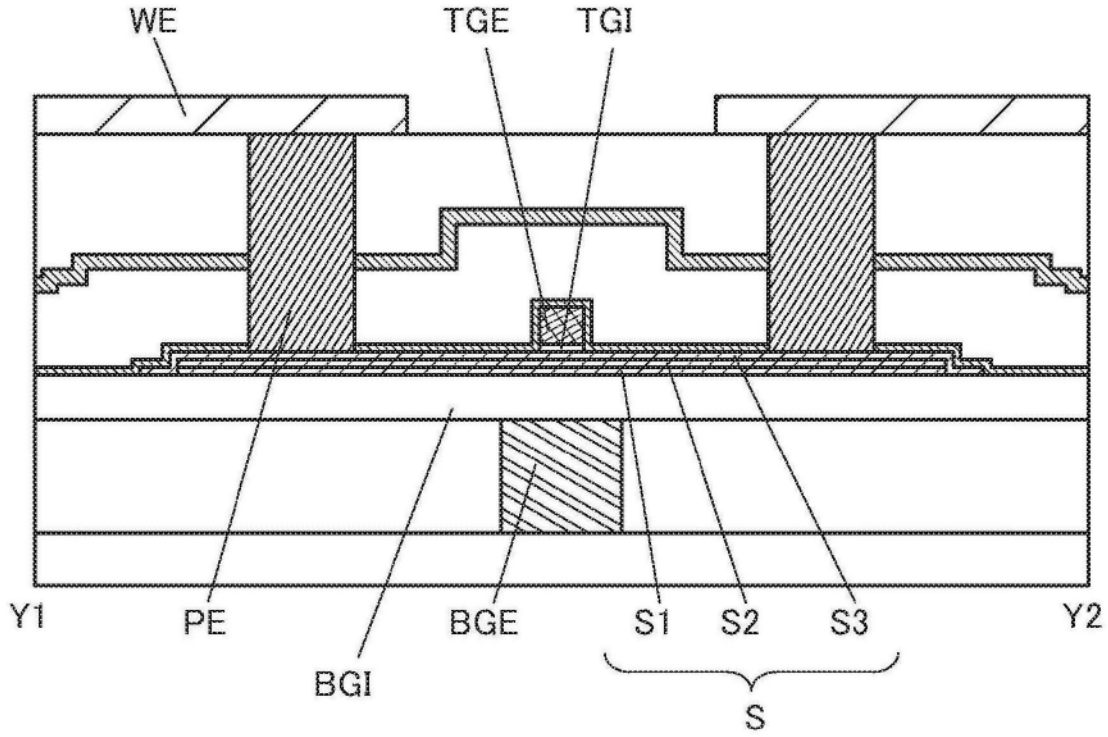


图20B

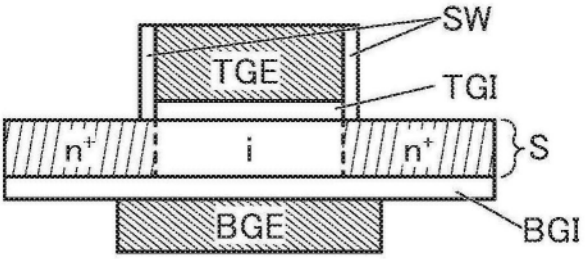


图21A

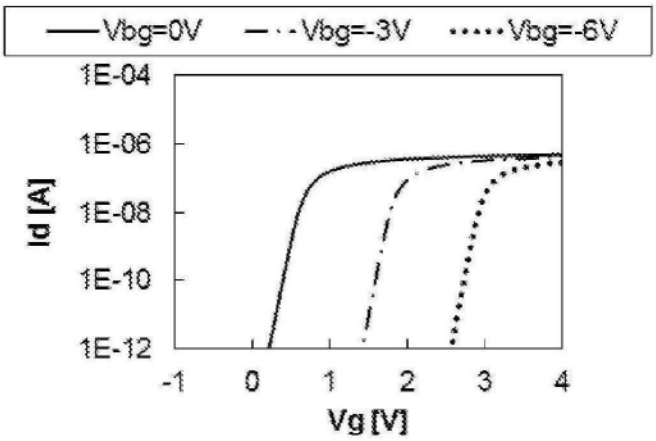


图21B

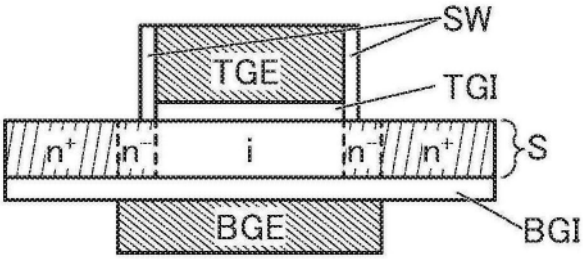


图21C

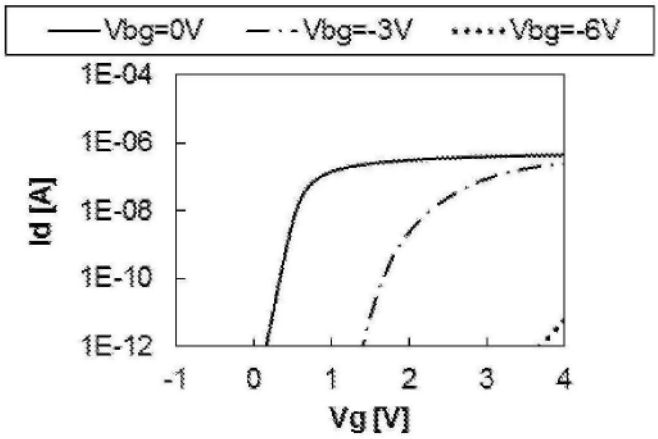


图21D

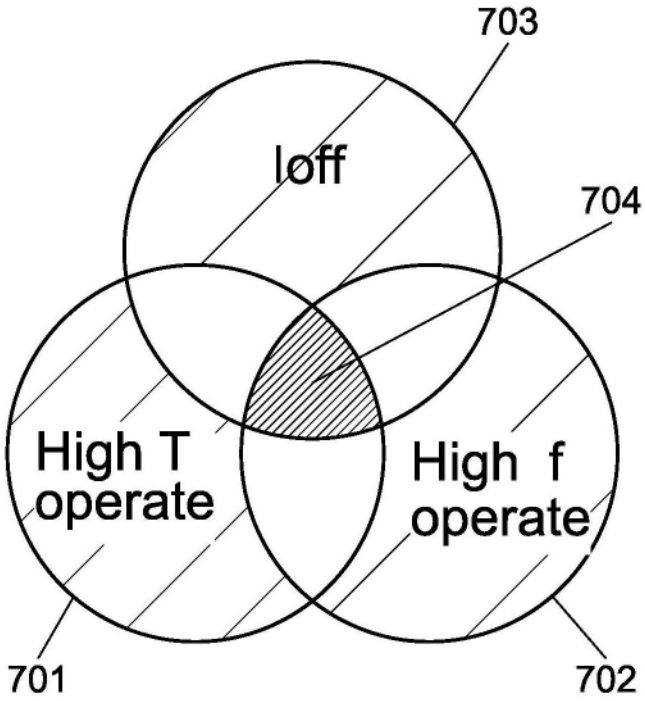

703
loff
704
High T
operate
High f
operate
701
702

图22

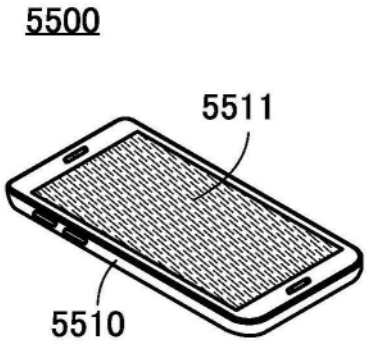

5500
5511
5510

图23A

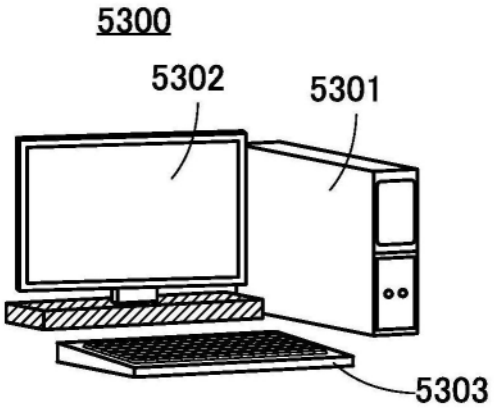


图23B

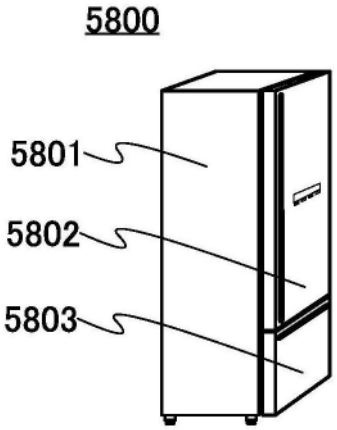


图23C

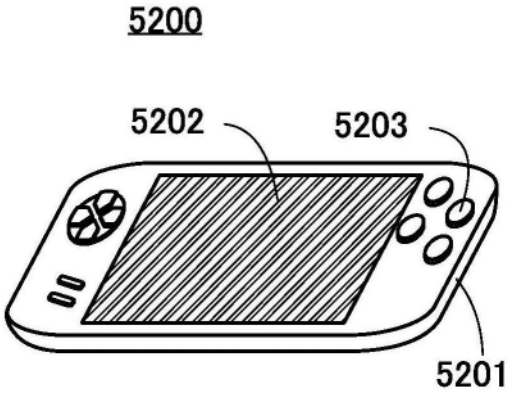


图23D

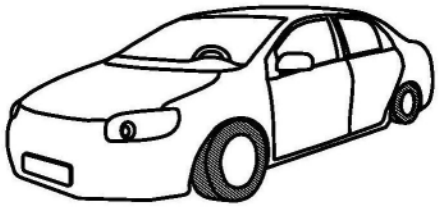


图23E1



图23E2

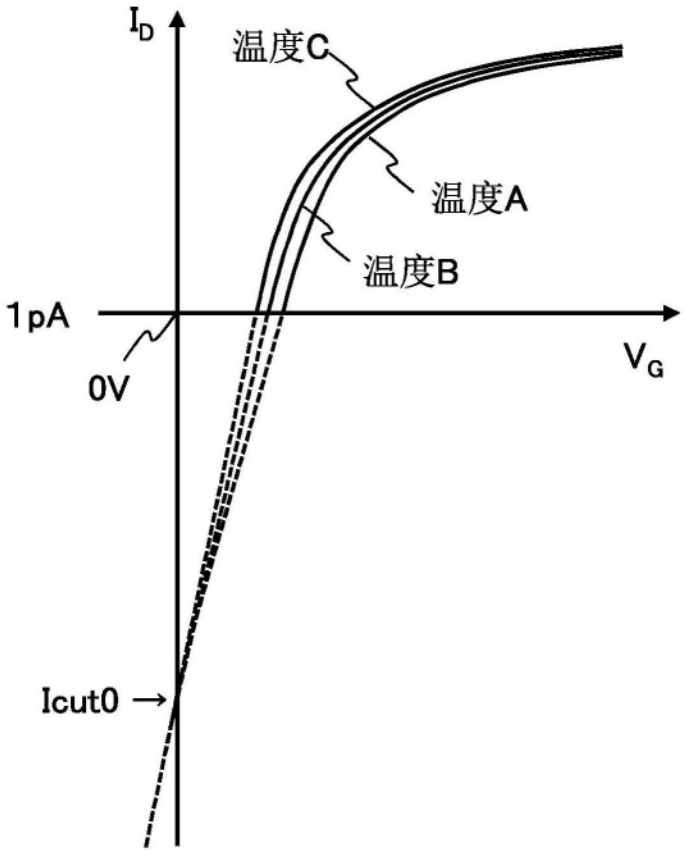


图24

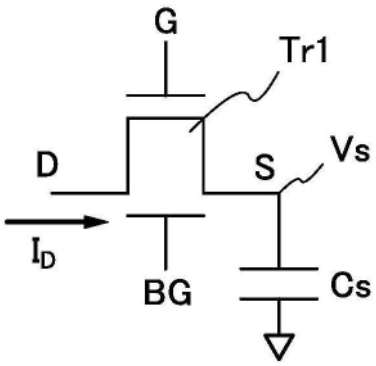


图25A

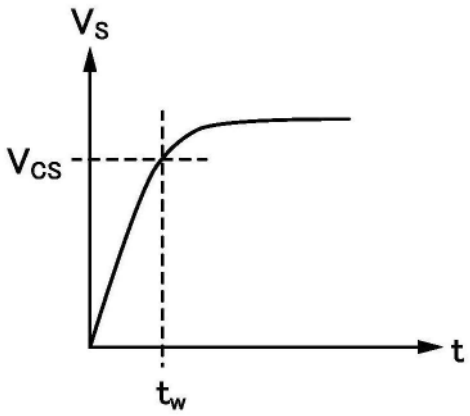


图25B

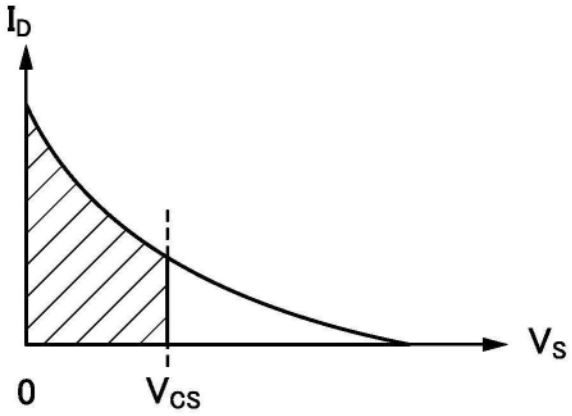


图25C

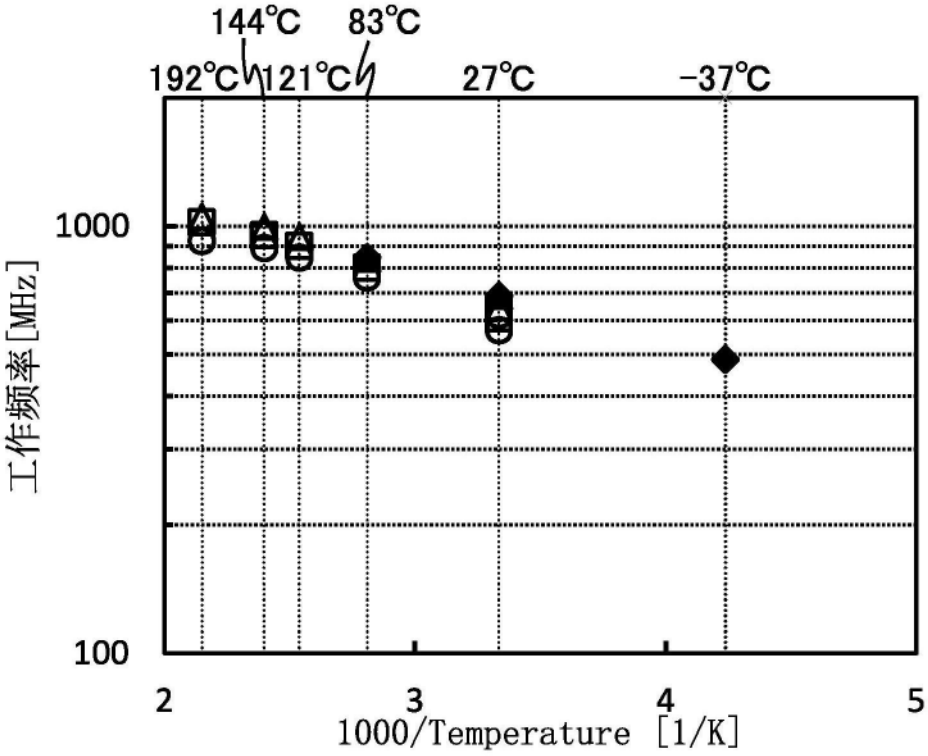

144℃
83℃
192℃
121℃
27℃
-37℃
1000
100
工作频率[MHz]
2
3
4
5
1000/Temperature [1/K]

图26

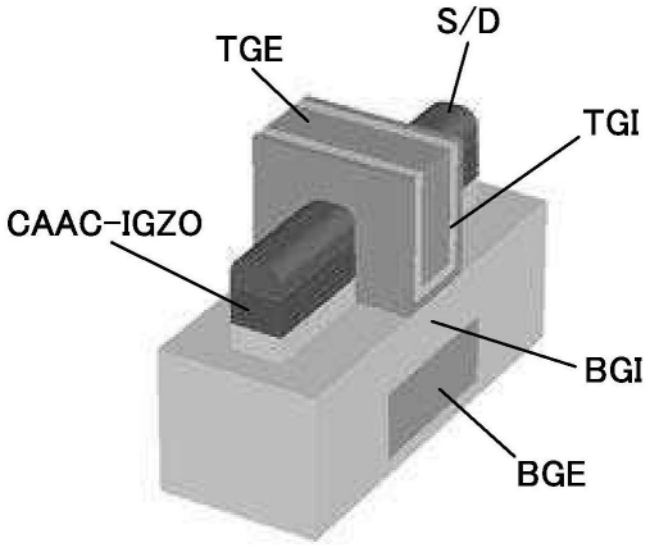

S/D
TGE
TGI
CAAC-IGZO
BGI
BGE

图27A

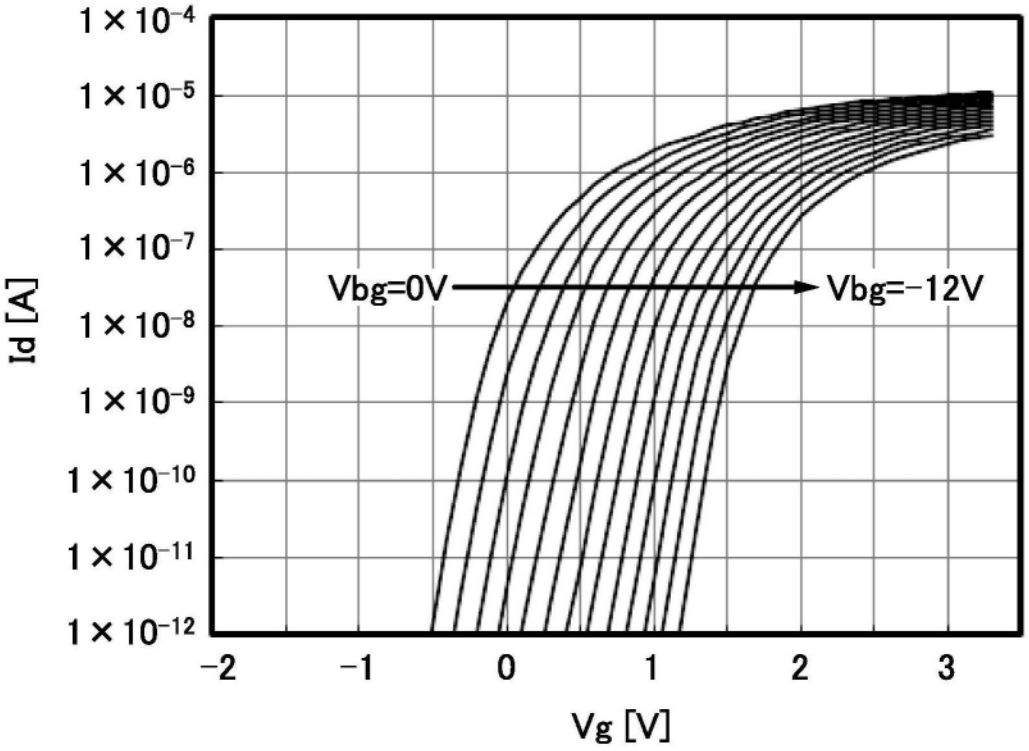

1×10⁻⁴
1×10⁻⁵
1×10⁻⁶
1×10⁻⁷
1×10⁻⁸
1×10⁻⁹
1×10⁻¹⁰
1×10⁻¹¹
1×10⁻¹²
Id [A]
Vbg=0V
Vbg=−12V
−2
−1
0
1
2
3
Vg [V]

图27B

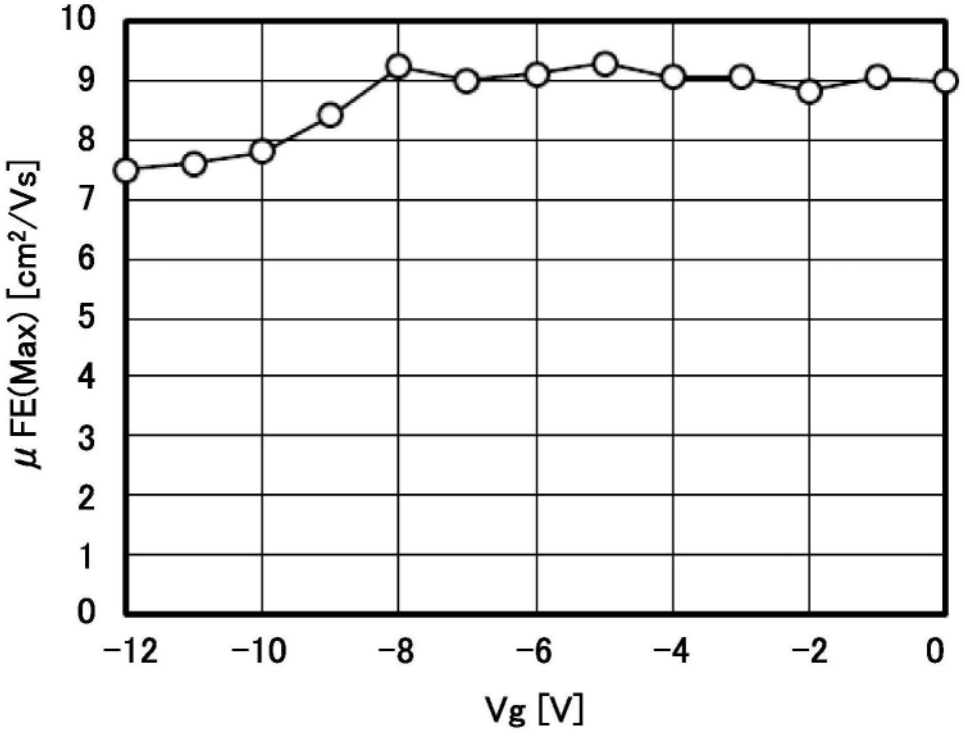

10
9
8
7
6
5
4
3
2
1
0
μFE(Max) [cm²/Vs]
−12
−10
−8
−6
−4
−2
0
Vg [V]

图28A

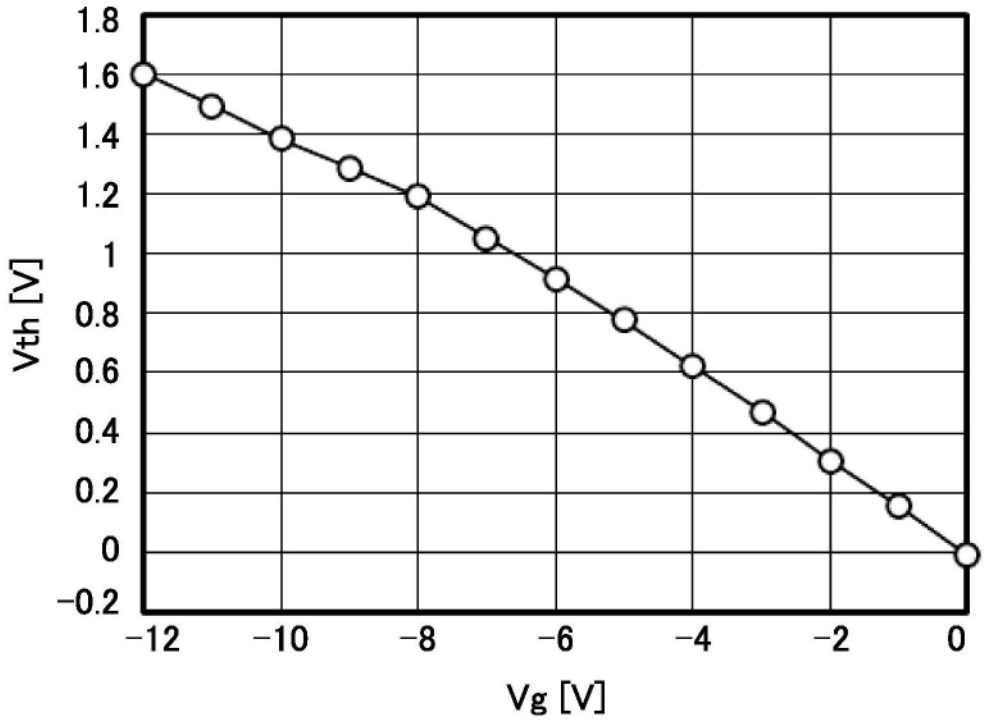

1.8
1.6
1.4
1.2
1
0.8
0.6
0.4
0.2
0
−0.2
Vth [V]
−12
−10
−8
−6
−4
−2
0
Vg [V]

图28B

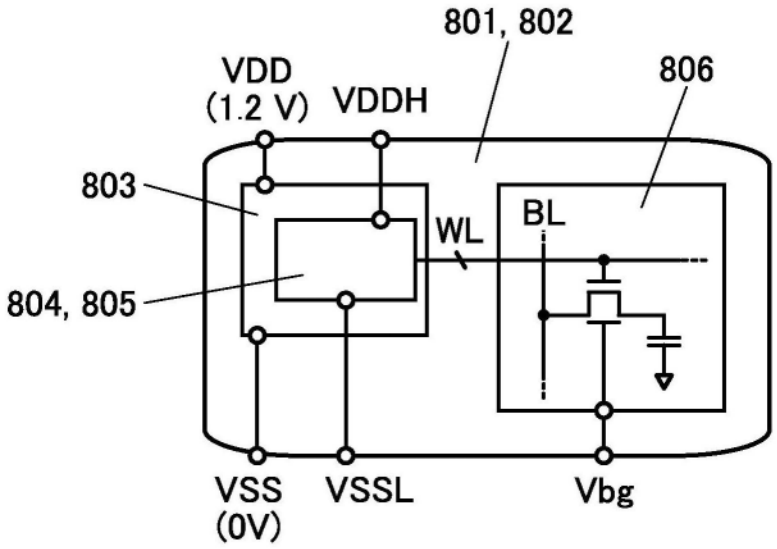

801, 802
VDD
(1.2 V)
VDDH
806
803
WL
BL
804, 805
VSS
(0V)
VSSL
Vbg

图29

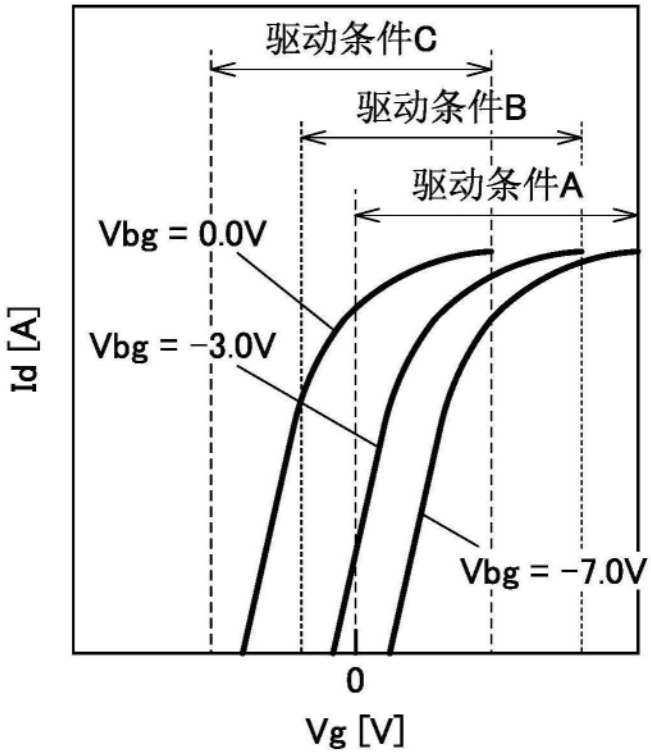


图30A

	VDDH (WL_H)	VSSL (WL_L)	BG
驱动条件A	3.3V	0.0V	−7.0V
驱动条件B	2.5V	−0.8V	−3.0V
驱动条件C	1.8V	−1.5V	0.0V

图30B

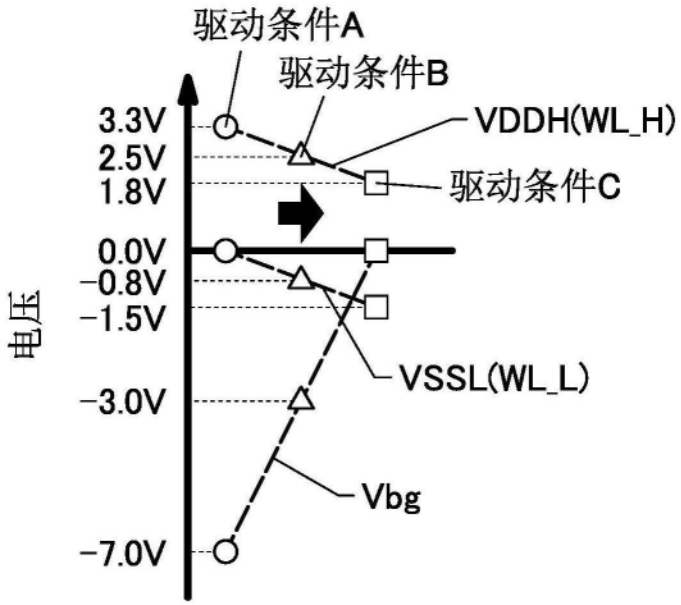

驱动条件A
驱动条件B
VDDH(WL_H)
驱动条件C
3.3V
2.5V
1.8V
0.0V
-0.8V
-1.5V
-3.0V
-7.0V
电压
VSSL(WL_L)
Vbg

图30C

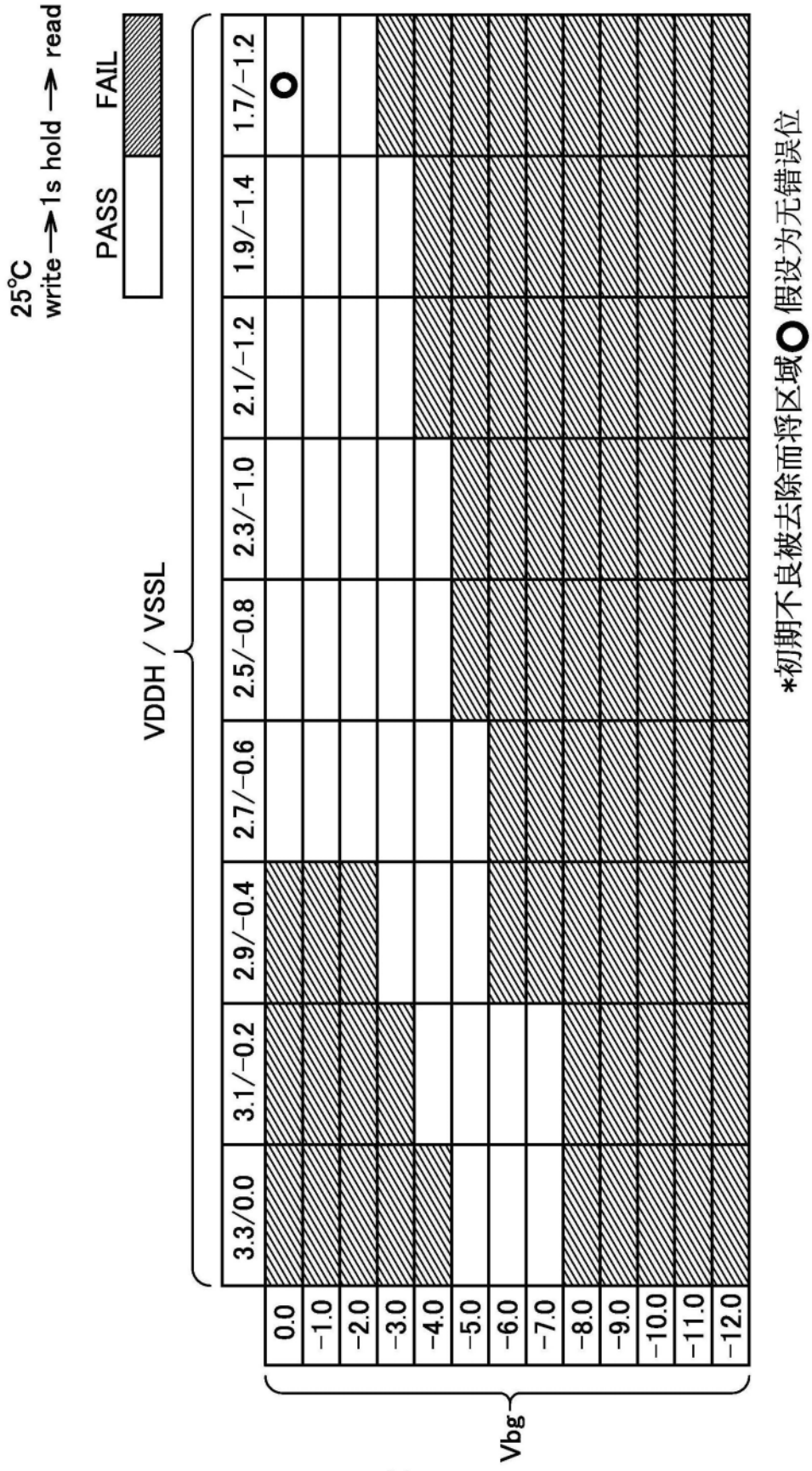

25℃
write→1s hold→read
PASS
FAIL
VDDH / VSSL
3.3/0.0
3.1/−0.2
2.9/−0.4
2.7/−0.6
2.5/−0.8
2.3/−1.0
2.1/−1.2
1.9/−1.4
1.7/−1.2
Vbg
0.0
−1.0
−2.0
−3.0
−4.0
−5.0
−6.0
−7.0
−8.0
−9.0
−10.0
−11.0
−12.0
*初期不良被去除而将区域○假设为无错误位

图31

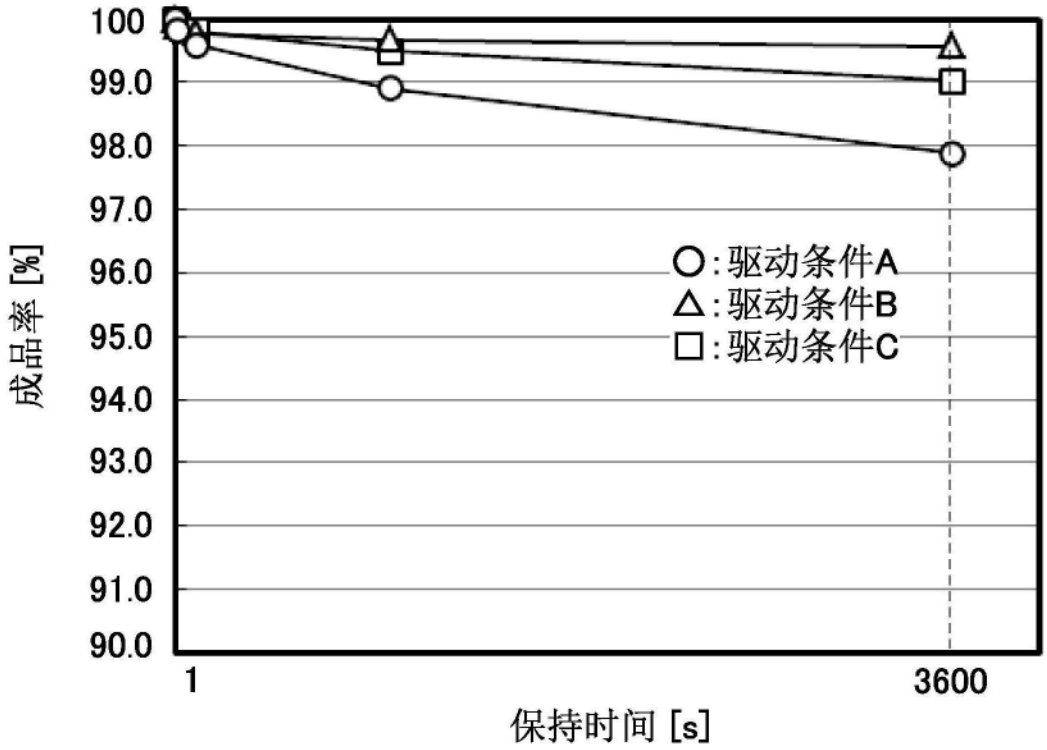


图32A

	成品率 [%]		
保持时间 [s]	驱动条件A	驱动条件B	驱动条件C
1	100	100	100
10	99.82	99.88	99.90
100	99.59	99.78	99.81
1000	98.91	99.67	99.49
3600	97.88	99.57	99.02

data retention at 85 ° C
VDDH/VSSL=1.8V/-1.5V, Vbg=0V
write → hold → read

图32B

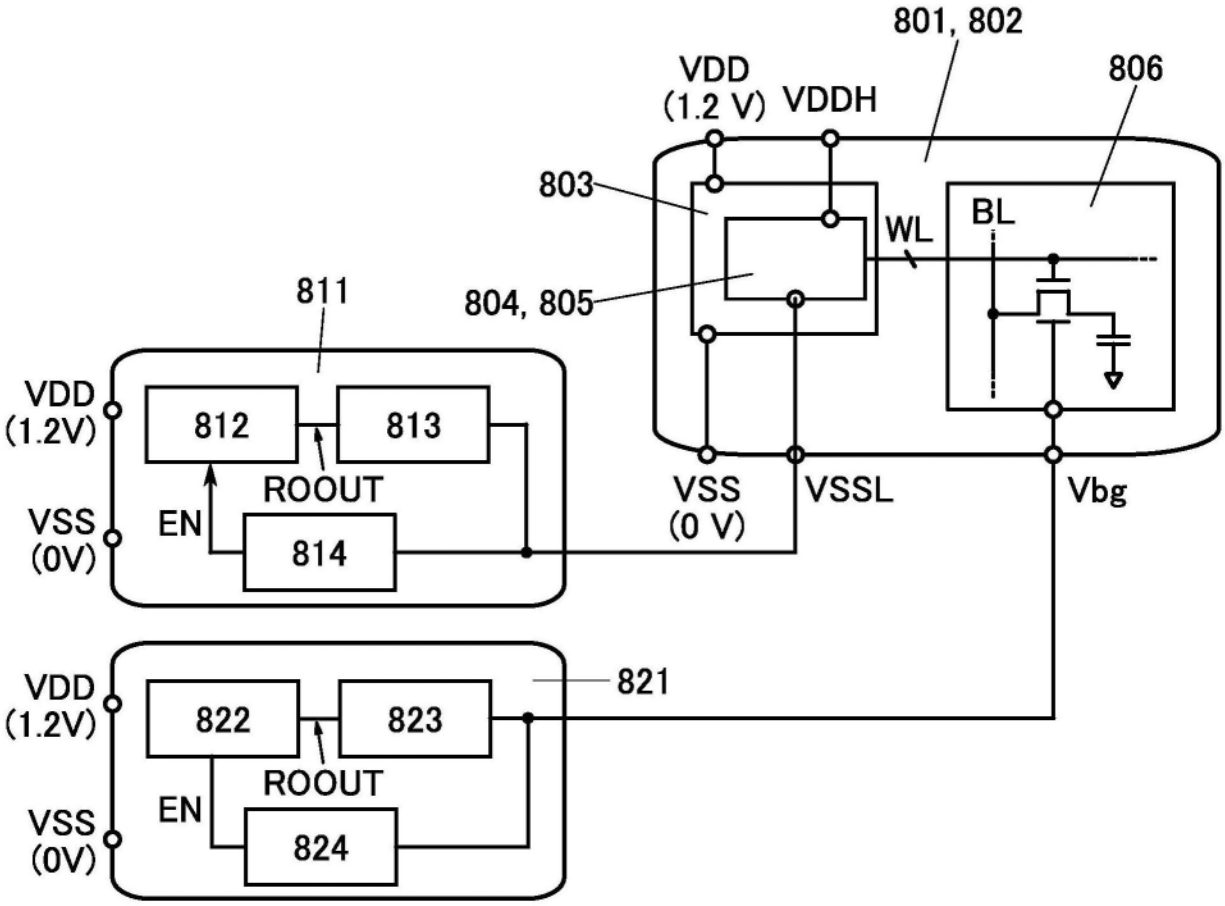

801, 802
806
VDD
(1.2 V)
VDDH
803
WL
BL
804, 805
811
VDD
(1.2V)
812
813
ROOUT
VSS
(0V)
EN
814
VSS
(0 V)
VSSL
Vbg
VDD
(1.2V)
822
823
821
ROOUT
EN
VSS
(0V)
824

图33A

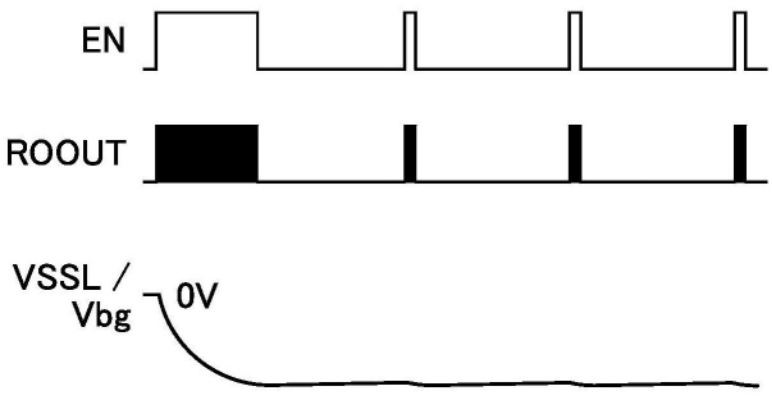

EN
ROOUT
VSSL /
Vbg
0V

图33B

环形振荡器的工作验证条件

	负电位生成电路811	负电位生成电路821
VDD	1.2V	1.2V
# of INV.s	5	5
工作频率	59.6MHz	59.6MHz

图34A

电荷泵的工作验证条件

	负电位生成电路811	负电位生成电路821
VDD	1.2V	1.2V
# of stages	6	6
最低输出电压	-5V左右	-5V左右
负载电流	8μA (Ave.)	less than 1pA

图34B

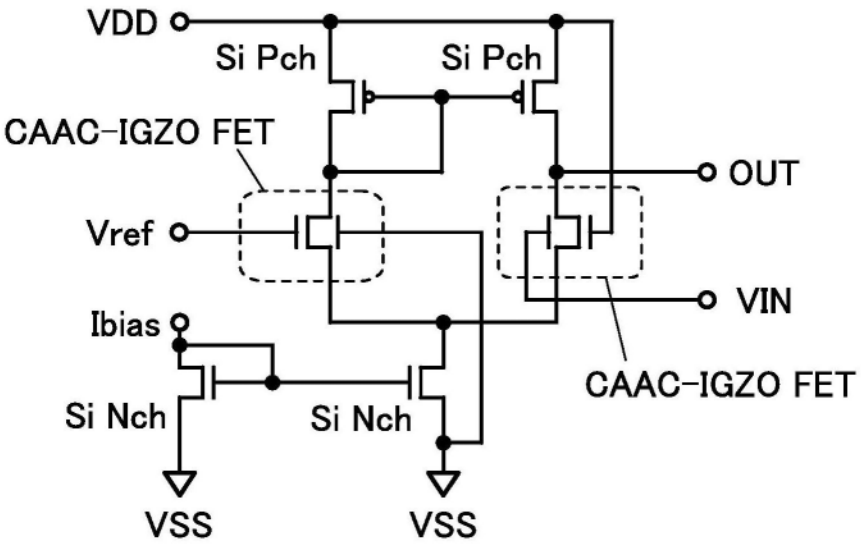


图35A

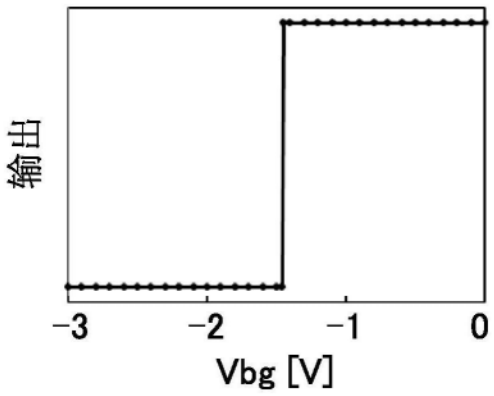
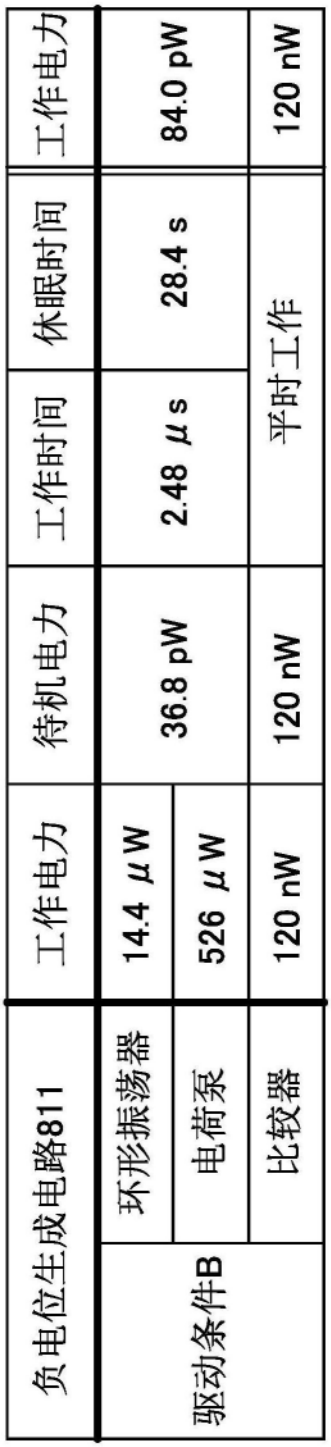


图35B

	VDDH	VSSL	Vbg	工作电力	待机电力
驱动条件B	2.5V	-0.8V	-3.0V	4.83 mW (Memory) 31.2 μW (Neg. bias) 4.86 mW (Total)	120 pW (Memory) 240.1 nW (Neg. bias) 240.2 nW (Total)
驱动条件C	1.8V	-1.5V	0.0V	4.83 mW (Memory) 132 μW (Neg. bias) 4.96 mW (Total)	120 pW (Memory) 120.08 nW (Neg. bias) 120.2 nW (Total)

图36A



负电位生成电路811		工作电力	待机电力	工作时间	休眠时间	工作电力
驱动条件B	环形振荡器	14.4 μW	36.8 pW	2.48 μs	28.4 s	84.0 pW
	电荷泵	526 μW				
	比较器	120 nW	120 nW	平时工作		120 nW

图36B

密度	每 WL的存储单元	Area A (Memory)	Area B (Neg. Bias)	ratio A/(A+B)
1Mbit	128	697350 μm^2	1464 μm^2	0.209 %

图36C

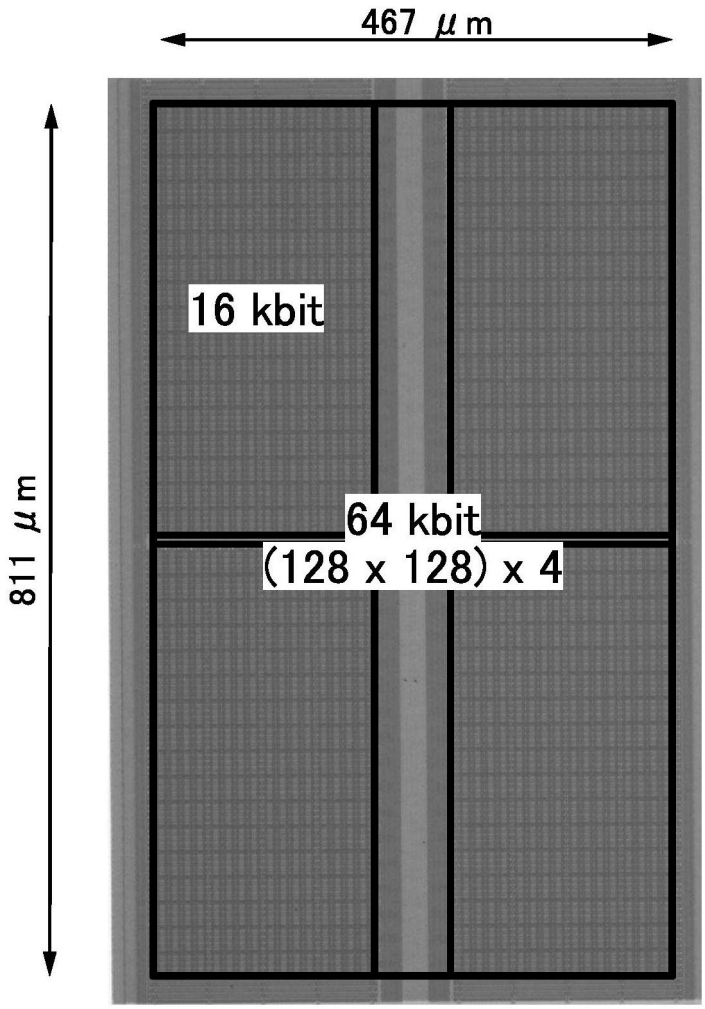


图37